国外电子与电气工程技术丛书

HZ BOOKS
华章教育

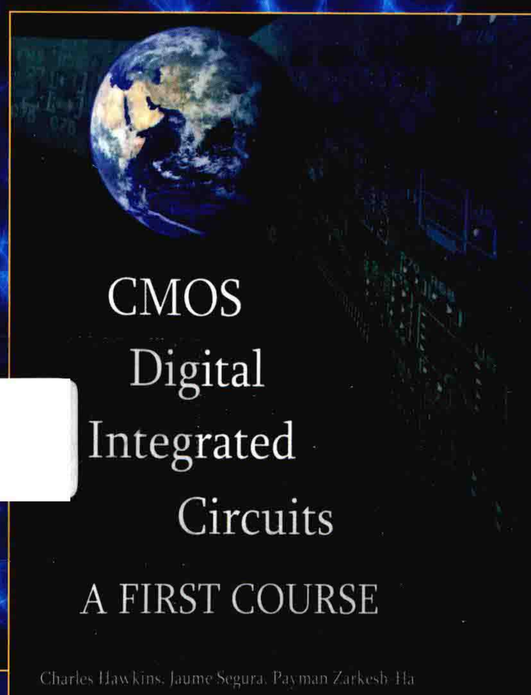
IET

CMOS数字集成电路设计

[美] 查尔斯·霍金斯（Charles Hawkins）
[西班牙] 佐米·塞古拉（Jaume Segura） 著
[美] 雷曼·扎克斯哈（Payman Zarkesh-Ha）

王昱阳 尹说 译 陈虹 审校

CMOS Digital Integrated Circuits
A First Course



机械工业出版社
China Machine Press

本书重点介绍CMOS数字电子电路，读者不必具有模拟电子电路的先验知识。书中融合了作者在学术界及工业界的经验，并提供大量例题，使读者更好地将书中内容与工程实践结合。

主要内容

- 半导体材料、二极管的物理性质和可视化模型；
- nMOS与pMOS场效应晶体管的电路分析；
- 与集成电路设计密切联系的金属互连线的电学特性；
- CMOS反相器的电学特性、数值计算和功耗特性；
- CMOS“与非”门、“或非”门及传输门的电学特性、电路调试与工程测试；
- 从布尔表达式到CMOS晶体管电路和多米诺电路的转换；
- 时序电路信号的精确设计与部署，以及系统时序参数与约束；
- SRAM的设计、SRAM单元的晶体管尺寸调整；
- CMOS版图的绘制步骤，以及最终形成芯片所需要的一系列有序的制造技术。

作者简介

查尔斯·霍金斯（Charles Hawkins） 现任美国新墨西哥大学教授，电机系主任。他具有30年数字和模拟电子技术教学经验以及芯片行业25年培训经验。他分别在美国Sandia国家实验室、Intel、AMD、Qualcomm、Philips公司完成实地研究项目。他是关于CMOS电子和电路分析的3本书籍的合著者。

佐米·塞古拉（Jaume Segura） 西班牙巴利阿里群岛大学物理系教授。他负责讲授研究生的VLSI设计及微电子测试工程课程，以及本科生的数字和模拟电子、微处理器及逻辑设计课程。他在Intel、Airbus、Philips 公司进行过大量研究和咨询工作，并且是关于CMOS电子的两本书籍的合著者。

雷曼·扎克斯哈（Payman Zarkesh-Ha） 美国新墨西哥大学ECE系的教授，他负责讲授本科生和研究生的VLSI、数字和模拟电子等课程。他曾在LSI Logic公司工作5年，期间为下一代ASIC开发了互连结构设计。他发表了60多篇论文，拥有12项专利。他的研究兴趣包括纳电子器件和系统统计建模、可制造性设计及低功耗高性能的VLSI设计。

投稿热线：(010) 88379604
客服热线：(010) 88378991 88361066
购书热线：(010) 68326294 88379649 68995259

华章网站：www.hzbook.com
网上购书：www.china-pub.com
数字阅读：www.hzmedia.com.cn

封面设计·锡彬

上架指导：集成电路

ISBN 978-7-111-52933-0

定价：69.00元

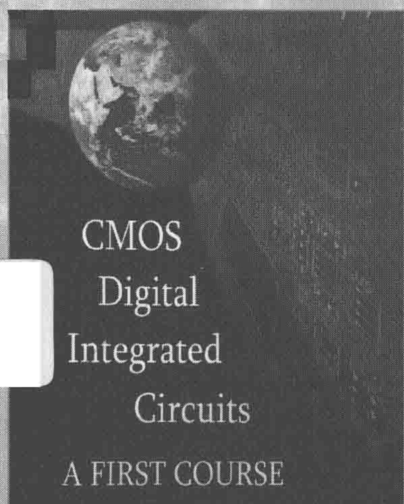
国外电子与电气工程技术丛书

CMOS数字集成电路设计

[美] 查尔斯·霍金斯（Charles Hawkins）
[西班牙] 佐米·塞古拉（Jaume Segura） 著
[美] 雷曼·扎克斯哈（Payman Zarkesh-Ha）

王昱阳 尹说 译 陈虹 审校

CMOS Digital Integrated Circuits
A First Course



机械工业出版社
China Machine Press

图书在版编目（CIP）数据

CMOS 数字集成电路设计 /（美）霍金斯（Hawkins，C.）等著；王昱阳，尹说译．—北京：机械工业出版社，2016.3
（国外电子与电气工程技术丛书）
书名原文：CMOS Digital Integrated Circuits：A First Course

ISBN 978-7-111-52933-0

I. C… II. ①霍… ②王… ③尹… III. CMOS 电路 – 电路设计 IV. TN432.02

中国版本图书馆 CIP 数据核字（2016）第 028769 号

本书版权登记号：图字：01-2015-7904

本书涵盖了 CMOS 数字集成电路的设计技术，教材的编写采用新颖的讲述方法，并不要求学生已经学习过模拟电子学的知识，有利于教师灵活地安排教学计划。本书完全放弃了涉及双极型器件的内容，只关注数字集成电路的主流工艺——CMOS 数字电路设计。书中引入大量的实例，每章最后也给出了丰富的习题，使得学生能够将学到的知识与实际结合。本书可作为 CMOS 数字集成电路的本科教材。

出版发行：机械工业出版社（北京市西城区百万庄大街 22 号 邮政编码：100037）
责任编辑：佘 洁　　责任校对：董纪丽
印　　刷：中国电影出版社印刷厂　　版　　次：2016 年 4 月第 1 版第 1 次印刷
开　　本：185mm × 260mm 1/16　　印　　张：16.25
书　　号：ISBN 978-7-111-52933-0　　定　　价：69.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换
客服热线：（010）88378991 88361066　　投稿热线：（010）88379604
购书热线：（010）68326294 88379649 68995259　　读者信箱：hzjsj@hzbook.com

出版者的话

文艺复兴以来，源远流长的科学精神和逐步形成的学术规范，使西方国家在自然科学的各个领域取得了垄断性的优势；也正是这样的传统，使美国在信息技术发展的六十多年间名家辈出、独领风骚。在商业化的进程中，美国的产业界与教育界越来越紧密地结合，信息学科中的许多泰山北斗同时身处科研和教学的最前线，由此而产生的经典科学著作，不仅擘划了研究的范畴，还揭示了学术的源变，既遵循学术规范，又自有学者个性，其价值并不会因年月的流逝而减退。

近年，在全球信息化大潮的推动下，我国的信息产业发展迅猛，对专业人才的需求日益迫切。这对我国教育界和出版界都既是机遇，也是挑战；而专业教材的建设在教育战略上显得举足轻重。在我国信息技术发展时间较短的现状下，美国等发达国家在其信息科学发展的几十年间积淀和发展的经典教材仍有许多值得借鉴之处。因此，引进一批国外优秀教材将对我国教育事业的发展起到积极的推动作用，也是与世界接轨、建设真正的世界一流大学的必由之路。

机械工业出版社华章公司较早意识到“出版要为教育服务”。自 1998 年开始，我们就将工作重点放在了遴选、移译国外优秀教材上。经过多年的不懈努力，我们与 Pearson、McGraw-Hill、Elsevier、John Wiley & Sons、CRC、Springer 等世界著名出版公司建立了良好的合作关系，从他们现有的数百种教材中甄选出 Alan V. Oppenheim Thomas L. Floyd、Charles K. Alexander、Behzad Razavi、John G. Proakis、Stephen Brown、Allan R. Hambley、Albert Malvino、Peter Wilson、H. Vincent Poor、Hassan K. Khalil、Gene F. Franklin、Rex Miller 等大师名家的经典教材，以“国外电子与电气技术丛书”和“国外工业控制与智能制造丛书”为系列出版，供读者学习、研究及珍藏。这些书籍在读者中树立了良好的口碑，并被许多高校采用为正式教材和参考书籍。其影印版“经典原版书库”作为姊妹篇也越来越多被实施双语教学的学校所采用。

权威的作者、经典的教材、一流的译者、严格的审校、精细的编辑，这些因素使我们的图书有了质量的保证。随着电气与电子信息学科建设的不断完善和教材改革的逐渐深化，教育界对国外电气与电子信息教材的需求和应用都将步入一个新的阶段，我们的目标是尽善尽美，而反馈的意见正是我们达到这一终极目标的重要帮助。华章公司欢迎老师和读者对我们的工作提出建议或给予指正，我们的联系方法如下：

华章网站：www. hzbook. com

电子邮件：hzjsj@hzbook. com

联系电话：(010)88379604

联系地址：北京市西城区百万庄南街 1 号

邮政编码：100037

华章教育

华章科技图书出版中心

译者序

本书作者有着丰富的数字集成电路教学和研究经历。Charles Hawkins 是美国佛罗里达大学的教授，Jaume Segura 是西班牙巴利阿里群岛大学的教授，Payman Zarkesh-Ha 是美国新墨西哥大学的副教授。本书完成时，Charles Hawkins 教授在美国新墨西哥大学任教授，担任电机系主任，Jaume Segura 当时在同一所大学做访问研究者。本书的作者还在诸多企业和国家实验室有着丰富的工作、休假访问与合作经历。

CMOS 技术已经成为工业界的主导工艺，讲授 CMOS 数字集成电路的书籍已经有不少，例如 J. Rabaey 等人所著的《Digital Integrated Circuits》(2003，Prentice Hall)，N. Weste 等人所著的《CMOS VLSI Design》(2011，Addison-Wesley)，以及 J. Baker 所著的《CMOS：Circuit Design，Layout，and Simulation》(2010，Wiley-IEEE Press)。本书的选材与上述书籍没有很大的差异，但讲授方法有显著的不同，本书的叙述更通俗易懂，具有启发性；更多地利用了实例；引入了更多的练习题；具有方便携带、适合自学等特点。

本书是为电子工程和计算机工程专业的本科生编写的教材，主要内容包括数字 CMOS 集成电路的设计技术，教材采用新颖的讲述方法，不要求学生学习过模拟电路的知识，有利于灵活地安排教学计划。本书完全放弃了双极型器件的内容，只关注数字集成电路的主流工艺——CMOS 数字电路设计。书中引入了大量的实例，每章最后给出了丰富的习题，使学生能够在以后的工程性工作或者微电子学科的研究生课程学习中将学到的知识与实际相结合。对于计算机学科的学生，采用本教材可以完全跳过模拟电路的课程，而集中学习数字大规模集成电路知识。

本书从布尔代数理论和固体物理的知识开始，讲授了二极管和晶体管的原理及模型，介绍了如何把晶体管组合成基本的逻辑电路，也讨论了如何把逻辑表达式转换成电路，并介绍了电路的具体实现方法，是一本讲授数字大规模集成电路设计的较好的入门级教材。

本书的译者工作于清华大学电子工程系和微纳电子系。其中王昱阳翻译了前言、第1～9章，及对应习题参考答案；尹说翻译了序、第10～12章，及对应习题参考答案。全部翻译稿经王昱阳统稿之后，由清华大学微电子学研究所微纳电子系副教授陈虹老师审校。经过数月的翻译与审校，一本内容基础、讲述清晰、适于初学者自学的教材终于问世，本书的成功出版离不开相关人员和出版社编辑的大力支持。在此，译者对出版社工作人员以及所有相关人员表示感谢。

原书中的印刷错误或计算错误，凡是译者发现并由审校老师确认的，都已在本书中进行了修改。但由于时间紧迫，加之译者水平有限，译文中难免出现不妥和纰漏之处，恳请广大读者不吝赐教和指正。

王昱阳

序

本书向电子与计算机工程专业的本科生讲授互补金属氧化物半导体(CMOS)数字电路的基础知识。许多年来，CMOS技术占据着数字(计算)集成电路设计与制造方法的统治地位。本书所选的内容与一些研究生教材差别不大，如J. Rabaey等人所著的《Digital Integrated Circuits》(2003，Prentice Hall)、N. Weste与D. Harris所著的《CMOS VLSI Design》(2011，Addison-Wesley)，以及J. Baker所著的《CMOS：Circuit Design，Layout，and Simulation》(2010，Wiley-IEEE Press)，不过本书风格偏向介绍性，包含了很多例题、自测题，以及每章末尾的习题。

本书一开始回顾了学生在电路和逻辑的前序课程中学过的与数字电路相关的内容。之后的章节介绍了半导体材料和二极管的物理性质；nMOS与pMOS场效应晶体管的电路分析；金属互连线的电学特性；CMOS反相器；CMOS“与非”门、“或非”门及传输门的电学特性；布尔表达式到CMOS晶体管电路和多米诺电路的转换；时序电路；存储器电路；现场可编程门阵列(FPGA)；CMOS版图；以及CMOS制造基础。本书的重点是晶体管级电路。

本书通过数值计算例题介绍了功耗的基础知识。如今，降低电路功耗已成为非常紧迫的设计任务，仅互联网所消耗的功率就占了全美国发电量的10%。

本书的其他特点和目标包括：

- 书中有大量的例题、包含答案的自测题以及每章最后的诸多习题，这些题目可以培养学生举一反三的能力，熟练掌握晶体管电路的分析方法。
- 本课程可以在其伴随课程即“模拟电路基础”之前或之后讲授。
- 本书的讲授面向本科生，力图做到清晰且适于自学。
- 本书并不向学生灌输过多细节；其教学目标始终是为学生提供有助于更高级电路课程的基础知识。
- 本课程作为研究生课程或高年级本科生课程的前序课程，为学生提供数字电路的基础教学，将学生带进数字电路行业的大门。
- 本书很轻，学生可以将其随身携带到课堂上。

章节概要

第1章回顾了与数字电路相关的逻辑原理，其中包括布尔表达式到逻辑门电路的转换、德摩根定理、逻辑等效，以及逻辑门化简。本章接下来介绍了基本电路原理，强调了端口阻抗、结点电压，以及分支电流的观察法分析。以二极管及其非线性电流-电压关系式为例，介绍了非线性电路的分析技巧。回顾了电容和电感电路以及它们的性质，并复习了电阻、电容电路的功耗。这些内容只占电路相关内容的一小部分，该章讲述它们，是因为它们与后续数字电路的分析关系密切。

第2章介绍了器件工作的底层知识，即半导体物理性质知识，其目的是向学生传授材料和二极管物理性质的一种好用的可视化模型，并使用基本的公式加深理解。半导体物理是一个复杂的课题，涉及不止一门本科生课程，第2章将不会照搬这些课程内容。然而，

半导体材料和二极管的可视化模型非常重要，因为工程师常需要使用定性的语言与别人交流半导体二极管和晶体管的重要物理性质。学生需要知道怎样回答此类问题："二极管(或晶体管)是怎样工作的？怎样进行基本参数的计算？"该章直接引出了第 3 章场效应晶体管的内容。

CMOS 电路使用两种类型的晶体管：nMOS 和 pMOS 场效应晶体管。第 3 章介绍了这些晶体管的工作原理，随后对电路结点电压和电流进行了数值分析。大量的例题、自测题和章后习题使学生在分析晶体管数字电路时做到举一反三。该章对两种类型的晶体管重视程度相同。

第 4 章讲述了面向金属的电学特性，它与当代集成电路设计关系密切，因为芯片上的金属线总长度可达数英里，而最小金属线长度可以达到 22nm 以下。金属的性质是追求集成电路最高工作频率和最小工作噪声时必须考虑的一个重要问题，它应该与晶体管得到同等程度的研究。

第 5 章讨论了 CMOS 反相器。CMOS 反相器是任何数字集成电路(IC)中数量最多的逻辑门。它由一个 nMOS 和一个 pMOS 场效应管组成。该章介绍了反相器的重要电学特性，并给出了相关的数值计算的例题。反相器特性本身很重要，同时它又是"与非"门、"或非"门以及主从触发器等时序电路的电学特性的基础。该章还强调了反相器的功耗特性。

第 6 章涵盖了"与非"(NAND)门和"或非"(NOR)门的相关知识，它们以反相器为基础，在原反相器的一对晶体管上增加了并联或串联的晶体管。这些多输入逻辑门具有反相器的全部电学特性，同时又有一些独有的性质。该章介绍了非控制逻辑状态的基本原理，它与电路调试、工程测试以及电路图阅读有着密切的关系。该章末尾介绍了晶体管和 CMOS 传输门(T-gate)的性质。集成电路中传输门的数量众多，主从触发器中有一半数量的逻辑门是传输门。

第 7 章介绍了将晶体管组合为逻辑门的设计风格。该章一开始介绍了一种相对简单的方法，将布尔表达式转换为实现该逻辑的 CMOS 晶体管电路。随后，该章提出了需要不同设计风格的原因，并给出了不同设计风格的例子。此外该章介绍了一种功耗的分析方法，它可以比较不同组合逻辑配置的功耗。

第 8 章讨论了时序信号的精确设计与布局，这可能是设计者所面临的最具挑战性的任务。该章着重强调了这个常被本科课程忽略的话题，给予它应有的重视。学生必须熟练掌握边沿触发器的复杂性质。时序参数与规则必须严格遵守，否则将导致电路的失效。系统级时序以这些参数为基础，该章介绍了系统级时序参数及约束。

第 9 章涵盖了存储器电路的知识。计算机芯片中始终内嵌有存储器电路，时至今日，微处理器芯片中有超过 70%的晶体管属于存储器电路。因此，该章特别强调了静态随机存取存储器(SRAM)的设计。通过数值计算的例题讲解了 SRAM 单元的晶体管尺寸调整。另一种大容量存储器设计是动态随机存取存储器(DRAM)的设计。这种单晶体管构成的存储器单元具有不同的性质。

第 10 章考察了一种独特而热门的设计风格——现场可编程门阵列(FPGA)。这部分内容延续前面所介绍的多种设计风格。FPGA 的电路原理和操作方法与其他设计有所不同，不过它十分常用，足以用一章来专门介绍。

第 11 章讨论了 CMOS 电路的版图。当晶体管电路图转换为光学掩模上的矩形图形时，设计流程发生了转变。图形代表晶体管和金属线的几何形状。集成电路(IC)制造中的每一层均有一个对应的掩模。版图并不是电子器件，但它是利用光刻制造微小的晶体管和

互连线的必要的第一步。该章通过反相器、“与非”门以及“或非”门的手动版图布局介绍了掩模版图绘制的步骤。商用的绘制版图的工具很多，但是考虑到其售价和培训时间，我们选择了 Microsoft PowerPoint 程序来绘制版图。通常每一台计算机上都装有 PowerPoint，培训时间可以忽略不计，并且看起来它还将长期稳定地存在于市场中，学生可以通过它更好地理解设计规则。PowerPoint 是简单逻辑门电路版图绘制的一种成熟的教学工具。

第 12 章介绍了实际电路制造中用到的化学、物理以及光刻技术。该章虽是定性的描述，但却足够详细，使学生能够全面理解电路最终形成芯片所需要的一系列有序的制造技术。

给教师的建议

本书使用长沟道模型进行 MOSFET 分析，尽管业内短沟道模型已经非常常用了。这样做的原因有两个：一个原因是，短沟道模型在本科生教学中常被简化，因此会损失准确性。而完整的短沟道模型又过于复杂，以至于无法手工计算。尽管长沟道模型也不准确，不过它能够让我们通过手动分析晶体管的不同偏置区以获得更深刻的理解。起初我们是按照短沟道模型设计本书内容的，不过我们发现简化的短沟道模型解析式仍然不准确且难于求解。另一个原因是，当前业界所发表的论文或演讲经常使用长沟道模型，尽管他们所用的其实是短沟道晶体管。长沟道晶体管模型已经成为行业术语的一部分。更精确的短沟道模型更适于留作研究生课程的内容，或者用作详细的计算机模型。

本书在选择其他内容时，避免了选用对本科阶段过于复杂的材料。对于课题及其深度的决定，既要考虑这是一个学期的课程，也要尽可能多地传授关键知识点，因此是一个权衡的结果。例如，本书在组合逻辑的功率分析中使用了真值表分析，而非逻辑功效(logical effort)分析。又如，第 9 章对存储器时序的介绍非常简单，点到为止。实际上，存储器设计足够用一整本书来完整介绍。

本书的习题可以通过如今科学计算器的方程求解功能高效解决。这对学习的帮助体现在，将更多的时间用于分析问题本身，而只有很少的时间花在了二次方程的手工或迭代求解上。一个未知数可以嵌入方程的任何位置，科学计算器并不在意这点，它能够瞬间解出未知数的值。学生和教师可以用他们喜欢的方法求解，不过科学计算器确实是如今数字电路教学的一大利器。

推荐的学期教学计划

章	标题	教学时间
第 1 章	基本逻辑门和电路原理	1 周
第 2 章	半导体物理	1 周
第 3 章	MOSFET	2 周
第 5 章	CMOS 反相器	1.5 周
第 6 章	CMOS “与非”门、“或非”门和传输门	1 周
第 7 章	CMOS 电路设计风格	1.5 周
第 11 章	CMOS 电路版图	1 周
第 12 章	芯片是如何制作的	1 周
第 4 章	金属互连线性质	1 周
第 8 章	时序逻辑门设计与时序	2 周
第 9 章	IC 存储器电路	1 周
第 10 章	PLA、CPLD 与 FPGA	0.5 周

第 4 章关于金属互联的内容从逻辑上符合器件的描述顺序，但是它打断了电子电路的讲解流程，因此被调整到后面介绍。第 11 章和第 12 章的重点仍然是电路和 IC 芯片，之后我们再回过头来介绍第 4 章。

作者背景

本书充分反映了作者的经验，他们在研究生课程和本科生课程中均有数字电路相关的教学经历，并且在工作中与数字电路产业合作密切。Hawkins 和 Segura 都曾在 Intel 公司进行学术休假访问：Segura 曾在俄勒冈州波特兰市的 Intel 分部访问，而 Hawkins 曾在新墨西哥州里约兰丘市的 Intel 分部访问。Segura 还曾在 Philips Semiconductors 进行学术休假研究。Hawkins 在 20 年间与新墨西哥州的美国 Sandia 国家实验室的 CMOS 集成电路组合作密切。这两位作者均长期担任 European DATE Conference、International Test Conference 以及 VLSI Test Symposium 的委员职务。Hawkins 曾任《Electron Device Failure Analysis》杂志的编辑。

Payman Zarkesh-Ha 是新墨西哥大学 ECE 系的教授。他执教研究生和本科生的 VLSI、数字电路及模拟电路课程。就职于新墨西哥大学之前，他曾在 LSI Logic 公司工作 5 年，负责下一代 ASIC 的互连线架构设计工作。他发表超过 60 篇论文，持有 12 项专利。他的研究兴趣是纳米电子器件与系统的统计建模，以及面向可制造性的低功耗、高性能 VLSI 设计。所有这些课堂之外的活动对本书的内容选取以及写作风格产生了影响。电子与计算机工程专业的本科生早就应该抛弃过时的逻辑电路课程，并接受一门专属于数字 CMOS 电路的基础课程。

前 言

任何足够先进的技术都与魔术没什么区别。

——Arthur C. Clarke 第三定律

本书的目的是帮助你准备好为 21 世纪的计算机发展做出贡献。电子技术是人际交流和知识容量的巨大推动力。计算机的基础是晶体管，计算机电子学处理电路的晶体管级行为，这些电路可以实现所有的计算机逻辑操作，比如加法、乘法、存储、比较，以及任何由布尔方程所描述的运算。数十亿的晶体管和它们之间的互连线嵌入到又小又薄的矩形硅芯片中。这些小小的芯片中互连线的总长度可以达到几英里，而其消耗的功率从几微瓦到超过 200 瓦不等。芯片也可以称作“集成电路”(Integrated Circuit，IC)。芯片是十分复杂的，而电子和计算机工程师必须从晶体管电路层级去理解计算机运算的原理。

工程师需要面对许多挑战。我们如何将数字电路知识同计算机体系架构结合起来设计一个芯片？我们希望用多快的时钟控制计算机，而我们需要从哪里入手？我们如何将一块芯片接入到电路板中？我们可以容忍芯片多大的热功耗——又如何降低功耗？作为一个客户，又要如何同芯片的设计者提出自己的要求？如果芯片出现问题，需要返工到制造厂中评估，我们将从哪里开始解决这一问题？当我们从工厂取回第一块芯片进行评估时，若发现错误，应从哪里着手解决？芯片失效可能取决于温度或电源电压，并不仅仅是简单的静态布尔函数的错误。那么我们需要什么样的技能和知识来协助我们识别并修正这些问题？不管是芯片级工程师还是更高层的电路板或系统级的工程师，解决方案往往存在于晶体管级的芯片特性之中。

电子学的知识是层级化的。半导体物理使用模型公式描述了二极管和晶体管的行为，使我们能够计算晶体管电路中的结点电压和支路电流。之后，特定的晶体管组合构成了不同的逻辑门，如反相器、“与非”门、“或非”门、传输门、D 触发器，以及由任意的布尔表达式导出的更复杂的组合逻辑门。这些逻辑门从电学上实现了布尔运算，定义了计算机的行为。我们必须理解它们的特性。电压、电流、温度、功耗、传输延时和噪声容限都具有什么特性？

主时钟振荡器通过脉冲来驱动时序电路，使布尔运算的数据在计算机中的传输同步。时钟的速度是一个重要的参数，它常常是顾客在购买计算机时关注的首要规格指标。第二重要的指标可能是计算机存储器的容量。大量的存储器电路被嵌入计算机芯片中。那么，什么是标准存储器单元？存储器又是如何组织的？现代计算机芯片会将占总数 70%的晶体管用于嵌入式存储器中。相比于将信号发往电路板上的外部存储器进行运算再取回，嵌入芯片中的存储器可以实现更快的运算速度。

我们可能把计算机领域发生的各种奇迹看作理所应当的——例如互联网、智能手机、电子邮件、Google、汽车电子设备、生物医疗器械、GPS、YouTube、即时新闻、天气预报、体育新闻、电子书、Facebook，没错，还有电子游戏。你可能会问：“难道不是一直都这样吗?”答案是否定的——这些应用直到 20 世纪 90 年代早期才出现，所有这些现代产品都依赖于快速、成本低廉的小型计算机芯片。

晶体管和计算机——“愿得白首不分离”

为了对我们的课程有更好的认识，让我们追溯一下数字计算机发展过程中电子技术的进步，以及电子学在互联网中的作用。我们不仅看到计算机向更小、更快、更廉价的方向发展的趋势，还看到了多种因素引人注目的相互作用。互联网不是凭空出现的，计算机也不是。

我们所知道的第一个计算机电路叫作触发器，由英国人 Eccles 和 Jordan 在近 100 年前发明。一个触发器会保持在两个电平状态的其中之一，直到一个外部电压脉冲将其触发到另一个状态为止。触发器存储了一个电平状态。那时候，人们还没有提出“计算机”的概念，因而触发器在发明之后沉睡了许多年。但如今，从先进的互联网服务器芯片，到现代咖啡机或洗碗机中的芯片，每片都有数百万个触发器。触发器是同步数据传输的核心所在。

在 20 世纪 30 年代后期，结合了布尔代数和机械开关的原始计算机被用来实现简单的计算操作。第二次世界大战激发了人们使用计算机进行科学计算的兴趣。第一台真空管计算机是 1946 年宾夕法尼亚大学制造的 ENIAC。按照当时的标准，100kHz 的时钟频率已经很快了。ENIAC 重 30t，尺寸为 $80\times8.5\times3.5\mathrm{ft}^3$（1ft＝0.3048m），功耗为 150kW。古老的触发器如今已经是计算机电子电路中不可或缺的一部分。然而，真空管是一个体积相对较大的器件，它需要一个玻璃密封的真空腔以及加热的金属填充纤维。这种真空管可靠性很差，而且其冷却是一个大问题。因而计算机需要一种更好的器件。

在 20 世纪 30 年代，贝尔实验室发现，可以在纯的固态材料中构造出小型开关元件。贝尔实验室当时考虑用其替换电话交换中心那些又慢又笨重的继电器，而没有想到用其发展计算机。在 1947 年，他们取得了伟大的发现——一个叫作“晶体管”的小型固态器件。大约 5 年后，数家公司都推出了晶体管计算机产品。晶体管使计算机向体积更小、功耗更低且更可靠的方向迈出了重大的一步。这些计算机使用的是装在小型金属罐内的分立的（单独的）晶体管，而不是此后出现的具有数十亿晶体管的小型集成电路芯片。这些称作“大型机”的计算机仍然需要放在专用的、冷却良好的屋子里，不过，20 世纪 70 年代的另一个革命性发明使得计算机发展又迈出了坚实的一步。

事实上，在晶体管层发生过许多变化。首先是原贝尔实验室的“双极型晶体管”（Bipolar Junction Transistor，BJT）很快被一种更新型的器件替代，它称作“金属氧化物半导体场效应晶体管”（Metal Oxide Semiconductor Field Effect Transistor，MOSFET）。一种将 MOSFET 混合连接的设计风格称作 CMOS，其功耗显著减小。功耗更小的 CMOS 使得一块芯片上能放置更多的晶体管，而不必担心芯片过热，因而提高了计算机性能。CMOS 还有一个特殊的性质，就是当晶体管尺寸变小时，晶体管的工作速度会更快。

CMOS 晶体管的第三个特点是，其更小的尺寸使得一次流片可以制造出更多的芯片，因为每一块芯片的总面积减小了。每次工艺流程可以容纳更多的芯片，因而使晶体管的成本降低。工业生产中通常将芯片的尺寸保持不变，只是在每个芯片中加入更多的晶体管，以提高性能。

最后一个特点则是，若生产进程中使芯片失效的小型粒子缺陷的密度保持不变，则在同样的面积里封装更多的芯片将提高合格芯片所占的比率（即成品率，yield）。这将使得晶体管的制造成本大大降低。从大约 1980 年开始，CMOS 便在计算机芯片设计中占据主导地位，如今 CMOS 技术仍然是产业飞速发展的核心所在。

如果下一代晶体管可以做得更小，那么下一代芯片就可以卖出更便宜的价格，这是制

造业的一个巨大的奇迹。如今你仍然可以花同样(甚至更少)的钱，买到和几年前同样价位的个人计算机，而更新的芯片有着更快的速度和更强的功能，同时又能将芯片的温度保持在可控制的范围内。以上这些 CMOS 的特性真正推动了计算机芯片的重大发展。看到这里，读者应该停下来好好想一想 CMOS 技术的重要性。还有什么其他产品能够每年提供更好的性能而又保持价格不变甚至更低呢?

晶体管和计算机——“天长地久有时尽”?

20 世纪 70 年代初，Intel 公司生产出了第一个微处理器，先是 4 位的，然后是 8 位的。产品的创新依托于晶体管级的进步。在 1974 年，位于新墨西哥州阿尔布开克市的 MITS 公司制造了第一台个人计算机，即 PC(personal computer)。MITS Altair 8000 是一台原始的 PC，它需要通过拨码开关输入代码，不过它有一个显示器，并且尺寸降到了打字机那么大。它有一个 2MHz 的时钟，组装好的成品售价 498 美元。它也是第一台被个人所拥有的计算机。它使用单个微处理器芯片——Intel 8080 来实现计算功能。许多工程师都出于好奇而购买了 Altair 个人计算机。有趣的是，来自阿尔布开克市新兴的微软公司的比尔·盖茨和保罗·艾伦为 MITS Altair PC 编写了 BASIC 语言。1977 年，苹果公司发布了 Apple II PC，售价为 1200 美元。之前没有人曾体验过这种价格、尺寸和性能的个人计算机，更不要说拥有一台属于自己的计算机。但是 1980 年上市的 IBM PC 具有更深远的影响，因为它开创了企业级应用。计算机的发展不曾回头。商业活动从巨大的、乏味的中央计算机房中解放出来。此后，旅行者们又发现，随着笔记本电脑的出现，他们可以在路上做自己的工作。之前随处可见的“打字机”逐渐被淘汰了。

PC 在信息可达性方面引起了一场难以想象的巨大革命。技术和新兴的企业开始整合。技术与商务企业的合作，以及政府对关键领域的支持促成了这一革命。然而一个巨大的“企业”——因特网，正静静地等待着人们开启它的大门。

20 世纪 60 到 70 年代，因特网在幕后按照自己的步伐悄悄地发展，在背后推其发展的工程师和科学家希望借此打破地域的限制，使用位于全国各地的彼此的专业计算机。1969 年 10 月，正是借助美国国防部高级研究计划署(Advanced Research Projects Agency，ARPA)的政府资助，加州大学洛杉矶分校(UCLA)的计算机主机才可以使用一个叫作接口信息处理器(Interface Message Processor，IMP)的接口单元，与具备类似接口的斯坦福大学的计算机进行通信。计算机资源的远距离共享实现了。尽管实现了消息(后来叫做电子邮件)的交换，但那时人们认为这种通信能力只是次要的，并不是什么了不起的事情。事实上，网络信息交换的首要作用并没有被广泛宣传。当时人们对这项技术的回应是：“科学家和工程师可以使用彼此的计算机，这不是很好吗? 但那与我的生活无关。”这个结论是多么保守啊!

接下来的一个重大进步发生在 1989 年，那时 PC 制造商开始将内部调制解调器绑定到个人计算机当中。如今因特网向所有人开放。由于用户发现电子邮件是一种很好的商务工具，当时它的使用量涨势惊人，然而，时至今日，人们使用它仅仅只是出于乐趣。鼠标和图形显示器的发明是计算机通向友好用户体验的巨大进步。计算机芯片速度和晶体管集成度的发展遵从所谓的“摩尔定律”(Moore's Law)，大约每两年翻一番。之后，垃圾邮件、病毒和黑客展现了它们丑恶的一面。垃圾邮件占用了昂贵的系统带宽，并且需要更多额外的电能来满足它的胃口。

随着万维网(World Wide Web，WWW)的引入，因特网走遍了全球。“WWW”是欧洲粒子物理研究所(CERN)在 1991 年提出的概念。我们现在在统一资源定位器(Uniform

Resource Locator，URL)的地址中可以看到“WWW”的字样。之后，随着伊利诺伊大学的MOSAIC浏览器和Netscape公司的NETSCAPE浏览器的问世，浏览器的发展迅速跟进。雅虎和微软开始竞争，著名的浏览器大战就此打响。斯坦福大学毕业的两位学生提出了一种新的概念——“搜索引擎”，并据此于1998年创立了Google。如今的Google异常成功，以至于Google已经成为了一个动词。

尽管这些早期的应用历历在目，但正是凭借企业家们的特殊才能，才将万维网带入最新的浪潮之中。各种不可思议的创新发明现在看起来仍然没有止境。亚马逊、eBay、PayPal、Google、维基百科、YouTube、博主、Refdesk、Facebook、每天早上你最爱的报纸的邮件推送、股市和天气的即时查询、便捷的Google全球卫星地图、全球经营的在线商务、Twitter、电子书以及其他各种各样的服务，带领我们进入了信息化的生活状态。这些应用需要更快、更小、更廉价的计算机芯片——无论多么奇妙的应用都需要最基础的技术支持。

计算机——“生生代代无穷已”?

计算机芯片依赖于许多学科的知识。电子和计算机工程师、计算机科学家、数学家、物理学家、化工工程师、化学家、机械工程师、统计学家、制造工程师和市场营销人员协调一致地工作，才能制造出这些创造奇妙的产品。技术产品通常从概念和原型设计中发展而来。若概念合理，那么产品将经历一系列连续的改进，直到最后达到性能的极限。我们究竟能把性能提高到什么程度?让我们先来看看三种其他的技术，了解一下它们产品性能的发展轨迹，以及它们能为电子行业的未来发展提供什么样的启发。

在火车的发展过程中，性能提高的时代从大约1820年一直延续到20世纪50年代。之后，除了子弹头列车之外，传统火车的发展便不再继续。汽车的发展从19世纪90年代延续到20世纪60年代。对于火车和汽车来说，速度、舒适度和发动机功率都已经达到了巅峰。商用飞机的发展基本上从1903年延续到20世纪60年代(波音747飞机问世)。而飞机的速度和载客量也已经达到了最大值。这三个领域发展起来之后，集成电路在20世纪80年代引发了第二次革命。但是，若你生活在这些技术发展最鼎盛的时期，你会感觉到这些“进步”似乎永远不会停止，然而，最基本的速度、能耗和运载能力方面的进步的确终止了。这对于计算机的发展有什么启示呢?

CMOS计算机技术会发展到尽头吗?计算机每一年仍然会提供更多的性能提升吗?有若干原因使我们相信CMOS技术将会达到一个性能的极限。如果历史是一部导引，那么接下来我们将会榨干芯片的最后一点设计和制造细节，而改进将主要依靠更高效的制造技术以及多处理器芯片的应用。我们什么时候会遇到这个技术终点?现在我们已经看到了某些极限的征兆，所以我们从教学的角度大胆地提出一个猜想：CMOS工艺技术的极限会在大约2025年达到。这只是个猜想，既然我们知道在我们的职业生涯中将会遇到这个性能的极限，那么具体的日期就不重要了。

当CMOS性能发展到终点时，我们希望研究工作继续寻找其他可行的电子制造技术。制造更快、更小、更廉价的计算机的诉求仍然强烈，也许新型的晶体管或者类晶体管的器件将助我们一臂之力。

电路功耗是一个巨大的挑战。Tom Friedman在他的著作《*Hot，Flat，and Crowded*》(第31页)中援引了一位Sun Microsystem工程师对未来能源需求的预测。根据他的观察，在接下来的12年中地球上将增加10亿人。若每人使用一盏60W的电灯泡，则我们需要增加600亿瓦的发电功率。若平均每人每天使用这盏电灯4h，则平均每增加100亿瓦的功

率需要大约 20 个燃煤电厂。若这 10 亿人平均每天使用一台 120W 的计算机 4h，我们还要为这 10 亿人增加 40 个燃煤电厂。我们的地球能源有限，低功耗计算机芯片设计面临着巨大压力。

如今技术的概念与早期人类使用轮子支撑推车来装载重物这样的“技术”有所不同。我们所谓的“技术”是使用适当的材料和自然规律来减轻我们负担的方法。电子技术也不例外，不过我们知道任何技术都有负面作用。互联网创造了奇迹，但是它并没能屏蔽黑客、垃圾邮件发送者和那些网络诈骗犯所散播的负面内容。互联网可以带来快速而精准的新闻，但是它也可以迅速传播不准确的谣言。这些问题总与技术相关，我们需要面对它们。我们应当关注技术带来的好处，并继续前人未完成的战役——那就是与技术的滥用坚决斗争。

未来

除了说电子技术拥有未来之外，我们不会对未来做过多其他的推测。互联网带来了商业和技术上的快速变革，我们往往把这些进步当作理所应当。令人吃惊的产品将会出现，而一些老旧的产品将会消失。本书旨在教育下一代的工程师，他们将推动信息可达性的历史车轮继续前进。

目 录

第1章
基本逻辑门和电路原理

Ben Franklin 有 50%的概率猜对电流方向——然而他错了。

——Jim Lloyd

本章将对逻辑设计导论、电路分析导论等前序课程中的特定话题进行回顾和强调。与数字电路相关的话题包括从布尔(Boolean)表达式到逻辑门电路的逻辑电路转换、德·摩尔根等价式(De Morgan equivalence)以及布尔逻辑化简。在晶体管电路分析中会反复用到基尔霍夫定律(Kirchhoff's laws)，因此本章也将对其进行回顾，并着重强调通过观察法进行电路分析。电容网络、功率关系、分压关系都与集成电路(Integrated Circuit，IC)息息相关。互连线中的电感将在后续章节介绍。电阻网络中的二极管分析将为含有非线性元件的电路分析提供经验。本章旨在通过丰富的习题培养读者的电路直觉，为后续章节的学习做好准备。本章的材料是从大量电路相关话题中挑选出来的，与后续章节中对 CMOS 集成电路及其工作原理的讲解关联更为密切。

1.1 逻辑门和布尔代数

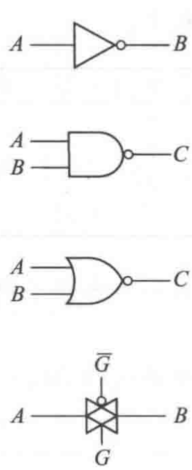
组合逻辑

布尔表达式定义了数字电路的行为。布尔代数假定了两个信号状态：①逻辑高电平，也称为逻辑 1；②逻辑低电平，也称为逻辑 0。当布尔表达式等号右侧的变量为真时，输出函数值为逻辑 1。例如，若

$$F = AB + C\overline{D} \tag{1-1}$$

则当 A 和 B 均为逻辑 1，或 C 为逻辑 1、D 为逻辑 0 时，F 取逻辑 1。F 是一个组合逻辑函数，因为在任何时刻，其取值都取决于电路的输入，即取决于 A、B、C、D。逻辑设计的引导课程中描述了这些表达式如何对应于特定的计算机操作，如加、补、比较、乘。将布尔表达式转换为真实计算机操作的下一个步骤将用到逻辑门的概念。

我们使用逻辑门符号进行布尔表达式的逻辑表述。更重要的是，我们可以建立标准电路实现逻辑门符号所对应的操作。图 1-1 给出了常见的逻辑门及其真值表。传输门(transmission gate，T-gate)有一个第三状态，称作高阻态(high-Z state)，表示高阻抗。处在高阻态的电路结点与电源或地都没有直流(DC)通路，因此这个结点是悬空的。传输门的高阻态输出本质上是关断的，对其他逻辑信号没有影响。有时并联的电路被接到同一个结点上而又必须彼此隔离，高阻态就在此时发挥作用。



A	B
1	0
0	1

A	B	C
0	0	1
0	1	1
1	0	1
1	1	0

A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

A	G	B
0	1	1
0	1	0
1	0	Z
0	0	Z

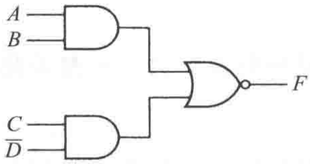
图 1-1 反相器、“与非”门、“或非”门、传输门的逻辑门符号及其真值表

本书主要讲解那些用于实现逻辑函数电路的电学特性，重点关注简单的逻辑门电路。有一句简单明了的话说：只需要足够的反相器、“与非”门和传输门，一个设计师就可

2 以搭建一台大型的复杂计算机。此话不假，对这些基本电路的学习是至关重要的。

例 1-1 画出表示 $F=\overline{AB+C\overline{D}}$ 的逻辑门电路示意图。其中有两次“与”运算、一次“或”运算以及一次取反。“或非”(NOR)门的输出是 F。“或非”门等同于一个“或”(OR)门和一个反相器。

解： 电路图如下。



◀

自测 1-1

画出下述布尔表达式对应的逻辑门电路：

$$F=(A+B)CD$$
$$F=(A+B\overline{C})D$$
$$F=A(\overline{B}+D)+EG$$

逻辑门通过其输出电压触发一个动作。视频监控屏幕上产生图形、交通信号灯对数字脉冲做出响应、汽车刹车、引擎性能的自动优化、厨房烤箱按照指令烘烤、计算机及其屏幕与人的互动，这些都是根据布尔代数实现的。电子设计通常始于布尔表达式，然后是逻辑门实现。为了给每种逻辑门建立标准的电路，并将这些设计存储在计算机中，从布尔表达式到逻辑门的转换是非常重要的。

德·摩尔根定律(De Morgan's theorem)给出了用反相信号表示的“与非”门(NAND)和“或非”门的等价逻辑(见式(1-2)、式(1-3))，这些转换关系非常实用，因为电子的“与非”门和“或非”门可能与德·摩尔根“与”门和“或”门具有不同的时序特性和晶体管版图。在实现特定逻辑功能时，德·摩尔根定律还可以减少逻辑门的数量。

$$\overline{X+Y}=\overline{X}\,\overline{Y} \tag{1-2}$$

$$\overline{XY}=\overline{X}+\overline{Y} \tag{1-3}$$

3 真值表是验证德·摩尔根等价式的一种简便方法，下面的例子将予以说明。

例 1-2 使用真值表验证式(1-2)。

解： 真值表如下。

X	Y	$X+Y$	$\overline{X+Y}$	$\overline{X}$	$\overline{Y}$	$\overline{X}\,\overline{Y}$
0	0	0	**1**	1	1	**1**
0	1	1	**0**	1	0	**0**
1	0	1	**0**	0	1	**0**
1	1	1	**0**	0	0	**0**

第4列和最后一列表明了德摩根定律的等价性。 ◀

自测 1-2

使用真值表验证式(1-3)。

德·摩尔根定律同样适用于两个以上的逻辑变量。以下是对任意个变量进行德摩根等价变换的步骤。

1）原函数中的乘积项（“与”运算）转换成德摩根等价式中的和项（“或”运算）。

2）原函数中的和项（“或”运算）转换成德摩根等价式中的乘积项（“与”运算）。

3）从原函数转换为德·摩尔根等价式，或从德摩根等价式转换为原函数时，所有变量都要取反。

4）原函数中有整体的上划线（取反），对应的德摩根等价式中则没有上划线，反之亦然。

例 1-3 写出以下函数的德摩根等价式：

(a) $F=XY+\overline{Z}$

(b) $F=\overline{(\overline{X}+Y)(\overline{W}Z)}$

解：

(a) $F=\overline{(\overline{X}+\overline{Y})Z}$

(b) $F=X\overline{Y}+W+\overline{Z}$

4

自测 1-3

写出如下“异或”(XOR)函数的德摩根等价式：

$$F = X\overline{Y} + \overline{X}Y$$

答案： $F=\overline{(\overline{X}+Y)(X+\overline{Y})}$

自测 1-4

写出以下函数的德摩根等价式：

$$F = \overline{(X+Y)Z + XY\overline{Z}}$$

答案： $F = (\overline{X}\overline{Y} + Z)(\overline{X} + \overline{Y} + Z)$

自测 1-5

写出以下函数的德摩根等价式：

$$F = W(\overline{X} + \overline{Y}Z) + Z(W\overline{X}Y + \overline{W})$$

答案： $F_{DM} = \overline{(\overline{W} + X(Y + \overline{Z}))(\overline{Z} + W(X + \overline{Y}))}$

1.2　布尔和逻辑门化简

设计者往往追求逻辑门数量的最小化。每个逻辑门本身只占据很小的面积，然而要生产的芯片数量可能数以百万计，为了经济效益，逻辑门数量的最小化是必需的。芯片的面积越大，成本就越高，运行速度也可能越慢。

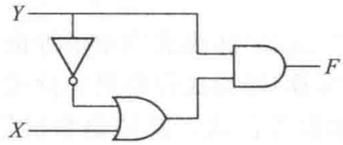
本节将回顾布尔逻辑恒等式，通过例题和练习阐释逻辑门化简的方法。表 1-1 列出了基本的布尔恒等式，其中“与”和“或”操作分别对应于 XY 和 $X+Y$。

表 1-1　基本布尔恒等式

$X+Y=Y+X$	$XY=YX$
$X+0=X$	$X+1=1$
$X0=0$	$X1=X$
$X+X=X$	$XX=X$
$X\overline{X}=0$	$X+\overline{X}=1$
$(X+Y)+Z=X+(Y+Z)$	$(XY)Z=X(YZ)$
$X(Y+Z)=XY+XZ$	$X+(YZ)=(X+Y)(X+Z)$
$\overline{X+Y}=\overline{X}\overline{Y}$	$\overline{XY}=\overline{X}+\overline{Y}$

5

例 1-4 化简下图所示逻辑电路，使逻辑门的数量最少：

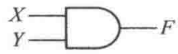


解：原逻辑函数是 $F=Y(X+\overline{Y})$

化简过程是

$$F=Y(X+\overline{Y})=YX+Y\overline{Y}=XY$$

对应的逻辑门电路是



◀

例 1-5 一个逻辑函数 $F=(X+Y)+\overline{X}$，将其化简到最简形式。

解：化简过程是

$$F=(X+Y)+\overline{X}=(X+\overline{X})+Y=1+Y=1$$

无论输入如何取值，输出恒为逻辑1。设计者应考虑将这些无关紧要的逻辑门去除。 ◀

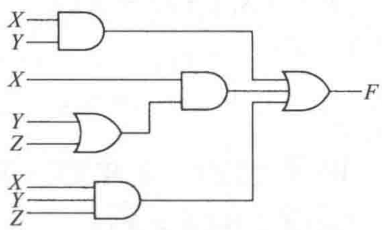
自测 1-6

使用一组公式证明

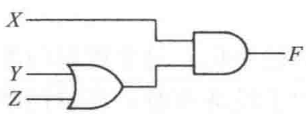
$$(X+Y)(X+Z)=X+YZ$$

自测 1-7

将以下逻辑门电路所表示的函数化简，并画出对应的逻辑门电路：

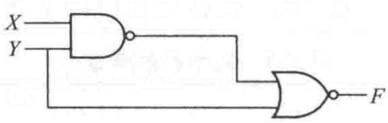


答案：化简后的逻辑门电路为：



自测 1-8

求以下门电路的最简函数：



答案：化简后的函数为

$$F=0$$

此逻辑设计不能实现有效的逻辑函数，应予以删除。

1.3 时序电路

时序电路(sequential circuit)能够存储数据，具有多种形式。其中一种形式在一个时

钟脉冲到来时临时存储组合逻辑所产生的比特数据，并在下一个时钟脉冲将其发送至另一个组合逻辑模块(详见第 8 章)；另一种类型的时序电路能够在较长的一段时间内存储数据(详见第 9 章)。

用于临时数据存储的基本时序电路是触发器(flip-flop)，其英文名称最初源自埃克尔斯-乔丹(Eccles-Jordan)在 1918 年发布的论文。“flip-flop”的含义是此记忆电路具有两个逻辑状态，并且能够保持在其中任意一个状态上。输出进入一种逻辑状态的过程称作“flip”，而在脉冲到来时进入另一种逻辑状态的过程称作“flop”。图 1-2 所示为 D 触发器的图形符号，它具有数据输入端 *D*，时钟输入端 *Clk*，以及输出端 *Q* 和 $\overline{Q}$。其中输入的数据来自前面的组合逻辑模块。D 触发器在每个时钟周期的末尾存储 1 位的数据，在下一个时钟脉冲到来时，该数据被传输至 *Q*，并送到另一个组合逻辑电路。*Clk* 端口旁边的小三角表示此电路在 *Clk* 脉冲的上升沿改变状态。D 触发器是计算机集成电路中最常用的触发器。

图 1-3 所示为触发器 *D* 端口、*Clk* 端口和输出 *Q* 端口的工作波形。其中输入信号比时钟脉冲先到来，而输出信号较时钟脉冲具有一定的延迟。一般情况下我们选择时钟信号的边沿或者跳变时刻作为其他波形边沿的时间参考，*D* 信号的提前到达是根据时钟边沿测量的，而输出 *Q* 信号则比时钟边沿延迟到达。当设计者设计工作在任何频率，尤其是工作在高频的数字芯片时，必须要将这些延时考虑进去。

一组触发器可以构成一个并行数据输入、并行数据输出的寄存器(register)。图 1-4 展示了一个 4 位寄存器，其中每 1 位都是一个 D 触发器。4 位的数据构成一个字(word)，这些数据作为一个整体进行传输。时钟信号决定了字何时传输到下一级，进行后续的布尔逻辑处理。不难发现，此电路中数据与时钟是同步的。由一个主时钟控制数据传输的系统设计称作“同步设计”(synchronous design)，它是数字电路中最常见的时序设计形式。在第 8 章我们将分析数据寄存器的电路特性，并着重强调集成电路的时序要求。

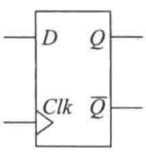


图 1-2　D 触发器电路符号

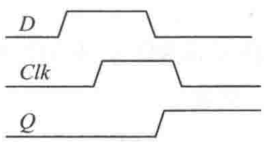


图 1-3　触发器输入数据(*D*)，时钟(*Clk*)，以及输出(*Q*)的波形

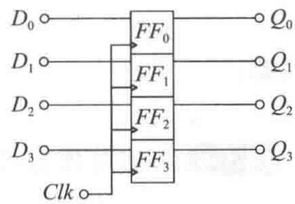


图 1-4　4 位移位寄存器(图中画出了触发器、输入输出以及时钟信号)

计算机体系结构

在组合逻辑与时序逻辑门上层的设计层级称作“设计架构”(design architecture)，这一层级的设计使用逻辑门的特定组合构成的功能模块，如二进制加法器、减法器、多路选择器、移位寄存器，以及算术逻辑单元等。这些模块是由许多较小的组合或时序逻辑门构成的，然而如果我们将一个复杂的电子功能定义为一个模块，仅标出其输入和输出端口，就可以提高设计效率。这些模块都是预先设计好的，因此在使用这些功能模块时，我们不需要重新设计。预先设计的方案存储在计算机中，对于设计者来说，调用这些功能模块就像调用一个反相器一样轻松。这种设计方法称为“层次化设计”(hierarchical design)，在设计架构层之上还有更高层级。完整的微处理器也可以看作一个预先设计好的模块，并与存储器等其他大型模块一起集成到芯片中。在设计过程中，我们必须要注意这些模块的时序特性，以及电压的输入/输出(I/O)特性。这些预先设计的电路模块在计算机中是如何存储的，它们为何如此灵活，这是因为它们可以以软件文件的形式存储。在第 11 章的集成

电路(IC)版图部分，我们将深入讨论这个问题。

1.4 电压和电流定律

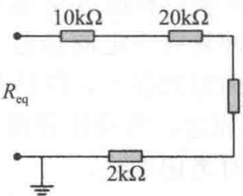
线性电路的引导类课程是晶体管电路分析的基础。本节将首先介绍如何使用观察法分析两个结点之间的等效电阻。依靠基尔霍夫电路定律，使用这些技巧可以仅通过一个算式求出答案。这种方法快速、直观、方便检验，是一种实用的手算或粗略估值方法。下面我们通过几个例子来学习这种简便方法。

1.4.1 端口电阻的观察法分析

例 1-6 写出简便算式并计算端口电阻。串联电路电阻相加，故

$$R_{eq}=10k\Omega+20k\Omega+5k\Omega+2k\Omega=37k\Omega$$

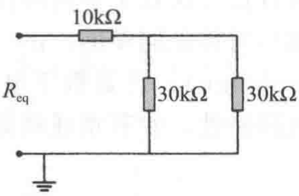
解：



9

尽管这个例子比较简单，但它却体现出使用单一算式求解的快捷性。◀

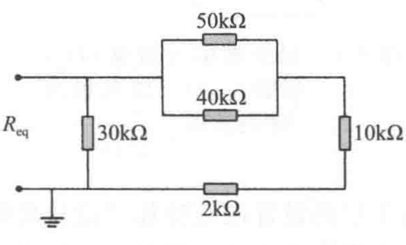
例 1-7 写出简便算式并计算端口电阻。



解：

$$R_{eq}=10k\Omega+30k\Omega\mathbin{/\!/}30k\Omega=25k\Omega$$ ◀

例 1-8 写出简便算式并计算端口电阻。

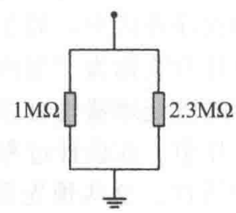


解：

$$R_{eq}=30k\Omega\mathbin{/\!/}(50k\Omega\mathbin{/\!/}40k\Omega+10k\Omega+2k\Omega)=15.99k\Omega$$ ◀

自测 1-9

写出简便算式并计算端口电阻。

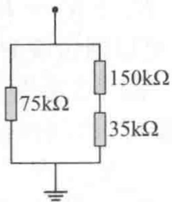


10

答案： $R_{eq}=697k\Omega$

自测 1-10

写出简便算式并计算端口电阻。

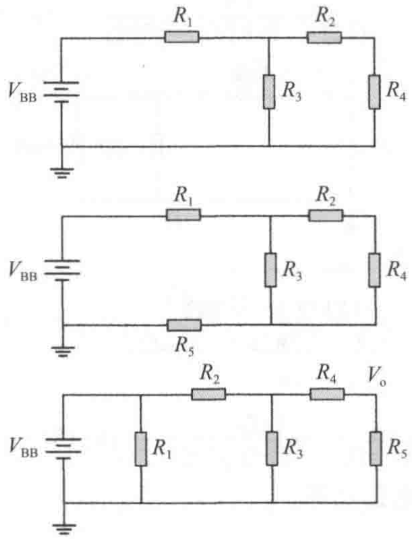


答案： $R_{eq}=53.4\text{k}\Omega$

自测 1-11

对如下图所示的三个电路，分别写出计算端口电阻的单一算式。

$R_1=20\text{k}\Omega$，$R_2=15\text{k}\Omega$，$R_3=25\text{k}\Omega$，$R_4=8\text{k}\Omega$，$R_5=5\text{k}\Omega$，使用你写出的单一算式计算这三个电路的 R_{eq}。



11

答案：

(a) $R_{eq}=31.98\text{k}\Omega$

(b) $R_{eq}=36.98\text{k}\Omega$

(c) $R_{eq}=10.82\text{k}\Omega$

接下来我们将介绍分压器和分流器。分压器与分流器方法为人工估算提供了宝贵的电路直觉。电路仿真固然重要，但我们总要检查结果的合理性。

1.4.2 基尔霍夫电压定律与观察法分析

两种主要的观察分析方法分别使用分压器和分流器的概念，以快速计算电路的结点电压和分支电流。这两种方法基于基尔霍夫电压和电流定律。基尔霍夫电压定律(KVL)是能量守恒定律的一种表述，“施加到一个网络的电压等于网络中各元件的压降之和”。如图 1-5 所示的分析电路可以直观地体现分压器性质，我们以此为例计算 V_3。

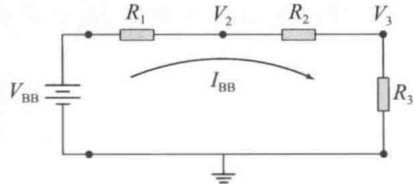


图 1-5　分压器电路

KVL 方程是

$$V_{BB}=I_{BB}R_1+I_{BB}R_2+I_{BB}R_3=I_{BB}(R_1+R_2+R_3)$$

$$I_{BB}=\frac{V_{BB}}{R_1+R_2+R_3}=\frac{V_3}{R_3} \tag{1-4}$$

因此

$$V_3 = \frac{R_3}{R_1 + R_2 + R_3} V_{BB} \tag{1-5}$$

式(1-5)是分压器的一种简便表达式，它可以通过观察写出并计算。每个电阻上的压降正比于该电阻的阻值与全部串联电阻阻值之比。图1-5非常直观，读者应该能够凭直觉写出任何电阻上压降的分压表达式。例如，通过观察可以写出结点 V_2 与地之间的电压方程：

12

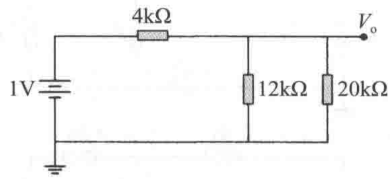
$$V_2 = \frac{R_2 + R_3}{R_1 + R_2 + R_3} V_{BB} \tag{1-6}$$

例 1-9 通过观察法计算输入电阻 R_{in}、电源电流 I_{BB}，以及输出电压 V_o。验证压降之和等于电源电压。

解：

$$R_{in} = 4k\Omega + 12k\Omega \mathbin{/\!/} 20k\Omega = 11.5k\Omega$$

$$I_{BB} = \frac{1V}{4k\Omega + 12k\Omega \mathbin{/\!/} 20k\Omega} = 87.0\mu A$$



通过分压器求出 V_o。

$$V_o = \left(\frac{12k\Omega \mathbin{/\!/} 20k\Omega}{4k\Omega + 12k\Omega \mathbin{/\!/} 20k\Omega}\right) \times 1V = 0.652V$$

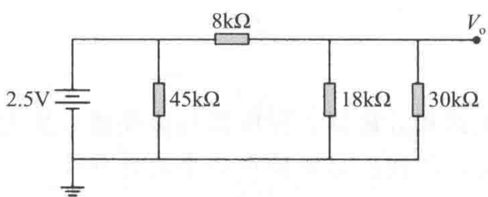
又有

$$V_{4k\Omega} = \left(\frac{4k\Omega}{4k\Omega + 12k\Omega \mathbin{/\!/} 20k\Omega}\right) \times 1V = 0.348V$$

二者之和为1.000V，与驱动电压相等。◀

自测 1-12

写出 R_{in}、V_o 和电源电流 I_{BB} 的表达式并求解。

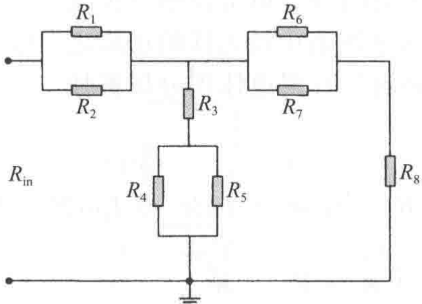


13

答案：(a) $R_{in}=13.48k\Omega$，(b) $V_o=1.459V$，(c) $I_{BB}=185.4\mu A$

自测 1-13

写出端口输入电阻 R_{in} 的简便表达式。



1.4.3 基尔霍夫电流定律与观察法分析

分流器基于基尔霍夫电流定律(KCL)，其含义是“一个电路结点的电流总和是零”。电流是一股流动的电荷，因此流入某结点的电荷量一定等于流出该结点的电荷量。分流器的表达式很直观，使得读者能够清晰地理解电流进入分支时的分流关系。如图 1-6 所示为两个电阻对总电流 I_{BB}分流的情况。

根据 KVL，有

$$V_{BB}=(R_1 /\!/ R_2)I_{BB}=\frac{R_1R_2}{R_1+R_2}I_{BB}$$
$$=I_1R_1=I_2R_2 \tag{1-7}$$

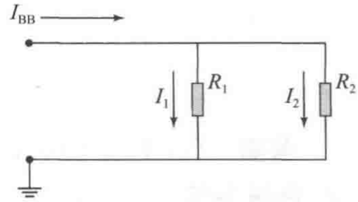


图 1-6　分流器电路

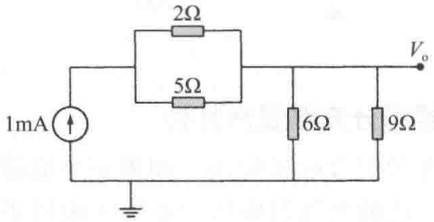
由此我们得出分流器的电流表达式为

$$I_1=\frac{R_2}{R_1+R_2}I_{BB},\quad I_2=\frac{R_1}{R_1+R_2}I_{BB} \tag{1-8}$$

14

电流被分入两个并联的分支中，其大小正比于另一支的电阻阻值与两电阻总阻值之比。与分压器的表达式一样，读者也应牢记分流器的关系式。从直观上理解，并联支路中阻值最小的支路将分得最大的电流。

例 1-10 计算 V_o、$I_{2\Omega}$和 $I_{9\Omega}$。

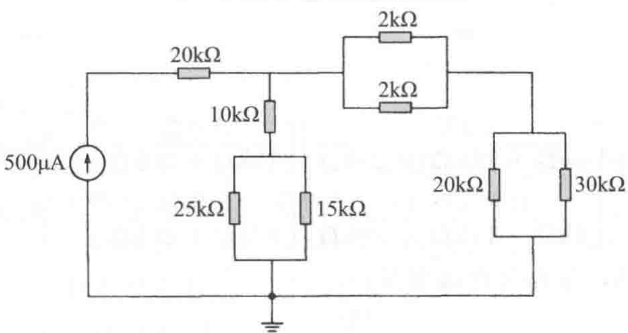


解：

$$V_o=(6 /\!/ 9)\times 1\text{mA}=3.6\text{mV}$$
$$I_{2\Omega}=\left(\frac{5}{5+2}\right)\times 1\text{mA}=714.3\mu\text{A}$$
$$I_{9\Omega}=\left(\frac{6}{6+9}\right)\times 1\text{mA}=400\mu\text{A}$$

◀

例 1-11 通过观察法写出计算 $I_{15k\Omega}$的表达式并求值。



解：

$$I_{15k\Omega}=\left[\frac{(2k\Omega /\!/ 2k\Omega)+(20k\Omega /\!/ 30k\Omega)}{10k\Omega+(25k\Omega /\!/ 15k\Omega)+(2k\Omega /\!/ 2k\Omega)+(20k\Omega /\!/ 30k\Omega)}\right]\times\frac{25k\Omega}{25k\Omega+15k\Omega}\times 500\mu\text{A}$$
$$=125.5\mu\text{A}$$

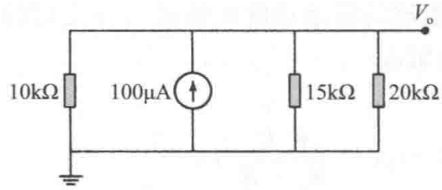
◀

15

自测 1-14

(a) 通过观察法求各电阻支路上的电流。

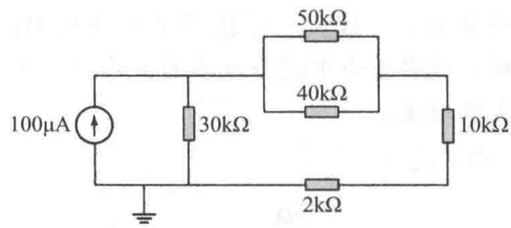
(b) 改变 20kΩ 电阻的阻值，使流过它的电流为 5μA，求新的阻值。



答案：(a) $I_{10k\Omega}=46.15\mu A$，$I_{15k\Omega}=30.77\mu A$，$I_{20k\Omega}=23.08\mu A$。(b) $R_{20k\Omega}=114k\Omega$

自测 1-15

使用观察法求出 $I_{40k\Omega}$。



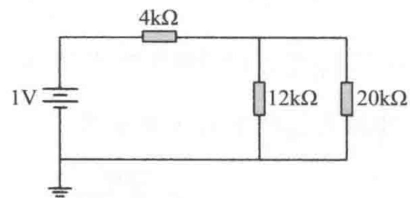
答案：25.95μA

1.4.4 基于观察法的分压器和分流器混合分析

分压器和分流器的概念常常混合起来使用。如果一个电路含有一个电压源，想要求出支路电流，那么算式中的第一项就要通过电压源和输入电阻求出电源电流，然后使用分流器方法求出所求支路的电流。

例 1-12 通过观察法求出 12kΩ 和 20kΩ 支路的电流。提示：首先写出 I_{BB} 的表达式，再与分流器表达式相乘。

16



解：

$$I_{12k\Omega}=\left[\frac{1V}{4k\Omega+12k\Omega\ /\!/\ 20k\Omega}\right]\left[\frac{20k\Omega}{12k\Omega+20k\Omega}\right]=54.348\mu A$$

$$I_{20k\Omega}=\left[\frac{1V}{4k\Omega+12k\Omega\ /\!/\ 20k\Omega}\right]\left[\frac{12k\Omega}{12k\Omega+20k\Omega}\right]=32.609\mu A$$

电流之和为 86.957μA，与电源电流相等：

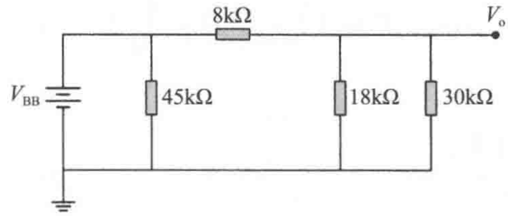
$$I_{BB}=\left[\frac{1V}{4k\Omega+12k\Omega\ /\!/\ 20k\Omega}\right]=86.957\mu A$$

◀

自测 1-16

(a) 通过观察法写出流过各电阻电流的表达式并求解。已知 $I_{BB}=185.4\mu A$。

(b) 计算 V_{BB}。



答案： (a) $I_{45k\Omega}=55.55\mu A$，$I_{8k\Omega}=129.9\mu A$，$I_{18k\Omega}=81.16\mu A$，$I_{30k\Omega}=48.69\mu A$

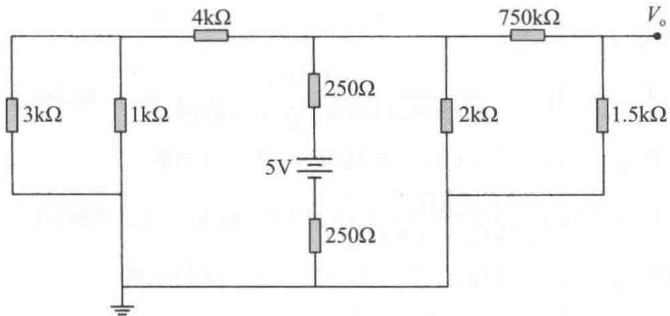
(b) $V_{BB}=2.50V$

17

自测 1-17

(a) 通过观察法写出从电源端看入的输入电阻 R_{in} 并求解。

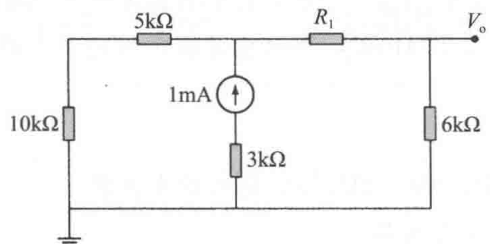
(b) 通过观察法写出 $I_{1.5k\Omega}$ 的表达式并求解。这是一个比较大的电路，但是我们依然可以使用前文所述的简便方法。观察写出 R_{in} 并通过分流器求出 $I_{1.5k\Omega}$。



答案： $R_{in}=1.366k\Omega$，$I_{1.5k\Omega}=1.409mA$

自测 1-18

设电流源两端的电压是 10V，求 R_1。注意电压的极性。



答案： $R_1=7.125k\Omega$

1.5　电阻的功率消耗

当被用于有益的工作时，功率是可取的，比如给面包机的线圈加热。然而对于电子电路，它所产生的热量都被浪费掉，并且会使空气冷却系统消耗更多的电力。一个单独的电路影响或许不大，然而集成电路设计的生产规模可以达到数百万甚至数十亿个芯片。集成电路的功耗主要来自寄生电阻和电容，以及晶体管的属性。电路产生的热量必须最小化，因为这些浪费的能量对于计算没有任何帮助。

18

一个器件的功耗是电压和电流的乘积，其单元分析如下：

$$P=V\left(\frac{焦耳}{库仑}\right)I\left(\frac{库仑}{秒}\right)=P\left(\frac{焦耳}{秒}\right)=P(瓦)$$

根据欧姆(Ohm)定律得到功率的等价式：

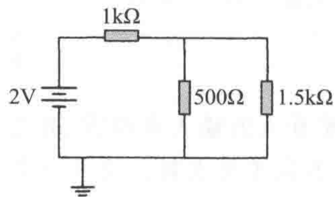
$$P = VI = I^2R = \frac{V^2}{R} \tag{1-9}$$

例 1-13

(a) 计算每个电阻的功率。

(b) 计算电源的输出功率。

(c) 验证电源功率与电阻功耗是否相等(见下图)。



解:

(a) 首先计算电阻上的电流:

$$I_{1k\Omega} = I_{BB} = \frac{2V}{1k\Omega + (500\Omega \mathbin{/\!/} 1.5k\Omega)} = 1.455mA,$$

$$P_{1k\Omega} = (1.455mA)^2 \times 1k\Omega = 2.117mW$$

$$I_{500\Omega} = \left[\frac{1.5k\Omega}{1.5k\Omega + 500\Omega}\right] \times 1.455mA = 1.091mA,$$

$$P_{500\Omega} = (1.091mA)^2 \times 500\Omega = 0.5954mW$$

$$I_{1.5k\Omega} = \left[\frac{500\Omega}{1.5k\Omega + 500\Omega}\right] \times 1.455mA = 363.8\mu A,$$

$$P_{1.5k\Omega} = (363.8\mu A)^2 \times 1.5k\Omega = 0.1985mW$$

(b) 电源的输出功率为:

$$P_{BB} = V_{BB} I_{BB} = 2V \times 1.4545mA = 2.909mW$$

(c) 电阻功率的总和是 2.911mW，因此电源提供的功率与电阻消耗的功率精确到小数点后一位是相等的。 ◀

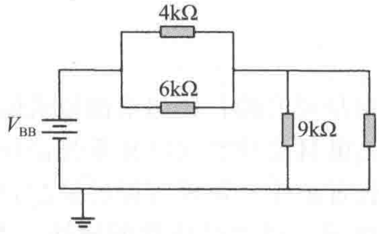
19

例 1-14

(a) 计算 V_{BB}=1V，2V，3V，4V，5V 时的功率消耗。

(b) 画出功率随 V_{BB} 的变化曲线。

(c) 你可以得到什么结论?



解:

(a) 端口电阻是

$$R_{eq} = (4k\Omega \mathbin{/\!/} 6k\Omega) + (9k\Omega \mathbin{/\!/} 5k\Omega) = 5.614k\Omega$$

$$P_{BB}(1V) = \frac{(1V)^2}{5.614k\Omega} = 0.1781mW$$

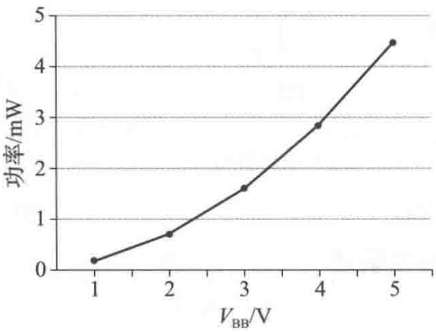
$$P_{BB}(2V)=\frac{(2V)^2}{5.614k\Omega}=0.7125mW$$

$$P_{BB}(3V)=\frac{(3V)^2}{5.614k\Omega}=1.603mW$$

$$P_{BB}(4V)=\frac{(4V)^2}{5.614k\Omega}=2.850mW$$

$$P_{BB}(5V)=\frac{(5V)^2}{5.614k\Omega}=4.453mW$$

(b) V_{BB}-P_{BB} 曲线如下图所示。



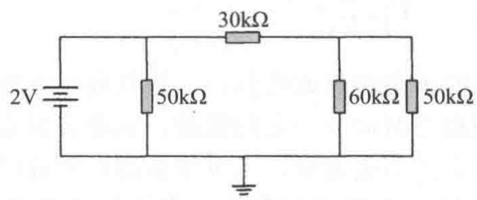
20

(c) 功率消耗随着电源电压平方的升高而升高，因此降低功耗的首要考虑是降低电压。◀

自测 1-19

(a) 计算每个电阻的热功率。

(b) 验证消耗功率等于输出功率。

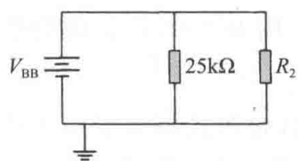


答案： (a) $P_{50k\Omega}=80\mu W$，$P_{30k\Omega}=36.56\mu W$，$P_{60k\Omega}=15.11\mu W$，$P_{50k\Omega}=18.13\mu W$。

(b) $P_{BB}=2V\times74.91\mu A=149.8\mu W$，与电阻功率消耗之和相等。

自测 1-20

通过公式推导说明当 $R_2\to0$ 时电路的功耗将如何变化。



1.6 电容

如图 1-7 所示为平行板电容器及其电路符号。电容器的特征参数是“电容”(capacitance，C)，单位是法拉(farad)。在 CMOS 数字电路中，电容器性质体现为晶体管固有的或互连线金属带来的寄生元件。我们通常通过这些寄生元件的位置和电容值来将其与分立电容相区别。

电容对晶体管的开关时间影响很大，互连电容还会影响逻辑门之间的传播延时。在高速电路中，“金属间电容”(intrametal capacitance)还会引起一种称作“串扰”(cross-talk)的噪声，即一条互连线的电压会受到另一条邻近的互连线上电压变化的影响，尽管这两条互连线是隔离的。串扰和电容计算将在后文加以介绍。

21

电路的基础课程中介绍过串联和并联网络的等效端口电容。本节将利用这些知识讲解电容功率分析和电容分压器，这两个话题都与数字集成电路密切相关。

1.6.1　电容器能量与功率

图 1-8 展示了一个电容器电路。当 $t=0$ 时刻开关闭合，电子流动并将电容充电至 V_B。

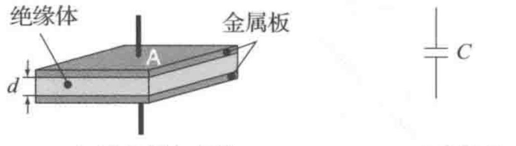


图 1-7　电容

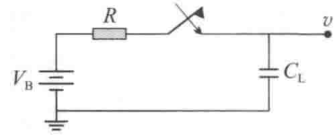


图 1-8　*RC* 时间常数电路

电容器的电荷量与电压的关系是

$$q = C_L v$$

一般的能量关系是

$$\mathrm{d}w(\text{焦耳}) = v\left(\frac{\text{焦耳}}{\text{库仑}}\right)\mathrm{d}q(\text{库仑})$$

以 Q 库仑电荷向电容充电的总能量 W 是

$$W = \int_0^Q \mathrm{d}w = \int_0^Q v\mathrm{d}q = \int_0^Q \frac{q}{C_L}\mathrm{d}q = \frac{Q^2}{2C_L}$$

$$W = \frac{1}{2}C_L V_B^2 \tag{1-10}$$

22

理想的电容器在充放电时不会产热或吸热，产热只发生在电源及其内阻中。这与单摆类似，将单摆从最低点移到高点时需要一定的能量，驱动装置在提起单摆的过程中消耗能量并产生热量，而单摆本身并不消耗能量。当单摆从高点释放时，势能转换为动能，也不会产热。如果单摆被缓慢地从高点移动到低点，则热量会在制动装置中产生。换一种说法，当你将摆锤提到高点时，你的肌肉将会产热，而单摆不会。电容器的热学性质与此类似，热量只产生于电源充放电电路。

数字电路的电容波形有两种情况：①一个 T 时钟周期内只发生一次充电或放电；②充电和放电发生在同一个时钟周期内。如果一个周期只发生单一的事件(充电或放电)，则 $W=\frac{1}{2}C_L V_B^2$。如果充放电都发生，则 $W=C_L V_B^2$，即为单一事件情况的 2 倍。这两种情况在数字集成电路中都可能发生。

根据 J/s=W，我们可以计算特定驱动频率下的产热功率。如果电容器的充放电频率是 f，那么其驱动电路的产热功率就是 $P=C_L V_B^2 f_{Clk}$。

例 1-15

(a) 10pF 电容在 1s 内充电至 2V，计算其储存的能量。

(b) 如果该电容器被 100MHz 的方波驱动，产热功率是多少？

解：

(a) $W=\frac{1}{2}\times 10\text{pF}\times(2\text{V})^2=20\times10^{-12}\text{J}=20\text{pJ}$

(b) $P=10\text{pF}\times(2\text{V})^2\times100\times10^6=4\text{mW}$

注意此处之所以没有二分之一系数，是因为每个时钟周期 $T=f^{-1}=10\text{ns}$ 内充电和放电均会发生。◀

例 1-16 一个逻辑结点处的电容 C_L 为 200fF，驱动电压为 1.5V。如果 C_L 的逻辑状态在每个时钟脉冲到来时，改变一次，时钟脉冲的频率是 200MHz，那么驱动电路的产热功率是多少？

解： 结点电压状态在每个时钟周期只改变一次，因此产热为：

$$P=\frac{1}{2}\times200\text{fF}\times(1.5\text{V})^2\times20\times10^6=4.5\mu\text{W}$$ ◀

23

自测 1-21

一个微处理器含有上亿个晶体管，被一个 1GHz 的时钟驱动。假设每个时钟周期发生一次逻辑跳变。如果微处理器内部电路有效负载为 40nF，电源电压为 1.5V，则产热功率是多少？

答案： $P=45\text{W}$

想象一个硬币大小的物体产热功率相当于一个 45W 的灯泡。

自测 1-22

一个游戏机芯片被 3GHz 的时钟驱动，假设每个时钟周期发生一次逻辑跳变。如果有效负载是 12nF，且要求产热功率必须控制在 50W 以下，则最大驱动电压是多少？

答案： $V_{DD}=1.667\text{V}$

1.6.2 电容分压器

CMOS 电路中有时会出现开路情况，这种情况下电容将电压耦合至其他不相连的结点上。一个简单的电容分压器电路如图 1-9 所示。每个电容上的电压是总电压 V_{DD} 的一部分。

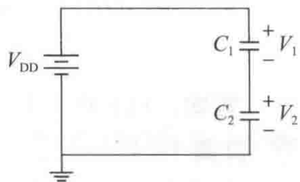


图 1-9 电容分压器

例 1-17 求出图 1-9 中的电容 C_1 和 C_2 上的电压与电源电压 V_{DD} 的关系式。

解： 串联的平行板电容器上电荷量相等，因此有 $Q_1=Q_2$。根据电容的关系式 $C=Q/V$ 可以写出

$$Q_1=Q_2\Rightarrow C_1V_1=C_2V_2$$

24

即

$$V_2=\frac{C_1}{C_2}V_1$$

由于

$$V_{DD}=V_1+V_2$$

则

$$V_2=V_{DD}-V_1=\frac{C_1}{C_2}V_1$$

解出

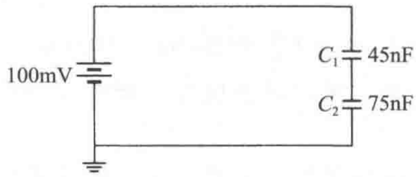
$$V_1=\frac{C_2}{C_1+C_2}V_{DD}$$

以及

$$V_2=\frac{C_1}{C_1+C_2}V_{DD}$$ ◀

电容分压器的形式与电阻分压器的形式类似，不过分子项有所不同。

例 1-18 解出 C_1 和 C_2 上的电压 V_{C1} 和 V_{C2}。



解：

$$V_{C1}=\frac{75\text{nF}}{45\text{nF}+75\text{nF}}\times 100\text{mV}=62.5\text{mV}$$

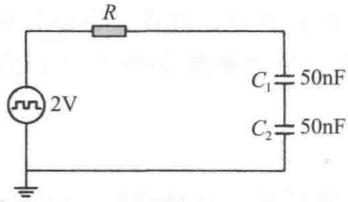
25

$$V_{C2}=\frac{45\text{nF}}{45\text{nF}+75\text{nF}}\times 100\text{mV}=37.5\text{mV}$$ ◀

自测 1-23

(a) 设电压源提供 $f_{Clk}=1\text{GHz}$、峰值 $V_B=2\text{V}$ 的方波信号，求各电容的功率。

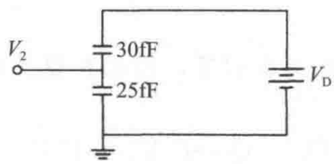
(b) 求出这两个串联电容器的等效电容，并计算使用 500MHz、峰值 2V 的电压对其进行充放电的功率。



答案： (a) $P_1=P_2=50\text{W}$。(b) $C_{eq}=25\text{nF}$，$P_{eq}=100\text{W}$。

自测 1-24

如果 $V_2=700\text{mV}$，则驱动电压 V_D 是多少？



答案： $V_D=1.283\text{V}$

1.7 电感

一个电感器由一个导电金属线结构组成，其电流被引至电感器周围的磁场中。电感器可以是一条直导线，也可以是一个线圈。电感是电感器磁通特性的度量，它是一个与电感器产生的磁通量以及电感器中电流变化成比例的常数。电感的单位是亨利(henry)，在集成电路中常见的量级是皮亨(pico henry，$\text{pH}=10^{-12}\text{H}$)。集成电路(IC)中的金属线的寄生电感是在高速电路中需要控制的重要参数。集成电路的电感关系将在第 4 章详细介绍。

26

1.8 二极管非线性电路分析

本节将介绍半导体二极管的电路分析，而下一章将会讨论其物理本质以及它在晶体管构造中的作用。二极管与电阻的性质不同，它是一种非线性元件。对于正向电压，二极管可以允许很大的电流通过，而对于反向电压则几乎不允许电流通过。图 1-10a 所示为典型

的二极管非线性伏安特性曲线及其惯例符号；图 1-10b 所示为二极管的电路符号。二极管的正端称作阳极(anode)，负端称作阴极(cathode)。二极管是集成电路中的重要元件，因为每个晶体管结构中实际都有两个二极管。本节将通过二极管介绍一种非线性电路方程求解的方法。

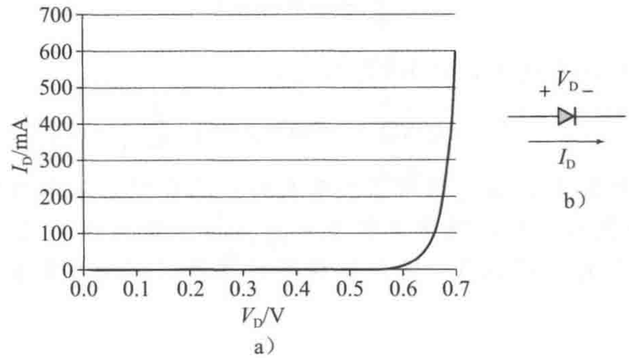


图 1-10 二极管 $I-V$ 特性曲线及电路符号

二极管电流方程是

$$I_D = I_S(e^{qV_D/(kT)} - 1) \tag{1-11}$$

式中：k 是玻耳兹曼(Boltzmann)常数($k=1.38\times10^{-23}$ J/K)；q 是电子电量($q=1.6\times10^{-19}$ C)；I_S 是反向偏置饱和电流。kT/q 称作热电压(thermal voltage，V_T)，在室温 $T=298$K 下取值为 0.0257V，通常近似为 $V_T=26$mV。当二极管加正向电压，并且电压值远大于热电压时($V_D\gg V_T=kT/q$)，则二极管方程(式(1-11))可以近似为

$$I_D = I_S e^{qV_D/(kT)} = I_S e^{V_D/V_T} \tag{1-12}$$

我们处理的绝大多数情况中正向偏置电压都足够大，因而可以忽略式中的常数 1。根据式(1-11)可以推出二极管的电压方程为：

$$V_D = \frac{kT}{q}\ln\left(\frac{I_D}{I_S}+1\right) \tag{1-13}$$

对于正向偏置电压，可以化简为：

$$V_D = \frac{kT}{q}\ln\left(\frac{I_D}{I_S}\right) = V_T\ln\left(\frac{I_D}{I_S}\right) \tag{1-14}$$

例 1-19

(a) 设 $T=25$℃，$I_D=200$nA，$I_S=1$nA，根据式(1-13)计算正向偏置电压。

(b) 如果二极管上压降为 400mV，求电流。

解：

(a) $V_D=26\text{mV}\quad \ln\left(\frac{200\text{nA}}{1\text{nA}}\right)=137.8\text{mV}$

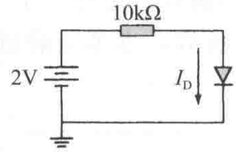
(b) $I_D=1\text{nA}\,e^{\frac{400\text{mV}}{26\text{mV}}}=4.80\text{mA}$ ◀

式(1-14)只在 I_S 被测量的温度下有效。上述公式似乎说明 I_D 会随温度的升高而指数下降，然而实际情况并非如此。相比于式中的指数项，I_S 对温度的变化更加敏感，大约每上升 10℃就会翻一倍，结果是二极管电流会随着温度的上升而明显增大。

二极管电阻分析

例 1-20 展示了如何通过反向偏置饱和电流 I_S 求得电流和结点电压。

例 1-20 设室温下，$I_S=10\text{nA}$，求二极管上的电压以及电流 I_D。取 $kT/q=26\text{mV}$。



解：使用二极管电压表达式，列 KVL 方程：

$$2\text{V}=I_D\times 10\text{k}\Omega+26\text{mV}\times\ln\left(\frac{I_D}{10\text{nA}}+1\right)$$

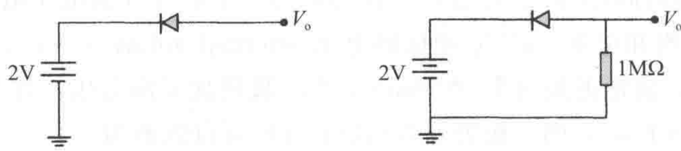
此方程有一个未知数 I_D，但是很难求出解析解，因此通常采用两种方法。一种是经典的迭代法，将 I_D 的值代入方程，最终使等号左右两边平衡的值就是一个近似解。通过迭代法可以得到一个解为 $I_D=175\mu\text{A}$。现代的科学计算器可以通过数值方法求解此类方程，无需手动的重复劳动。

28

二极管电压是：

$$V_D=\frac{kT}{q}\ln\left(\frac{I_D}{I_S}\right)=26\text{mV}\times\ln\left(\frac{175\mu\text{A}}{10\text{nA}}\right)=254\text{mV}$$ ◀

例 1-21 在以下两幅图中，二极管阴极与电源正极相连（$I_S=100\text{nA}$），则两个电路的 V_o 分别是多少？



a)　　　　　　b)

解：

(a) V_o 结点悬空，因此二极管中没有电流。由于 $I_D=0$，二极管压降 $V_D=0$，因此

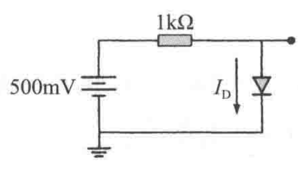
$$V_o=V_D+2\text{V}=2\text{V}$$

(b) 现在 V_o 结点与地之间有电流通路。二极管反向偏置，$I_{BB}=-I_D=100\text{nA}$，则

$$V_o=I_{BB}\times 1\text{M}\Omega=100\text{nA}\times 1\text{M}\Omega=100\text{mV}$$ ◀

自测 1-25

设 $I_S=1\text{nA}$，估算 V_D 与 I_D。



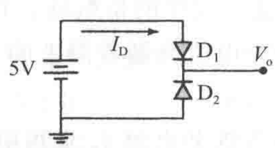
答案：$I_D=185\mu\text{A}$，$V_D=315.3\text{V}$

这些问题可以通过式(1-14)来分析，也可以在图 1-10 所示 $I-V$ 曲线中观察。例 1-21 图 a 中的工作点在原点，而在例 1-21 图 b 中，工作点移到了原点右侧。

29

自测 1-26

假设 $I_S=100\mu\text{A}$，$T=25℃$，计算 V_{D1} 和 V_o。

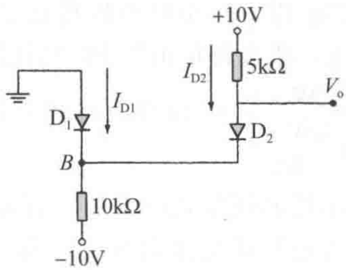


答案：$V_{D1}=18.02\text{mV}$，$V_o=4.982\text{V}$

例 1-22

(a) 计算 I_{D1}、I_{D2}和 V_o。假设二极管正向偏置电压是 0.7V。指出 D_1 和 D_2 是导通还是截止的。

(b) 假设两个二极管的 $I_S=10\text{nA}$，则 V_B 是多少？



解：

(a) 考虑二极管的状态。如果 D_1 是导通的，则 D_1 的阴极，也就是 B 结点的电压是 −0.7V。然而如果 +10V 的电源将 B 结点的电压拉到了 −0.7V 以上，那么 D_1 就会截止。我们首先考察 D_1 截止的情况，计算出 B 结点的二极管阴极电压。有

$$10\text{V}=I_{D2}\times 5\text{k}\Omega+0.7\text{V}+I_{D2}\times 10\text{k}\Omega-10\text{V}$$
$$I_{D2}=1.287\text{mA}$$

则

$$V_B=1.287\text{mA}\times 10\text{k}\Omega-10\text{V}=2.287\text{V}$$

现在如果我们将 D_1 接到 B 结点上，它不会对电路造成任何影响，因为 D_1 是反向偏置的。因此 D_1 截止，$I_{D1}=0$。

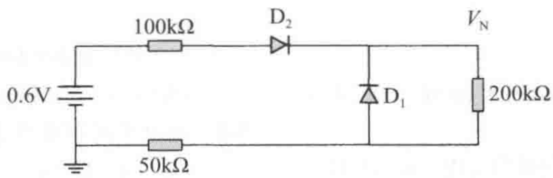
$$V_o=10\text{V}-1.287\text{mA}\times 5\text{k}\Omega=3.565\text{V}$$

(b) 我们忽略二极管 D_1 的反偏饱和电流(10nA)。二极管 D_1 仍是截止的，因此

$$10\text{V}=I_{D2}\times 5\text{k}\Omega+0.026\ln\left(\frac{I_{D2}}{10\text{nA}}\right)+I_{D2}\times 10\text{k}\Omega-10\text{V}$$
$$I_{D2}=1.313\text{mA}$$
$$V_B=1.313\text{mA}\times 10\text{k}\Omega-10\text{V}=3.13\text{V}$$ ◀

30

例 1-23 二极管 D_1 的 $I_{s1}=1\mu\text{A}$，二极管 D_2 的 $I_{s2}=20\text{nA}$。计算两个二极管连接处的电压。



解：

$$0.6=I_D\times 150\text{k}\Omega+0.026\ln\left[\frac{I_D}{20\text{nA}}+1\right]+(I_D-1\mu\text{A})\times 200\text{k}\Omega$$

解得　$I_D=1.945\mu\text{A}$

$$V_N=[1.945\mu\text{A}-1\mu\text{A}]\times 200\text{k}\Omega+50\text{k}\Omega\times 1.945\mu\text{A}=0.2863\text{V}$$ ◀

1.9　关于功率

个人计算机通常安静而清洁地工作，并不会浓烟滚滚，就好像内部有一个小型发电厂

驱动着逻辑门的运行。多年以来，设计者并没有太多地考虑电子器件的功耗问题，然而当芯片的功耗达到了150～200W时，集成电路的功耗问题终于得到了重视。你可以想象手握一个150W的灯泡，而且大小只有邮票那么大。

我们不妨研究一下个人计算机，估算一下这个“小型发电站”的实际功率开销。以下计算引自维基百科(www.wikipedia.org)中的“coal”词条。假设PC的平均功率约为100W，一个火力发电厂每燃烧1kg煤，每小时可以传送2.0kW的电能。一年中PC消耗100W×8760h/a×1a=876kW·h，那么每年由于PC功耗所燃烧的煤的数量将是：

$$\frac{876\text{kW}\cdot\text{h}}{2.0\,\dfrac{\text{kW}\cdot\text{h}}{\text{kg}}}=438\text{kg}=965.6\text{磅}$$

可见，支持一台PC运行一年所消耗的煤量是巨大的，直观地看，相当于一个边长为2.5ft(0.76m)的立方体煤块。另外，发电厂还会排出废气，其中包括二氧化碳、二氧化硫、汞和铀等。煤中约有50%是碳，一个碳原子与两个来自空气的氧原子结合，则每千克煤大约可以产生1.83kg的二氧化碳。因此，一台PC运行一年将产生801.5kg(1767磅)二氧化碳。网络服务器耗费的热量更大，因为它们为高速运算而设计，旨在加快数字业务。低端的服务器系统功耗约为200W，而针对大容量业务的服务器功耗可能超过15kW。

31

最关键的是，哪怕一丁点的功耗也应该被尽量减小。假设一种设计相比另一种设计可以节约1W，那么如果一年生产一百万片集成电路，就可以为用户省下100万W·h的电能。集成电路厂家在产品周期内可以生产数百万甚至数十亿芯片，因此低功耗设计的影响是巨大的。本书将不会详细介绍低功耗设计的理论和技巧，不过会在后文涉及一些原理和问题，以强调它是一个重要的议题。另外，文中关于100W的PC例子与计算一个100W灯泡的年燃煤量的方法完全相同。

1.10 小结

本章回顾了基本的逻辑原理以及含有电源、电阻、电容和二极管电路的分析方法。将基尔霍夫电流、电压定律与欧姆定律结合起来求解不同电路中的结点电压和元件电流。观察法求解电流和电压的技巧是快速分析电路本质的有力工具。最后，我们以二极管为例介绍了含有非线性元件的电路分析。本章最后的习题理应为后续MOSFET及其简单逻辑功能的学习提供足够的准备。

习题

逻辑门和布尔函数

当出现信号取反符号时，不要使用“非”门；直接按反相信号处理。

1-1 (a) 画出此布尔函数的逻辑门实现：$G=A(B+C)\times(D\overline{E}F)$。

(b) 画出此布尔函数的逻辑门实现：$G=(A+B)\times(C+D\overline{E}F)$。

1-2 (a) 画出此布尔函数的逻辑门实现：$F=(W\overline{X})(Y+Z)$。

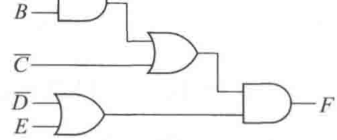
(b) 写出(a)中表达式的德·摩尔根等价表达式，并画出其逻辑门电路图。

1-3 写出以下布尔表达式的德·摩尔根等价式，并画出其逻辑门电路图。

(a) $F=A(\overline{B}+D)+EF$

(b) $F=(A+BC)D$

1-4 画出下图对应的德·摩尔根等价逻辑门电路



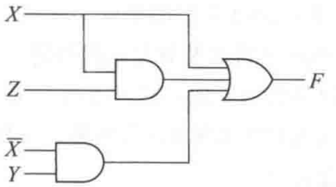
布尔与逻辑门化简

1-5 将函数化至最简：$F=X+\overline{X+Y}+XY$。

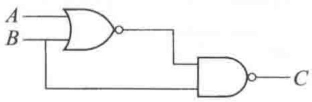
1-6 将函数化至最简：$F=\overline{\overline{XY}+\overline{ZY}}$。

1-7 将函数化至最简的“非”门形式：$F=\overline{XY}+\overline{ZY}$。

1-8　化简下图所示逻辑电路至最简形式。

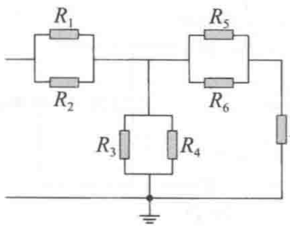


1-9　使用布尔逻辑将下图所示逻辑门电路化至最简形式。

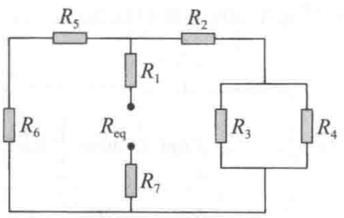


观察法求端口电阻

1-10　写出计算端口电阻 R_{eq} 的简便算式。



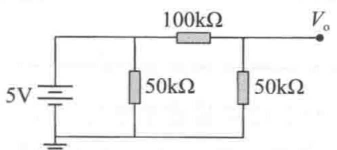
1-11　写出计算端口电阻 R_{eq} 的简便算式。



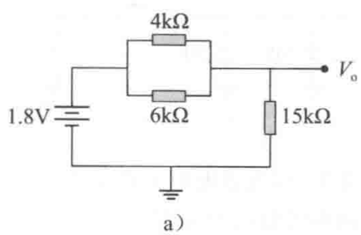
分压器的观察法分析

1-12　(a) 通过观察法写出 V_o 表达式，并用分压器方法求解 V_o。

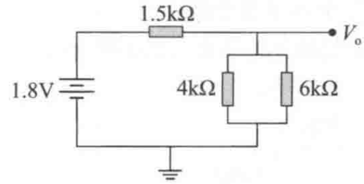
(b) 通过观察法写出 V_o 表达式，并用分流器方法求解 V_o。



1-13　对于下图所示两个电路，分别写出 V_o 的分压器表达式再求出数值解。



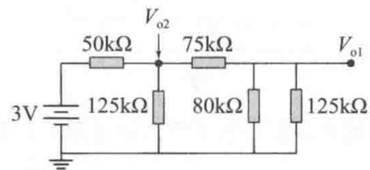
a)



b)

1-14　(a) 通过观察法写出 V_{o1} 表达式，并用分压器方法求解 V_{o1}。

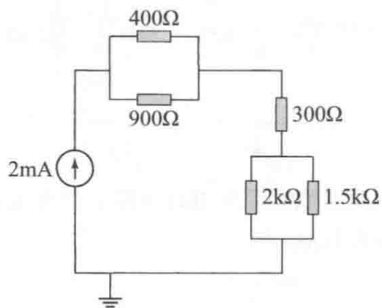
(b) 通过观察法写出 V_{o2} 表达式，并用分压器方法求解 V_{o2}。



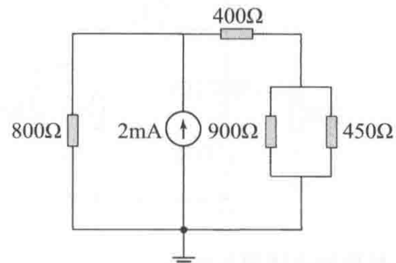
分流器的观察法分析

1-15　使用分流器方法重做题 1-14。

1-16　写出一般表达式并计算每个电阻的电流。



1-17　有如下电路



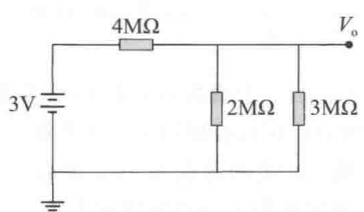
(a) 写出 $I_{450\Omega}$ 的表达式并求解。

(b) 写出 $V_{800\Omega}$ 的表达式并求解。

(c) 证明 $I_{800\Omega}+I_{400\Omega}=2\text{mA}$。

1-18　(a) 用分压器观察法计算 V_o。

(b) 用分流器观察法计算 $I_{2M\Omega}$。

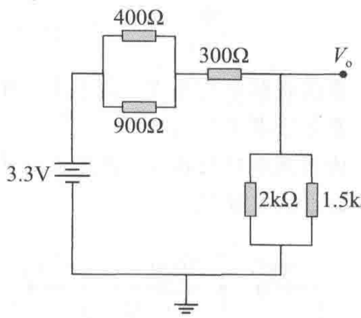


1-19　对于下图所示电路，

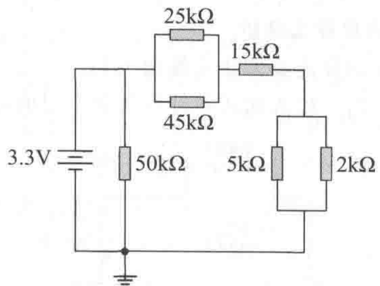
(a) 利用分压器表达式求解 V_o。

(b) 求解 $I_{2k\Omega}$。

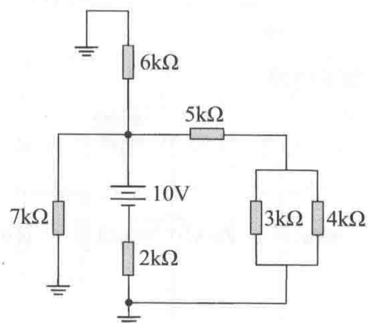
(c) 求解 $I_{900\Omega}$。



1-20　利用观察法分析下图所示电路，计算 $I_{2k\Omega}$。

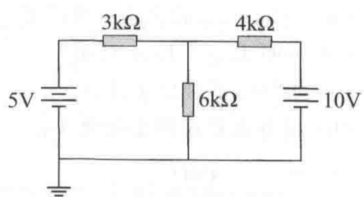


1-21　利用观察法写出 2kΩ 电阻上的电压表达式，并求其值。



分压器与分流器混合分析

1-22　求 $I_{6k\Omega}$。



提示：当一个线性(电阻)网络存在两个电压源时，可以按照以下三步求解。

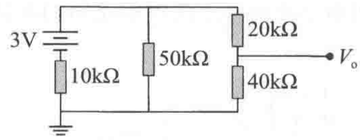
1) 将一个电压源设为 0V，求另一个非零电压源作用下 6kΩ 电阻的电流。

2) 将另一个电压源设为 0V，求此电压源作用下 6kΩ 电阻的电流。

3) 两次电流之和就是最终答案。

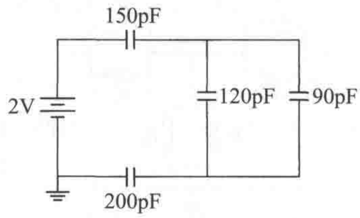
这便是叠加原理，它只适用于线性元件。

1-23　通过观察法求解 V_o(分流器、分压器或二者结合)。



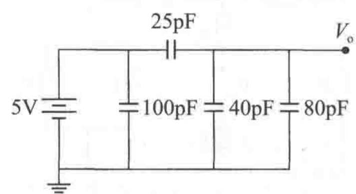
电容

1-24　求输入结点看入的等效电容，并计算两并联电容器的充放电能量 W。

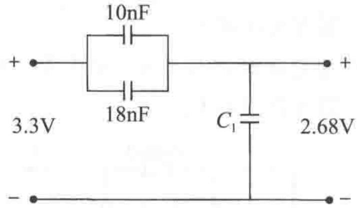


1-25　(a) 电路充电所需的能量 W 是多少？

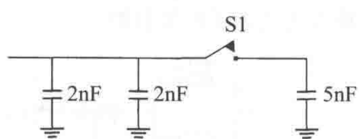
(b) 写出 V_o 的电容分压器表达式并求解。



1-26　求出 C_1 及其充电能量。

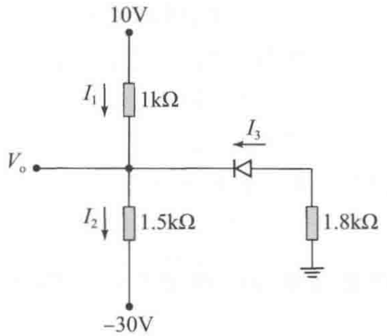


1-27　2nF 电容已经提前充电至 3V，5nF 电容已经提前充电至 1.2V。在 $t=0$ 时刻闭合开关，求最终的电压。



二极管

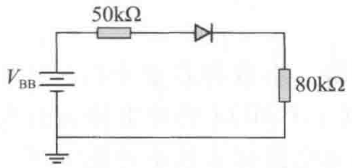
1-28　计算 V_o 以及各电阻上的电流。假设二极管正向偏置电压为 0.7V。



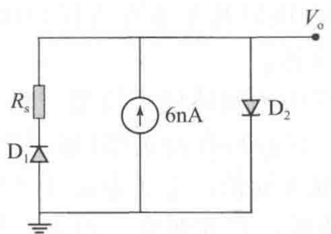
1-29　已知 $I_S=10\text{nA}$，计算下列情况下的 I_D 和 V_D。

(a) $V_{BB}=1\text{V}$

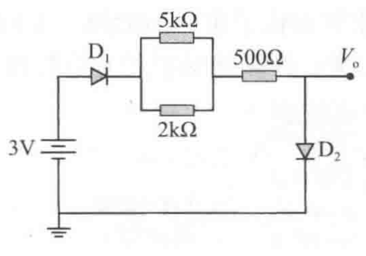
(b) $V_{BB}=10\text{V}$



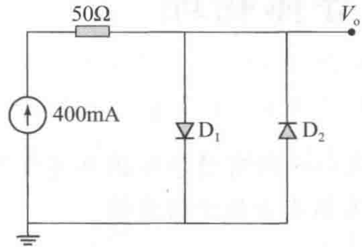
1-30　已知在室温下二极管反向偏置饱和电流 $I_S=1\text{nA}$，计算 V_o。



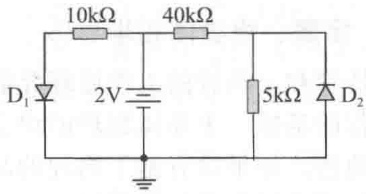
1-31　二极管 D_1 的反向偏置饱和电流 $I_{S1}=1\text{nA}$，二极管 D_2 的反偏饱和电流 $I_{S2}=4\text{nA}$，求室温下的 V_o。



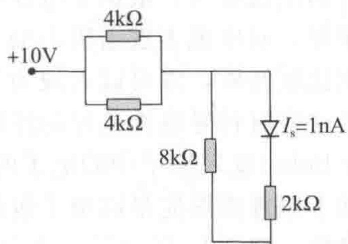
1-32　已知 D_1 和 D_2 的反向偏置饱和电流分别为 $I_{S1}=175\text{nA}$ 和 $I_{S2}=100\text{nA}$，求二极管两端电压。



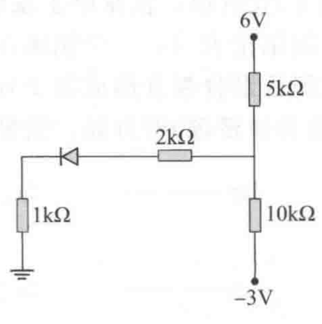
1-33　已知 $I_{sD1}=I_{sD2}=100\text{pA}$，计算 I_{D1} 和 V_{D1}，并计算 $I_{5k\Omega}$。



1-34　计算二极管电流和电压。



1-35　二极管 $I_s=2\mu\text{A}$，计算 V_D 和 I_D。



32
~
38

第2章

半导体物理

如果……所有科学知识都将毁灭，只有一句话可以流传至下一代文明……那就是……一切事物都是由原子构成的。

——Richard Feynman

2.1 材料基础

2.1.1 金属、绝缘体和半导体

晶体管和二极管的工作原理要借助半导体物理来理解。本章将着重介绍这些原理以及器件工作的基础。半导体物理的语言与数学模型渗透到了CMOS集成电路设计与制造的每一个角落。如果没有基于物理的晶体管工作模型，集成电路就永远不可能实现。

材料可以根据其物理性质分类，导电性就是其中一种物理性质，它描述了材料受到电压作用时的电流特性。根据导电性可以将材料分为三类：金属、绝缘体和半导体。金属的导电性很好，对电流表现出很小的电阻；而绝缘体外加电压时几乎不允许任何电流通过；半导体则比较特殊，既可以表现为导体也可以表现为绝缘体。

关于这些材料导电性差异的经典解释利用了量子力学中的固体能带模型。尼尔斯·波尔(Neils Bohr)发现原子中的电子的能量并不是任意的，它们具有特定的(量子化的)能量值。其基本原理强调能量以量子包的形式分布，并不能取连续值。电子距原子核的轨道半径是离散的。图2-1a展示了一个氢原子中电子可能的能级，它表明电子可取的能量值是离散的。s和p能级符号源自量子力学中的传统表示方法。

如图2-1b所示，在双原子系统中，每个单原子系统的能级分裂成两个子能级，因为量子力学的结论表明，一个能级在同一时间只能被一个电子占据。当加入更多原子构成晶体时，能级逐渐分裂并形成图2-1c所示的情况，其中能带取代了单一的能级，不同的能带被禁带(也称作带隙)所分隔。禁带宽度取决于原子的类型，并影响材料的导电特性。

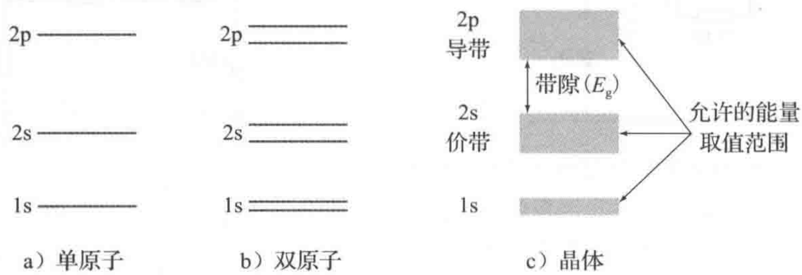


图2-1 单原子、双原子和固体中的能级

能带具有不同的性质。最外层的能带称作导带(conduction band)，次外层称作价带(valence band)或外壳层(outer shell)。具有导带能量的电子不束缚于任何原子，它们可以在固体内“自由”移动。当加载电压时，导带电子移动形成电流。然而半导体中的价带电子紧紧束缚于某一原子，当外加电压时并不能自由移动。价带中还有一种电荷机制称作“空穴导电”，将在稍后予以介绍。

能带理论为材料的导电性提供了一种解释。图 2-2a 所示为金属的能带，其中导带的最低能量要低于价带的最高能量。导带与价带的重合使得导带可以从价带获得大量的电子用于导电。对于金属材料，将一个电子从价带移动到导带几乎不需要能量。金属能带模型表明了金属材料具有较小的电阻。

图 2-2b 所示为绝缘体的能带结构，其中导带与价带的带隙很宽。电子从价带移动到导带需要很高的能量，因而在室温下，材料中只有极少数的电子可以得到足够的热能而跃过带隙。由于几乎所有电子都处在价带，受到原子的束缚，因此对材料施加电压几乎不能产生电流。

40

半导体是第三类导电材料，它的性质介于导体与绝缘体之间(见图 2-2c)。它的导带与价带不重合，但是带隙很小，因此有更多的电子可以获得足够的能量而越过带隙。电子跃过带隙的能量可以来自环境温度，也可以来自光子能量。由于大多数集成电路都是经过封装的，不从环境中吸收光线，因此我们将只讨论热能产生的激发。价带中的电子吸收足够的热能并跃迁到导带的过程本质上是服从统计规律的。电子也可以从导带回到价带，此过程将产生光子。固体中的电子不断地在价带与导带间来回移动。在给定温度下，能产生电流的载流子数目是一个较小的平均取值。

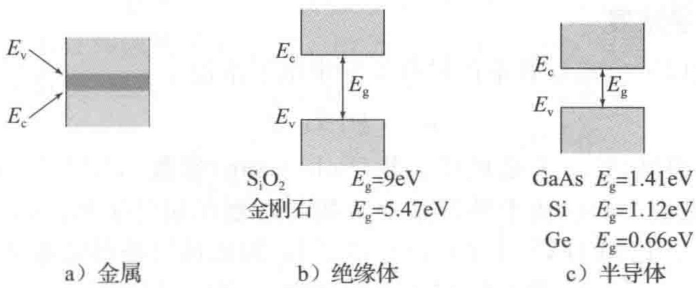


图 2-2 固体中的能带

由于使电子跃过带隙的能量是热能，因此导带中的电子数目取决于温度。在热力学温度零度下，半导体中没有热能，因而也没有电子可以获得足够能量而跃过带隙，导带为空。随着温度的上升，导带电子的数目按指数规律上升。

绝缘体与半导体不同的带隙宽度与原子内电子的排布有关。电子在原子核周围分层排布，并且内层的电子无法与原子核分离，只有外层的价电子有可能从价带跃迁到导带(从而相对不受原子核吸引力的束缚)。

2.1.2 半导体中的载流子：电子与空穴

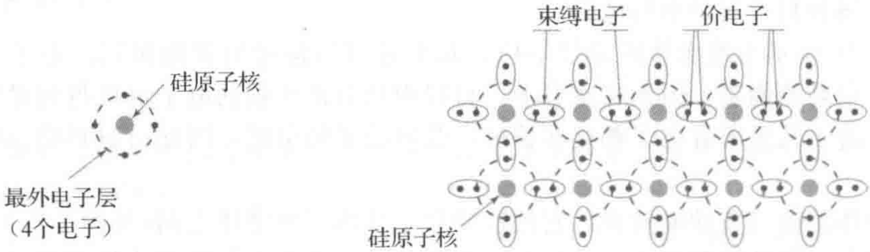
41

集成电路中最常用的半导体材料是硅，它的最外层价带有 4 个电子(见图 2-3a)，因而硅在元素周期表中属于 IV 族元素。当硅以晶体形式存在时，每一个价电子都被相邻原子共享，因此通过分享 4 个价电子，每个硅原子都具有 8 个最外层电子(见图 2-3b)。8 个价带电子能够提供稳定的晶体结构，这是大自然的鬼斧神工。

如果一个价带电子获得了足够的能量而跃迁到了导带，它将留下一个电子空位。空缺的位置具有一个正电荷，能够容纳另一个价电子进入，而另一个价电子移动到此位置，又将在它原本的位置上产生一个空位。第三个价电子又可以移动到新产生的空位中，如此往复。价带电子可以受到热能驱动而随机运动，也可以受到电场作用而定向移动。

我们可以追踪电子移动产生的电流，然而一种更好的方法是将电子空位看作一种具有正电荷的“粒子”，它与价电子的运动方向相反。这是一种虚拟的粒子，称作“空穴”(hole)，带有正电荷 q。空穴的净电荷量是 $+q$(q 是一个电子所带的电荷量：$q=-1.6\times$

10^{-19}C)。空穴的移动也产生电流。我们将空穴的移动看作一个物理正电荷的移动，尽管它实际上是电子移动所造成的一种表象。这个模型是成立的，我们随后将看到，这是一种比研究价带中的电子更优的方法。



a）最外层具有4个电子的硅原子示意图　　b）硅晶体的结构

图 2-3　最外层具有 4 个电子的硅原子示意图和硅晶体的结构

金属中电流的唯一来源是导带中的电子。与之不同的是，半导体中的电流有两个来源，其一是导带电子的移动，其二是跃迁到导带的电子所产生的价带空穴的移动。很显然，空穴导电并不要求这些移动的价电子跃迁到导带。

2.1.3　确定载流子浓度

我们可以通过以下公式计算本征材料的导带电子浓度：

$$n_i = BT^{\frac{3}{2}} e^{-\frac{E_g}{2kT}} \tag{2-1}$$

式中：T 是热力学温度(K)；k 是玻耳兹曼(Boltzmann)常数 1.38066×10^{-23}J/K；B 是与材料有关的常数(见表 2-1)。由于玻耳兹曼常数的常用单位是 J/K，而半导体带隙通常以电子伏特表示(eV)，已知 $1\text{eV}=1.60219\times10^{-19}$J，因此玻耳兹曼常数又可以表示为：

$$k = \frac{1.380\,66\times10^{-23}\,\text{J/K}}{1.602\,19\times10^{-19}\,\text{J/eV}} = 86.17\,\frac{\mu\text{eV}}{\text{K}}$$

玻耳兹曼常数是一个统计值，它表示粒子在热平衡时的平均能量值。材料常数在表 2-1 中给出。

表 2-1　半导体材料常数

半导体	E_g(ev)	$B(\text{cm}^{-3})\text{K}^{-3/2}$
硅(Si)	1.12	5.23×10^{15}
锗(Ge)	0.66	1.66×10^{15}
砷化镓(GaAs)	1.41	2.10×10^{14}

例 2-1 计算 $T=300$K 时 Si 的 n_i。

解：

$$n_i = 5.23\times10^{15}\times300^{\frac{3}{2}}\times\exp\left[-\frac{1.12}{2\times86.17\times10^{-6}\times300}\right]$$

$$n_i = 1.062\times10^{10}\ \text{电子}/\text{cm}^3$$

◀

计算得到室温下本征 Si 的电子浓度为 $1.062\times10^{10}\,\text{cm}^{-3}$，远小于硅原子的浓度 5×10^{22} 原子/cm³，这说明在室温 300K 下，只有少量的原子能够电离。许多教科书使用 $n_i=1.5\times10^{10}\,\text{cm}^{-3}$ 作为室温下本征 Si 的电子浓度，这是一个测量值，然而由于后续的计算问题需要处理不同的温度情况，因此我们仍将使用上述计算值。况且，室温本身就是一个并不精确的概念。

42~43

例 2-2 如果载流子浓度的测量值是 $1.5\times10^{10}\,\text{cm}^{-3}$，那么根据式(2-1)计算得到的温度是多少？

解：

$$1.5 \times 10^{10} = 5.23 \times 10^{15} (T^{\frac{3}{2}}) \exp\left[-\frac{1.12}{2 \times 86.17 \times 10^{-6} \times T}\right]$$

使用计算器求解得 $T=304.5\text{K}$。 ◀

在纯净的硅中，空穴浓度与电子浓度相等($p_0=n_0$)。当半导体处于平衡态时，电子与空穴在空间中自由移动，产生的净电流为 0。当施加外电场时，由于空穴和电子在电场中的漂移，电荷运动不再是随机的，产生的净电流是价带中空穴移动与导带中电子移动的总和。从电学上看，一个负电荷朝一个方向移动等效于一个正电荷朝相反方向移动。固体中的这种基于电子-空穴对的导电机制将在下一节详细介绍。

在纯净的硅材料中，电子与空穴成对产生。一个自由电子跃迁进入导带的过程同时也在价带产生一个空穴，而电子从导带落回价带的过程也意味着空穴的消失。电子从价带跃入导带的过程称作“电子-空穴对的产生”(generation)，而电子从导带回到价带的过程称作“电子-空穴对的复合”，或简称“复合”(recombination)。电子-空穴对形成的过程需要消耗能量，反过来，电子与空穴复合的过程则释放能量。一个电子-空穴对的复合释放一个光子能量，这种带隙光子释放的性质被应用于半导体激光器与发光二极管(LED)技术中。

如图 2-4 所示为半导体的带隙模型及其固态物理结构示意图，它强调了导带的迁移载流子是电子，而价带的迁移载流子是空穴。电子-空穴对的产生与复合本质上是基于统计的。在一定温度下，电子-空穴对的产生与复合过程是持续不断的。

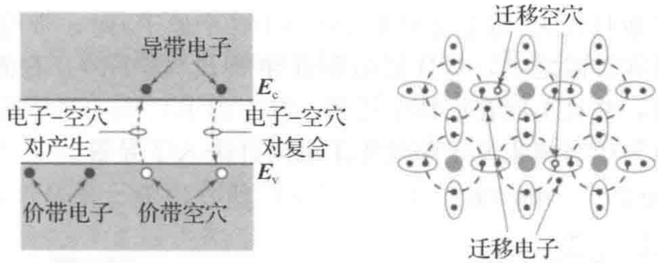


图 2-4 带隙模型中电子-空穴对的产生与复合及其在固体中的示意图

自测 2-1

若温度从 310K 升高到 410K，则硅晶体的本征载流子浓度的相对增长是多少？

答案： 相对电子浓度增长是 252.8。

自测 2-2

设 $n_i=4.773\times10^{13}\text{cm}^{-3}$，则半导体温度是多少？

答案： $T=467\text{K}$。

44

2.2 本征半导体和非本征半导体

前文的概念适用于“纯净的”半导体，它要求固体中所有的原子都是同种的：如纯硅或纯锗。纯净的硅晶体被称作本征半导体(intrinsic semiconductor)，它含有相同数量的导带电子和价带空穴，这是因为它们是成对产生的。非本征半导体(extrinsic semiconductor)是向半导体中有意加入杂质[⊖]而形成的，从而只提高其中一种载流子(电子或空穴)的浓度，而不

⊖ 任何材料，无论其纯度多高，总会含有非刻意添加的杂质，如果保证这些非人为添加的杂质浓度足够小，那么它们对半导体的影响可以忽略不计。此处所谓的杂质是指元素周期表中的其他元素的原子，它们被有意加入硅晶体中以改变其电学特性。

增加另一种，这将打破电子与空穴数量的对称性。杂质指的是具有不同外层电子数的各种原子，如硼(B)、砷(As)或磷(P)。有意将硅原子用其他元素原子替代的过程称作“掺杂”(doping)。

掺杂特性取决于特定的杂质原子以及掺杂的数量。杂质可以分为 n 型和 p 型，n 型杂质提高电子浓度而 p 型杂质提高空穴浓度。注入固体的掺杂原子的数量(原子数/单位体积)远远小于硅原子的数量，因此半导体的晶体结构在宏观上并不发生变化。

2.2.1 n型半导体

硅原子的最外层有四个电子，用于与相邻的原子成键(见图 2-5)。我们可以通过将硅原子替换为元素周期表中的 V 族原子来提高电子浓度，因为这些原子的最外层有 5 个电子(如砷、磷)。替代原子的 5 个电子中，4 个用于与相邻的硅原子成键，而第 5 个则可以在固体中自由移动。室温下的热能已经足够使第 5 个电子激发到导带，这个电子从杂质能级跃迁到导带，并不产生空穴，也就是不产生电子-空穴对，只产生自由电子。由于每个杂质原子为导带贡献一个额外的电子，因此它被称作一个“施主”(donor)。硅在元素周期表中位于 IV 族，而施主原子来自 V 族。

当在室温或更高温度下向硅中掺杂施主时，导带电子的数目等于注入的施主原子数(N_D)加上少量的热电子空穴对数目。若施主浓度远远大于本征载流子的正常浓度，那么导带电子的浓度实际上就是施主浓度。通过添加特定浓度的施主，电子的数目可以远远大于空穴数。掺杂了施主杂质的非本征半导体就称作 n 型半导体。

当 n 型掺杂原子数目较大(每立方厘米 $10^{15}\sim10^{17}$ 个原子)时，带隙模型中产生一条杂质原子的能带，它处在带隙之中，并且更加靠近导带 E_c(图 2-6)。在温度为 0K 时，所有电子都处在这一能级，并且不能在固体中迁移。在室温下，施主原子跃迁进入导带所需的能量很小，因此可认为所有施主原子都发生了电离并进入了导带。

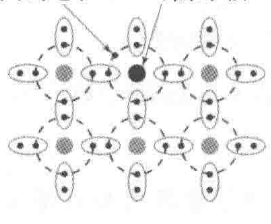


图 2-5 添加一个施主原子可以产生一个迁移电子而不产生空穴

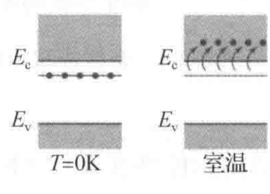


图 2-6 温度升高时施主对导带载流子的影响

45 ~ 46

我们可以通过以下公式计算导带的电子和空穴浓度，这个公式非常重要：

$$n_0 p_0 = n_i^2 \tag{2-2}$$

式中：n_0 是自由电子浓度；p_0 是自由空穴浓度；n_i 是本征材料中的自由载流子浓度。对于本征半导体，有 $n_0=p_0$，而经过掺杂以后，则 $n_0\neq p_0$。

式(2-2)稍作变化就可以用来计算掺杂半导体中的载流子浓度。例如，在计算 n 型掺杂硅的空穴浓度时，用 N_D 表示施主原子浓度，n_0 表示导带电子浓度，由于几乎所有的施主原子都发生电离，施主原子向导带提供的电子数目远远大于热电子-空穴对的数目，因此 $n_0\approx N_D$，则少数载流子浓度 p_0 为：

$$p_0 \approx \frac{n_i^2}{N_D} \tag{2-3}$$

式(2-3)表明当多数载流子即电子浓度提高时，少数载流子空穴的浓度就会降低。直观上解释，这是因为更多的电子能够回到价带，与空穴复合从而消除空穴。

例 2-3 若 $N_D=10^{16}$（施主原子/cm^3），$T=300K$，计算少数载流子浓度。

解： $n_0 \approx N_D=10^{16}$（电子/cm^3），则

$$p_0=\frac{(1.062\times10^{10})^2}{10^{16}}cm^{-3}=1.128\times10^4(\text{空穴}/cm^3)$$ ◀

例 2-4 已知硅晶体温度 $T=350K$。

(a) 计算 n_i。

解：

$$n_i=B(T)^{\frac{3}{2}}\exp\left[-\frac{E_g}{2kT}\right]=5.23\times10^{15}\times(350)^{\frac{3}{2}}\times\exp\left[-\frac{1.12}{2\times86.17\times10^{-6}\times350}\right]$$

$$=2.956\times10^{11}(\text{载流子}/cm^3)$$

(b) 若 $N_D=10^{17}cm^{-3}$，则少数载流子浓度是多少？

解： $N_D=10^{17}$（电子/cm^3），则

$$p_0=\frac{n_i^2}{N_D}=\frac{[2.956\times10^{11}]^2}{10^{17}}cm^{-3}=8.73\times10^5(\text{空穴}/cm^3)$$ ◀

掺杂并不会改变半导体的净电荷，因为相比于“被替换的”硅原子，施主杂质多出来的第 5 个电子被其原子序数[⊖]所中和（施主原子族序号为 5 而硅原子为 4），这个多出来的正电荷将补偿电子的负电荷。

2.2.2 p型半导体

通过向硅原子掺杂元素周期表Ⅲ族的元素，我们可以提高空穴的数量而不提高电子的数量，因为这些元素的原子最外层有 3 个电子。杂质原子的三个电子与三个相邻的硅原子成键，而第四个键则缺失（图 2-7）。当价带的电子被热激发到杂质能级时，Ⅲ族的杂质原子发生电离。这些最外层有三个电子的杂质原子称作受主（acceptor），因为它们能够接受并束缚电子，从而在价带产生一个空穴。

受主掺杂在硅的带隙模型中靠近价带的位置产生一个杂质能级，图 2-8 所示的为硼原子掺杂的能带示意图。在室温下，价带电子有足够的能量跃迁到杂质能级，从而在硅中产生一个空穴而不会向导带注入电子。在一定温度下，引入了 N_A 个受主的半导体中的空穴浓度应是 N_A 加上该温度下生的少量热电子-空穴对所贡献的空穴。硼是Ⅲ族的小型原子，也是最常用的受主掺杂原子。

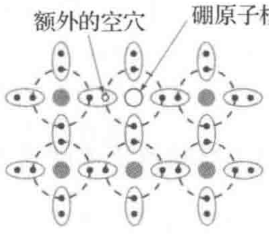


图 2-7 加入受主原子能够产生迁移空穴而不产生电子

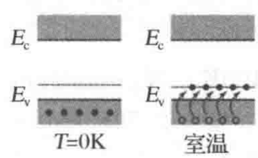


图 2-8 带隙模型中受主掺杂的影响

自测 2-3

若 $N_A=5\times10^{17}cm^{-3}$，计算 $T=300K$ 时的少数载流子浓度。

答案： $n_0=226$（电子/cm^3）

⊖ 原子序数是中性（非电离）原子的质子个数。

自测 2-4

温度 325K 条件下，n 型掺杂的硅中空穴浓度是 $1.5\times10^5\text{cm}^{-3}$，则掺杂浓度是多少？

答案： $N_D=2.67\times10^{16}$（施主原子/cm^3）

自测 2-5

已知 $n_i=2.5\times10^{11}\text{cm}^{-3}$，求温度。

答案： $T=347.1\text{K}$

2.2.3 n型与p型掺杂半导体中的载流子浓度

第四种情况是半导体中既含有 p 型掺杂也含有 n 型掺杂，这种情况称作"补偿掺杂"(compensated doping)，它存在于实际的二极管与晶体管中。如果 $N_D>N_A$，则材料表现为 n 型；如果 $N_A>N_D$，则材料表现为 p 型；如果 $N_D=N_A$，那么材料则表现为本征半导体。

对于 $N_D>N_A$ 的情况，材料表现为 n 型，有 $n_0=N_D-N_A$，则少数载流子浓度为

$$p_0=\frac{n_i^2}{n_0}=\frac{n_i^2}{N_D-N_A} \tag{2-4}$$

48~49

若 $N_A>N_D$，材料表现为 p 型，有 $p_0=N_A-N_D$，则少数载流子浓度为

$$n_0=\frac{n_i^2}{p_0}=\frac{n_i^2}{N_A-N_D} \tag{2-5}$$

例 2-5 若 $N_A=5\times10^{17}\text{cm}^{-3}$，$N_D=10^{16}\text{cm}^{-3}$，$T=300\text{K}$，则少数载流子浓度是多少？

解：

$$n_0=\frac{n_i^2}{N_A-N_D}=\frac{(1.062\times10^{10})^2}{5\times10^{17}-10^{16}}\text{cm}^{-3}=230(\text{电子}/\text{cm}^3)$$ ◀

例 2-6 若 $N_A=5\times10^{16}\text{cm}^{-3}$，$N_D=10^{18}\text{cm}^{-3}$，$T=380\text{K}$，则少数载流子浓度是多少？

解：

$$n_i=BT^{\frac{3}{2}}\exp\left[-\frac{E_g}{2kT}\right]=5.23\times10^{15}\times(380)^{1.5}\times\exp\left[-\frac{1.12\text{eV}}{2\times(86.17\mu\text{eV})\times380}\right]$$
$$=1.448\times10^{12}(\text{电子}/\text{cm}^3)$$

$$p_0=\frac{(1.448\times10^{12})^2}{10^{18}-5\times10^{16}}\text{cm}^{-3}=2.208\times10^6(\text{空穴}/\text{cm}^3)$$ ◀

自测 2-6

一个补偿硅晶体的受主掺杂浓度是 $N_A=10^{16}\text{cm}^{-3}$，$T=300\text{K}$，且少数载流子为空穴，其浓度为 $6\times10^7\text{cm}^{-3}$，则 n 型掺杂浓度是多少？

答案： $N_D=3.129\times10^{16}$（原子/cm^3）

自测 2-7

$T=400\text{K}$，$N_A=10^{18}\text{cm}^{-3}$，$N_D=5\times10^{17}\text{cm}^{-3}$，则少数载流子浓度是多少？

答案： $n_0=2.706\times10^7$（电子/cm^3）

自测 2-8

一个补偿硅晶体的 $N_D=2\times10^{18}\text{cm}^{-3}$，$N_A=6\times10^{17}\text{cm}^{-3}$，少数载流子空穴的浓度为 $p_0=3\times10^6\text{cm}^{-3}$，则材料的温度是多少？

50

答案： $T=387.2\text{K}$

2.3 半导体中的载流子输运

电子与空穴的净迁移称作载流子输运(carrier transport)。载流子输运的计算需要用到

载流子浓度，还需要运用载流子在固体中迁移的规律。电子与空穴在半导体中的迁移与载流子在自由空间中的运动不同，因为载流子在晶格内的碰撞会影响其迁移率(mobility)。这些碰撞会造成散射(scattering)，散射越严重，迁移率越低。温度对载流子输运的影响非常显著，它不仅影响载流子的数量，并且由于原子热振动会阻碍载流子的运动，因此温度也影响着载流子的迁移。尽管固体中载流子的运动从不停止，但是由于其运动是随机的，因此没有偏压的半导体不会产生净电流。净电荷要产生迁移必须要受力，固体中两种主要的载流子受力来源是漂移(drift)和扩散(diffusion)。

2.3.1 漂移电流

漂移是电场或磁场作用产生的载流子迁移。向半导体施加外电场 E，可以使导带中的电子沿电场相反方向运动，而价带中的空穴沿电场相同方向运动。图 2-9 所示为载流子运动的示意图。电子与空穴的电流密度(空穴电流实际由价带电子跳跃产生)具有相同的方向，它们共同构成了半导体中的总电流。

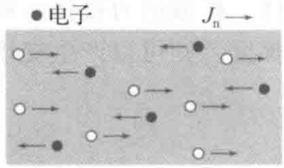


图 2-9 外电场 E 作用下的电子与空穴运动方向

电场中电荷载流子的电流密度 $J_d \text{A/cm}^2$ 是通过下述方程中的一系列关系推导出来的，其中 v 是电荷的移动速率，n_0 是移动电子的浓度，p_0 是移动空穴的浓度，q 是载流子电荷量，电场 E 对电荷产生的作用力为 F，驱动着迁移率为 μ 的电荷在固体中运动。对于 n 型掺杂的材料，

$$J_{dn} = v_{dn} n_0 = (\mu_n F) n_0 = (\mu_n q E) n_0 \tag{2-6}$$

对于 p 型掺杂的材料，

$$J_{dp} = v_{dp} p_0 = (\mu_p F) p_0 = (\mu_p q E) p_0 \tag{2-7}$$

51

当半导体中同时存在电子与空穴，总的漂移电流密度为

$$J = \mu_n q E n_0 + \mu_p q E p_0 \tag{2-8}$$

等号右侧的两个漂移项为正，表示传统电流正向。两个漂移项之和为总电流。

例 2-7 300K 下，n 型硅中 $n_0 \approx N_D = 10^{17}\text{cm}^{-3}$，$\mu_n = 1350\text{cm}^2/(\text{V}\cdot\text{s})$，$\mu_p = 480\text{cm}^2/(\text{V}\cdot\text{s})$，电场强度为 10V/cm。(a) 少数载流子空穴浓度 p_0 是多少？(b) 总电流密度 J 是多少？

解：

(a) $p_0 = \dfrac{n_i^2}{n_0} = \dfrac{(1.062\times10^{10})^2}{10^{17}}\text{cm}^{-3} = 1.128\times10^3$(空穴/$\text{cm}^3$)

(b) $J = [1350\times1.6\times10^{-19}\times10\times10^{17} + 480\times1.6\times10^{-19}\times10\times1.128\times10^3]\text{A/cm}^2 = (216 + 8.7\times10^{-13})\text{A/cm}^2 = 216\text{A/cm}^2$ ◀

给定电流密度的计算结果、掺杂、温度、迁移率以及电场条件，下面的计算在设计半导体横截面积时非常有用。

自测 2-9

一个器件需要承载 2mA 电流。如果电流密度是 $J = 216\text{A/cm}^2$，那么横截面积应取多少？

答案： 面积 $= 9.3\times10^{-6}\text{cm}^2$。器件的尺寸应在 $30\mu\text{m}\times30\mu\text{m}$ 左右。

漂移电流密度正比于电场 E，比例系数 σ 称为“电导率”(conductivity)。这便是欧姆定律的一种形式：

$$J = \sigma E = \frac{1}{\rho} E \tag{2-9}$$

式中：ρ 是材料的电阻率。

2.3.2 扩散电流

52

扩散是热能引起的粒子运动。高浓度的热活跃粒子将向着粒子浓度低的区域净迁移。浓度差异，又称为梯度，是净扩散的必要条件。扩散的粒子既可以带电荷也可以呈电中性。定向移动的电子和空穴属于带电粒子迁移，因而可以产生扩散电流。由于梯度发生变化的距离很短，通常是微米级或纳米级，因此半导体中存在许多梯度剧变的情况。

图2-10展示了由渗透膜分隔的两个气室。左半部分的气体分子浓度高于右半部分的气体分子浓度，因此一些分子会进入右边的真空气室中。渗透膜两侧的原子都做随机的热运动，较多的从左向右穿过隔膜，而较少的分子从右向左运动，因此气体分子的净迁移是从左向右的。单位时间内单位面积的移动粒子数量称作通量(flux)，单位是粒子数/(cm^2 · s)。半导体中也发生同样的扩散现象，空穴与电子存在浓度梯度，然而不同之处在于扩散媒质是固体。扩散的力很强，从而驱动带电粒子流动形成电流。若在很短的距离内存在很高的浓度梯度，则可以产生安培数量级的电流。

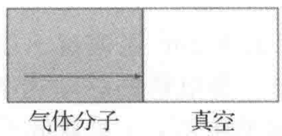


图2-10 气体的扩散与浓度梯度

扩散通量是净迁移粒子数/(cm^2 · s)，它服从费克(Fick)定律：

$$J_{\text{diff}} = -D\frac{\mathrm{d}c}{\mathrm{d}x} \tag{2-10}$$

式中：$\mathrm{d}c/\mathrm{d}x$ 是粒子梯度；D 是扩散系数(diffusion coefficient)。此公式表明当粒子均匀分布时(即 $\mathrm{d}c/\mathrm{d}x$ 为零)，扩散通量为零。

我们首先考虑空穴扩散。图2-11所示为假定的空穴浓度与距离 x 的关系曲线。空穴带正电荷，因此其扩散方向与传统电流正向相同。需要注意的是，由于我们假设浓度沿 x 方向由高到低变化，因此梯度曲线的斜率是负的。

电子扩散同样服从费克(Fick)定律。图2-12描绘了电子浓度 n_0 与距离 x 的关系曲线。电子带负电荷，因此其扩散方向与传统电流正向相反。

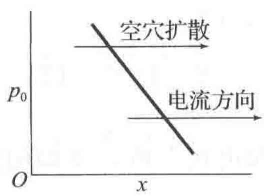


图2-11 空穴浓度 p_0 与距离 x 的关系

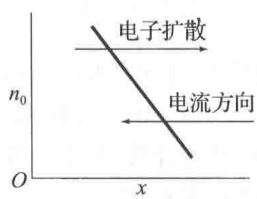


图2-12 电子浓度 n_0 与距离 x 的关系

扩散方向相反的电子和空穴产生同向的电流，因为它们携带的电荷相反。电子与空穴的绝对扩散电流密度是：

$$J_{\text{ndiff}} = qD_{\text{n}}\frac{\mathrm{d}n_0}{\mathrm{d}x} \tag{2-11}$$

$$J_{\text{pdiff}} = qD_{\text{p}}\frac{\mathrm{d}p_0}{\mathrm{d}x} \tag{2-12}$$

D_{n} 与 D_{p} 分别是电子与空穴的扩散系数。由于电子与空穴的迁移率不同，因此它们的扩散系数也不同。电子迁移率大约是空穴迁移率的2倍。

扩散系数与迁移率之间的关系是爱因斯坦关系(Einstein relation)：

$$\frac{D_x}{\mu_x}=\frac{kT}{q} \tag{2-13}$$

式中：x 为 n 和 p 时分别代表电子和空穴。在 CMOS 场效应管中，漂移是电荷输运的主要机制，而扩散是次要机制。

例 2-8 已知空穴的浓度曲线如下图所示，且 $D_p=10(\text{cm}^2/\text{s})$，计算空穴的电流密度 J。

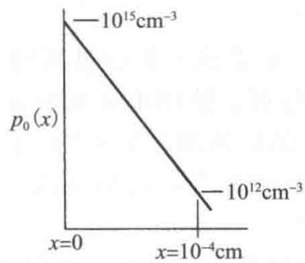
解：

$$J_p=qD_p\frac{\mathrm{d}p_0}{\mathrm{d}x}=qD_p\frac{\Delta y}{\Delta x}$$

$$J_p=1.6\times10^{-19}\times10\times\left[\frac{10^{12}-10^{15}}{10^{-4}-0}\right]\text{A/cm}^2$$

$$J_p=-16.0\text{A/cm}^2$$

53~54



空穴从高浓度向低浓度扩散，由于浓度斜率为负，因此式中带有一个“—”符号。绝对电流密度是

$$J_p=16.0\text{A/cm}^2$$ ◀

例 2-9 已知初始的电子浓度差为 10^{17} 和 10^{14}，距离跨度为 $1\mu\text{m}$，若 $D_n=35\text{cm}^2/\text{s}$，则初始的绝对电流密度是多少？

解：

$$J_{\text{ndiff}}=qD_n\frac{\mathrm{d}n_0}{\mathrm{d}x}=\left(1.6\times10^{-19}\text{C}\times35\text{cm}^2/\text{s}\times\frac{10^{14}-10^{17}}{10^{-4}-0}\right)=5.594\times10^3\text{A/cm}^2$$

电子流应该带有符号，不过传统电流是正的。◀

自测 2-10

半导体中 n_0 的浓度梯度是 p_0 的 2 倍，电流密度 $J=1\text{mA/cm}^2$，$\mu_n=1250\text{cm}^2/(\text{V}\cdot\text{s})$，$\mu_p=450\text{cm}^2/(\text{V}\cdot\text{s})$，忽略电场的影响，计算 n_0 和 p_0 的绝对浓度梯度。

答案： $\frac{\mathrm{d}p_0}{\mathrm{d}x}=2.119\times10^{12}$(空穴/cm³)，$\frac{\mathrm{d}n_0}{\mathrm{d}x}=4.238\times10^{12}$(电子/cm³)

自测 2-11

若材料长 $100\mu\text{m}$，在长度方向上加 1V 电压，$D_n=20\text{cm}^2/\text{s}$，$\mu_n=1300\text{cm}^2/(\text{V}\cdot\text{s})$，$\frac{\mathrm{d}n}{\mathrm{d}x}=-10^{19}\text{cm}^{-4}$，且 $N_D=10^{18}\text{cm}^{-3}$，求电流密度(以 $\mu\text{A}/\mu\text{m}^2$ 为单位)。

答案： $J=208.3\mu\text{A}/\mu\text{m}^2$

55

自测 2-12

(a) 一个 p 型半导体的空穴浓度梯度为 10^{20}cm^{-4}，$D_p=15\text{cm}^2/\text{s}$，求电流密度，单位用 A/cm^2 和 $\mu\text{A}/\mu\text{m}^2$ 表示。

(b) 若材料长 200μm，厚 1μm，宽 10μm，则电流是多大？

答案：(a) $J=240\text{A/cm}^2=2.4\mu\text{A}/\mu\text{m}^2$。(b) $I=24\mu\text{A}$

2.4 pn 结

二极管是 MOS 晶体管的基本半导体元件。通过将 p 型半导体与 n 型半导体相接触，在二极管中形成一个“pn 结”(pn junction)。为了直观地理解 pn 结的性质，我们假设理想情况下，两块掺杂相反的半导体一开始是分离的(图 2-13a)，然后将它们连在一起(图 2-13b)。接触表面的硅晶格结构不发生变化，然而在接触区域会发生动态的反应。

起初 n 型半导体和 p 型半导体各自都处于平衡态，每一块中的净电荷均为 0。n 型半导体一侧的电子浓度梯度很大，而 p 型半导体一侧的空穴浓度梯度很大。当两块半导体接触的一瞬间，电子与空穴的浓度梯度导致接触区域产生电流激增，造成随后短时间内半导体处于非平衡态，接触区域的电子迅速由 n 型半导体向 p 型半导体扩散，而空穴则离开 p 型半导体进入 n 型半导体。进入对面区域的少数载流子迅速被淹没在多数载流子的海洋中而消失。

如果电子与空穴是不带电的，那么这个扩散过程将一直继续，直到电子与空穴在两个接触半导体的全部区域内均匀分布。然而电子与空穴是带电粒子，它们扩散到 pn 结的另一端并发生复合，从而在 pn 结的两侧产生电场。pn 结附近的载流子迅速扩散到 pn 结的另一侧，并与相反电荷的载流子复合。简单地说，移动电荷在跨过 pn 结之后就会消失。

载流子的此种迁移与复合行为导致接触表面附近的所有掺杂原子电离，并在 pn 结两侧产生净电荷非零的区域(图 2-14)(n 侧带正电荷而 p 侧带负电荷)，造成了一个从含有正电荷的 n 侧指向含有负电荷的 p 侧的电场。于是扩散的载流子在跨过 pn 结时将受到反向的阻力。随着扩散的载流子越来越多，电离的原子也逐渐增多，电场的强度也不断增强。当内建电场(随扩散载流子数的增多而增强)对载流子的作用力刚好与扩散的力相等时，净扩散机制就停止了。最终的结果将是形成一个很窄的耗尽区，其中的施主与受主原子完全电离，内建的强电场将清除所有自由电荷，热激发产生的电子-空穴对会立刻被弹出耗尽区。

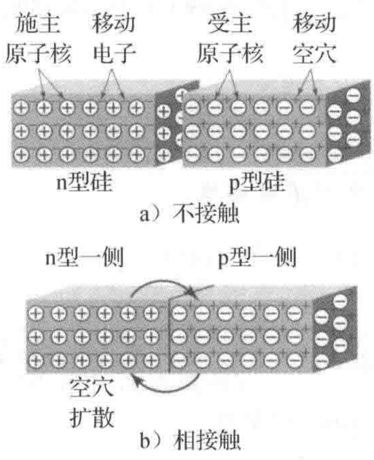


图 2-13 两块掺杂相反的半导体材料
注：箭头表示 pn 结处空穴与电子的扩散方。

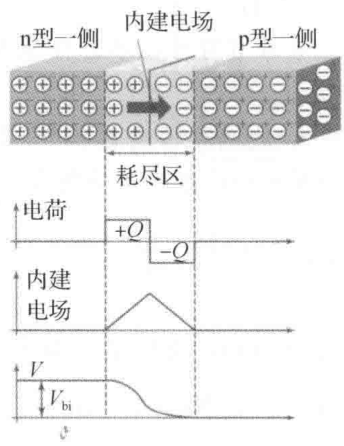


图 2-14 处于平衡态的二极管示意图(展示了二极管内部的电荷、电场及电势内部分布)

图 2-14 展示了一个处于平衡态的二极管(不存在外电压、光照或温度梯度)以及二极管内部各点的电荷、电场及电势分布。注意到没有原子电离的区域(耗尽区之外)是呈电中

性的，因此也不存在电场或电势变化。在耗尽区之内，n 型的一侧净电荷为正，p 型的一侧净电荷为负。因此，从电中性区域向接触面移动的过程中电场是增大的。电场分布造成两个掺杂相反的区域产生电势差，电势差的大小主要取决于掺杂浓度。这个电势差称作内建结电势(built-in junction potential，V_{bi})，如图 2-14 的最下方所示。

内建结电势(V_{bi})可以通过掺杂浓度计算：

$$V_{bi}=\frac{kT}{q}\ln\left(\frac{N_A N_D}{n_i^2}\right)=V_T\ln\left(\frac{N_A N_D}{n_i^2}\right) \tag{2-14}$$

式中：V_T 为热电压，$V_T=\frac{kT}{q}$。

例 2-10 若$\frac{kT}{q}\approx 0.026\text{V}$，$n_i=1.062\times10^{10}\text{cm}^{-3}$，$N_A=10^{16}\text{cm}^{-3}$，$N_D=10^{17}\text{cm}^{-3}$，计算 300K 时的内建电势。

解：

$$V_{bi}=0.026\times\ln\left[\frac{10^{16}\times10^{17}}{(1.062\times10^{10})^2}\right]$$

$$V_{bi}=0.775\text{V}$$ ◀

56 ~ 58

pn 结两侧的电势差不能用电压表测量，因为探针之间会形成新的势垒。V_{bi}保持在平衡态，因此它不会产生电流。

例 2-11 设 $T=150℃$，$N_A=10^{18}\text{cm}^{-3}$，$N_D=10^{16}\text{cm}^{-3}$，则二极管的内建电势是多少？

解：

$$T=(150+273)\text{K}=423\text{K}$$

$$n_i(423\text{K})=5.23\times10^{15}\times(423)^{\frac{3}{2}}\times\exp\left[-\frac{1.12}{2(86.17\times10^{-6})423}\right]\text{cm}^{-3}$$

$$=9.676\times10^{12}(\text{载流子}/\text{cm}^3)$$

$$V_{bi}=86.17\times10^{-6}\times423\times\ln\left[\frac{10^{18}\times10^{16}}{(9.676\times10^{12})^2}\right]\text{V}=0.674\text{V}$$ ◀

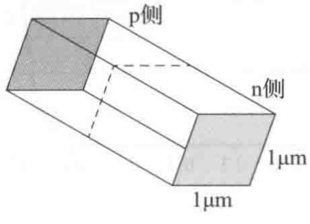
自测 2-13

这道习题估算 p 型半导体棒与 n 型半导体棒相接触时的初始电流激增。已知 $D_n=35\text{cm}^2/\text{s}$，$(n_0)_{n侧}=5\times10^{18}\text{cm}^{-3}$，$(n_0)_{p侧}=10^5\text{cm}^{-3}$。

(a) 在 $t=0$ 时刻耗尽区宽度为 0nm。初始电流的理论 J_D 和 I_D 是多少？

(b) 在 $t=0^+$ 时刻耗尽区宽度为 500nm。初始电流密度 J_D 是多少？

(c) 在 $t=0^+$ 时刻耗尽区宽度为 100nm。初始电流 I_D 是多少？



答案：(a) 二者均为正无穷。(b) $J_D=560\text{kA/cm}^2$。(c) $I_D=28\text{mA}$

2.5 pn 结的偏置

我们已经介绍了当两个掺杂相反的半导体棒接触时会产生内建电场，从而限制电子从 n 侧及空穴从 p 侧的扩散范围。由于 pn 结与外部导电通路隔离，因此一旦进入平衡态，

59 半导体中就不再存在净电流。现在我们将分析 pn 结受外电压作用时的典型行为。

2.5.1 pn 结正偏压

假设二极管连接至外电压，正极与 p 端相连，负极与 n 端相连(图 2-15)。外电压产生的电场与内建电场相反，削弱了内建电场的强度。内建电场能够阻碍电子由 n 侧向 p 侧扩散及空穴由 p 侧向 n 侧扩散，而外电场会削弱内建电场，有利于扩散过程。由于 n 侧存在大量导电电子而 p 侧存在大量导电空穴，因此会有许多电子扩散到 p 侧，同时许多空穴扩散到 n 侧。这一过程将产生持续的电流，因为 n 端的电子必须由电源补充，而 p 端则需要空穴。所加的正偏电压越大，二极管电流越大。pn 结电流随正偏压的增加而呈指数增长。

2.5.2 pn 结反偏压

将电源正极连至 n 端，负极连至 p 端，将会增强内建结电场(图 2-16)。此过程使得由 n 侧向 p 侧扩散的电子以及反方向扩散的空穴减少。只有少数在 pn 结内热激发的电子或空穴会被结电场加速，形成泄漏电流。由于 p 型材料中的热电子和 n 型材料中的热空穴数量极少，因此反向偏压电流很小，这个电流称作“反向偏置饱和电流”(reverse bias saturation current)，它是由 pn 结耗尽区本身的电子-空穴对热激发所产生的。这些热自由电子和空穴迅速被耗尽区电场清除出 pn 结，在二极管两端形成很小的电流。

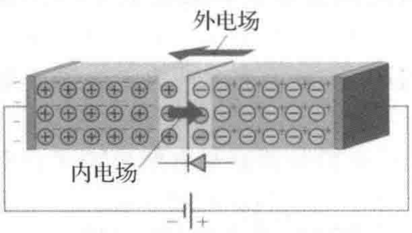


图 2-15 二极管正偏压导致结内耗尽电场减弱

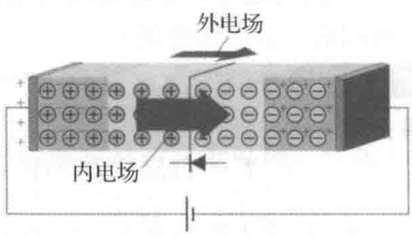
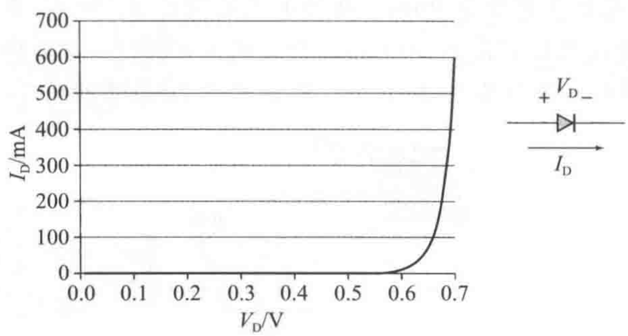


图 2-16 二极管反偏导致结内耗尽电场增强

二极管的器件级伏安特性在第 1 章已经进行了介绍。二极管外加电压 V_D 与产生的电流 I_D 呈指数关系，其关系式为：

$$I_D = I_S(e^{\frac{qV_D}{kT}} - 1) \tag{2-15}$$

式中：I_S 是反向偏置饱和电流。当 V_D 反偏且很大时，指数项趋近于 0，则 $I_D = -I_S$。二极管的 $I-V$ 特性是：正偏时电流随电压增加而迅速增长，而反偏时的电流极小(图 2-17)。



60 ~ 61

图 2-17 二极管的 I_D 与 V_D 曲线以及二极管符号

例 2-12 一个二极管的 $I_S = 10^{-13}$ A，$T = 300$K，求 $V_D = 0.6$V 及 $V_D = 0.4$V 时对应的 I_D。

解：

$$I_D = 10^{-13}(e^{\frac{600}{26}} - 1) = 1.05\text{mA}$$

及

$$I_D = 10^{-13}(e^{\frac{400}{26}} - 1) = 480\text{nA}$$

注意到−1 项对于大多数正偏压情况都可以忽略不计，因此可以在计算中将其忽略。◀

自测 2-14

若 I_S=10fA，T=300K，要使二极管正向偏置电流为 625μA，则电压应是多少？

答案： V_D=646.3mV

2.6 二极管结电容

任何二极管都不是理想的，这种非理想性可以用寄生元件来衡量。寄生元件包括非有意添加的电容、电感或电阻。CMOS 技术中，一个晶体管包含两个二极管。在集成电路中，这些二极管总是反偏的，而降低电路性能的主要因素就来自于二极管中的寄生结电容造成的信号延时，以及二极管的反偏电流泄漏。

当二极管反偏时，耗尽区变宽，电容变小。相反地，正偏使耗尽区变窄并增大 pn 结电容。二极管的内部寄生电容(internal parasitic capacitance)是由电压变化导致的电荷量变化造成的。电容是由其两端的电压变化所引起的电荷量变化，即

$$C = \frac{\partial Q}{\partial V} \tag{2-16}$$

与第 1 章所讨论的无源电容器或平行板电容器不同，pn 结固有的寄生电容的电荷-电压之比随电压变化而非线性变化。由于当电压变化时，Q/V 的商不是常数，因此寄生电容没有一个固定的电容值。

pn 结反偏压 V_R 时，结电容为

$$C_j = \frac{C_{j0}}{\left(1 + \frac{V_R}{V_{bi}}\right)^{\frac{1}{2}}} \tag{2-17}$$

式中：C_{j0}是一个常数，定义为 V_R=0 时的寄生电容。C_{j0}取决于 p 掺杂与 n 掺杂的浓度、硅的基本参数、结接触面的面积，以及内建结电势 V_{bi}。V_R 是反偏电压，在式(2-17)中是一个正数。

图 2-18 画出了对 C_{j0}归一化的电容与外加反偏压之间的关系。当二极管正偏且 V_D 较大时，式(2-17)不再成立。二极管电容对电路层面的影响是很显著的，当一个逻辑门翻转时，电容就会充放电，这将导致电路的延时和产热。

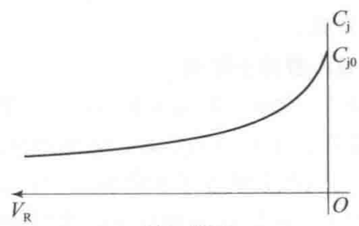


图 2-18　二极管的 C_j 与反向偏压 V_R 的关系图

例 2-13 已知 T=325K，$N_A = 10^{15}\text{ cm}^{-3}$，$N_D = 10^{14}\text{ cm}^{-3}$，$C_{j0}$=40fF，计算 V_R=1.5V 时的二极管 C_j。

解：

$$C_j = \frac{C_{j0}}{\left(1 - \frac{V_R}{V_{bi}}\right)^{\frac{1}{2}}}$$

我们需要求出 $V_{bi} = \frac{kT}{q}\ln\left(\frac{N_A N_D}{n_i^2}\right)$以及相应的 n_i。

$$n_i = 5.23 \times 10^{15} \times (325)^{\frac{3}{2}} \times e^{-\frac{1.12}{2(kT/q)}} = 6.34 \times 10^{10}(\text{载流子}/\text{cm}^3)$$

$$V_{bi}=86.17\times10^{-6}\times325\times\ln\left(\frac{10^{15}\times10^{14}}{(6.34\times10^{10})^2}\right)V=0.477V$$

$$C_j=\frac{40fF}{\left(1+\frac{1.5}{0.477}\right)^{\frac{1}{2}}}=19.65fF$$ ◀

自测 2-15

62 ~ 63

已知 $T=400K$，$C_j=600aF$，$N_A=3\times10^{18}cm^{-3}$，$N_D=2\times10^{16}cm^{-3}$，反向偏压 $V_R=1.2V$，则 C_{j0} 是多少？

答案： $C_{j0}=961.4aF$

自测 2-16

一个 pn 结二极管 $V_R=1.5V$，$C_j=5fF$，$C_{j0}=9fF$，$N_A=10^{16}cm^{-3}$，$T=300K$，求 N_D。

答案： $N_D=1.73\times10^{15}cm^{-3}$

2.7 小结

集成电路的制造依赖强大的物理理论支撑，第2章使用了不多的公式介绍了这些重要的概念，深化了我们的思考过程。本章的目的是定性地理解半导体电流、相关的掺杂性质，以及二极管特性方面的术语与物理过程。二极管耗尽区是晶体管最重要的性质之一。这些概念将贯穿到后续的章节之中。更多资料参见文献[1，2]。

参考文献

[1] D. A. Neamen, *Semiconductor Physics and Devices—Basic Principles*, 3rd Ed., McGraw Hill, 2010.

[2] Robert F. Pierret, *Semiconductor Device Fundamentals*, Addison-Wesley Pub. Co., 1996.

习题

假设半导体为硅材料，并使用本章中给出的常数。

自由载流子浓度

2-1 设 $n_i=1.67\times10^{11}cm^{-3}$，求温度。

2-2 当 $T=100℃$ 时，电离的硅原子占多大比例？假设硅原子密度为 $5\times10^{22}cm^{-3}$。

2-3 在某两个温度下，本征载流子浓度之比为303，假设较低的温度是室温(300K)，求较高的温度。

2-4 画出 $T=250K$，300K，350K 和 400K 时的 n_i。为什么使用对数坐标比线性坐标更好？我们可以从图中得出什么？

2-5 一个半导体芯片工作在100℃，若要使载流子浓度减小五分之一，则温度应为多少？

非本征半导体

2-6 若 $N_A=10^{17}cm^{-3}$，温度为300K，则电子浓度是多少？

2-7 硅原子与施主原子的比例是10 000∶1，则 $T=300K$ 时的空穴浓度是多少？假设硅原子密度为 $5\times10^{22}cm^{-3}$。

2-8 若 $T=385K$，受主浓度 $N_A=6\times10^{18}cm^{-3}$，计算少数载流子浓度。

2-9 300K 时某非本征半导体的电子浓度为 $5\times10^4cm^{-3}$，且300K时硅的本征载流子浓度测量值为 $1.5\times10^{10}cm^{-3}$。求空穴浓度，并指出该材料是p型还是n型。

2-10 少数载流子浓度是 $n_0=4.5\times10^4cm^{-3}$，掺杂浓度为 $N_A=10^{18}cm^{-3}$。则半导体温度是多少？

补偿掺杂

2-11 若 $N_D=10^{18}cm^{-3}$，$N_A=10^{16}cm^{-3}$，计算 $T=300K$ 时的少数载流子浓度。

2-12 将温度升高50℃，重做习题2-11。

2-13 某补偿半导体中，$p_0=4\times10^6cm^{-3}$，$N_D-N_A=4.99\times10^{18}cm^{-3}$，求满足此条件的温度。

2-14 若 $T=390K$，$N_D=5\times10^{18}cm^{-3}$，少数载流子浓度为 $1.1\times10^6cm^{-3}$，则此补偿半导体的少数载流子掺杂浓度是多少？

载流子输运——漂移电流

2-15 某p型硅材料的 $p_0=N_A=10^{18}cm^{-3}$，温度

为 280K，$\mu_n=1500\text{cm}^2/(\text{V}\cdot\text{s})$，$\mu_p=500\text{cm}^2/(\text{V}\cdot\text{s})$，半导体尺寸为 20μm，加电压 1V。

(a) 电场强度是多少(V/cm)?

(b) 电子载流子密度 n_0 是多少?

(c) 电流密度 J 是多少(A/cm^2)?

(d) 电流密度 J 是多少($\text{A}/\mu\text{m}^2$)?

2-16 (a) 在一个 n 掺杂半导体中，忽略少数载流子电流密度，若 $\mu_n=1200\text{cm}^2/(\text{V}\cdot\text{s})$，$T=325\text{K}$，$N_D=10^{18}\text{cm}^{-3}$，电流密度为 $J_n=10\text{kA/cm}^2$，则电场强度是多少?

(b) 若施加在材料两端的电压为 2V，则材料尺寸是多少?

2-17 习题 2-16 中的电导率和电阻率是多少?

2-18 电流密度 $J=300\text{A/cm}^2$，电导率 $\sigma=0.5\text{A}/(\text{V}\cdot\text{cm})$，$\mu_n=1350\text{cm}^2/(\text{V}\cdot\text{s})$，则施主掺杂浓度是多少?

载流子输运——扩散电流

2-19 若电子浓度梯度是 $4\times10^{18}\text{cm}^{-4}$，$D_n=25\text{cm}^2/\text{s}$，则扩散电流密度是多少?

2-20 $D_n=35\text{cm}^2/\text{s}$，$D_p=12\text{cm}^2/\text{s}$，$J=15\text{mA/cm}^2$，自由电子浓度梯度是自由空穴浓度梯度的 3 倍，则自由载流子的浓度梯度分别是多少?

2-21 室温下 $D_n=35\text{cm}^2/\text{s}$，$D_p=10\text{cm}^2/\text{s}$，则 μ_n 和 μ_p 分别是多少?

2-22 室温下 $\mu_n=1300\text{cm}^2/(\text{V}\cdot\text{s})$，$\mu_p=400\text{cm}^2/(\text{V}\cdot\text{s})$，若电子和空穴的的浓度梯度分别是 10^{20}cm^{-4} 和 10^{17}cm^{-4}，则总电流密度是多少?

pn 结二极管

2-23 某 pn 结 $N_A=10^{15}\text{cm}^{-3}$，$N_D=10^{16}\text{cm}^{-3}$，$T=300\text{K}$，求 V_{bi}。

2-24 某 pn 结 $N_D=10^{18}\text{cm}^{-3}$，$N_A=10^{16}\text{cm}^{-3}$。

(a) 计算 $T=300\text{K}$ 时的 V_{bi}。

(b) 计算 $T=400\text{K}$ 时的 V_{bi}。

2-25 $T=345\text{K}$，受主掺杂浓度为 10^{18}cm^{-3}，施主掺杂浓度为 10^{15}cm^{-3}，求 pn 结内建电势。

2-26 若 $N_D=10^{17}\text{cm}^{-3}$，$T=300\text{K}$，$V_{bi}=0.725\text{V}$，则 N_A 应设为多少?

2-27 若 $N_D=10^{17}\text{cm}^{-3}$，$T=420\text{K}$，$V_{bi}=0.725\text{V}$，则 N_A 应设为多少?

2-28 某二极管 $I_S=10\text{pA}$，$T=300\text{K}$，$V_D=0.625\text{V}$，求二极管电流 I_D。

2-29 二极管方程为 $I_D=I_S(e^{V_D/V_T}-1)$。对大多数正偏压情况，“−1”项远远小于指数项，因而可以被忽略。当 V_D 为何值时，指数项为“1”项的 10 倍? 假设二极管工作在室温下。

2-30 某硅 pn 结工作在正偏压区域。若要使二极管电流变为 100 倍，计算正偏压的增长量。假设二极管工作在室温下。

pn 结电容

2-31 某 pn 结二极管的 $C_{j0}=2\text{pF}$，$V_{bi}=0.65\text{V}$。对于反偏压 1V、2V 和 3V 的情况，分别计算反偏耗尽电容。

2-32 设 $C_{j0}=100\text{fF}$，$V_{bi}=0.72\text{V}$，计算 pn 结二极管电容。

2-33 已知 pn 结二极管反偏压为 4V，$C_{j0}=50\text{fF}$，$T=350\text{K}$，$N_A=10^{15}\text{cm}^{-3}$，$N_D=10^{16}\text{cm}^{-3}$，计算 C_j。

2-34 一个 pn 结二极管的反偏电容 $C_j=80\text{fF}$，$C_{j0}=150\text{fF}$，反偏压为 2V，则 V_{bi} 是多少?

2-35 一个二极管的 $N_A=10^{15}\text{cm}^{-3}$，$N_D=10^{18}\text{cm}^{-3}$，$T=390\text{K}$，$C_{j0}=100\text{pF}$，$V_R=2\text{V}$，计算耗尽电容 C_j。

2-36 已知某 pn 结温度 $T=400\text{K}$，$C_{j0}=50\text{fF}$，$N_A=10^{14}\text{cm}^{-3}$，$N_D=10^{18}\text{cm}^{-3}$，反向偏压 $V_R=2\text{V}$，计算结电容。

64 ~ 66

第3章 MOSFET

去年一年所生产的晶体管数量比大米的粒数还要多——并且成本更低。

——SEMI 2005 年度报告

MOSFET 是当今集成电路的核心。最初，计算机使用机械开关进行布尔运算，随后是真空管，然而由于更小、更快并且产热更少的 MOSFET 的出现，才使得计算机可以迅猛发展，并且主导了我们的生活。我们的目标是获得工程师在设计与诊断数字集成电路中所用到的分析能力，以及对晶体管的深刻见解。大量的例题与自测题将使读者对晶体管电路的工作产生直观的认识。第 3 章是后续章节的重要基础。

3.1 工作原理

两种主要的晶体管是 MOSFET(metal-oxide semiconductor field-effect transistor，金属-氧化物半导体场效应晶体管)和 BJT(bipolar junction transistor，双极结型晶体管)，其中我们的重点是 MOSFET。数字集成电路几乎只使用 MOSFET，而 BJT 在模拟电路中有其应用。晶体管与无源电阻、电容、电感以及二极管等器件不同，它的输出电流与电压特性随着控制端电压的变化而变化。与晶体管信号传输有关的端口有 3 个，而无源器件则只有 2 个。

图 3-1a 所示的为 MOSFET 的示意图。下方的长方形材料称作硅衬底，通常称作“体”(bulk)。晶体管有四个电活性区域：①栅极(gate，G)；②源极(source，S)；③漏极(drain，D)；④体(bulk，B)，其中通常提到的是栅极、源极和漏极电压。矩形的栅极区域位于体的上方，由一层二氧化硅电介质隔开，氧化物的厚度是 T_{ox}。还有两个重要的尺寸是栅极长度和宽度。漏极和源极嵌入到衬底中，不过与衬底的掺杂相反。

MOSFET 可以分为两种——nMOS 晶体管和 pMOS 晶体管，它们的区别在于产生晶体管电流的载流子极性不同。pMOS 晶体管的电荷载流子为空穴，而 nMOS 晶体管的电荷载流子为电子。图 3-1b 所示的为晶体管的常用符号，其中晶体管的体既可以标出(符号 B)也可以省略，通常都不用画出。

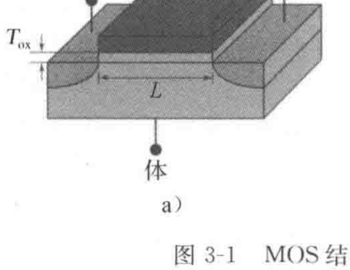




图 3-1 MOS 结构和电路级符号

3.1.1 作为数字开关的 MOSFET

一种简单的模型将 MOSFET 描述为开关。栅极就类似于墙上的电灯开关，当栅极为

高电平时，晶体管就像开关一样闭合，使源极和漏极相连通。正如电灯开关需要一定的力量才能开启，晶体管的栅极也需要一定的电压才能翻转并连通源、漏两极，这个电压称为“晶体管阈值电压” V_t，对于 nMOS 和 pMOS 器件，在一定的制造工艺下，阈值电压是一个定值。

理想的晶体管在导通状态下，源、漏之间的电阻为零，而在截止状态下电阻为正无穷。理想器件的导通和截止状态还应该在控制信号状态改变时立刻发生翻转，不存在延时。图 3-2展示了一个开关、一个电阻和一个 2V 的电源。当机械开关闭合时，$V_{logic}=0V$，即逻辑 0 状态；当开关断开时，$V_{logic}=2V$，即逻辑 1 状态。若将机械开关换成晶体管，我们可以通过栅极控制晶体管的通断状态，从而产生相同的逻辑状态。pMOS 晶体管与开关的行为类似，晶体管的这个原理将会应用于后续所学的所有逻辑门中。

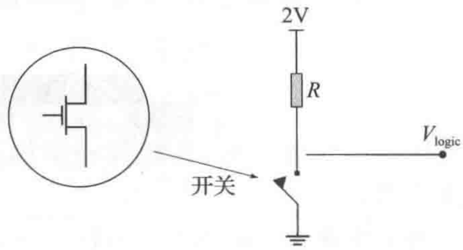


图 3-2 晶体管建模为开关

3.1.2 MOSFET 的物理结构

MOS 晶体管的制造始于一个轻掺杂的单晶衬底结构。nMOS 的衬底使用 p 掺杂硅，而 pMOS 的衬底使用 n 掺杂硅。图 3-1 展示了晶体管的氧化物薄层(T_{ox})，它将栅极与下方的半导体晶体结构隔开。栅极氧化物是硅经过氧化所形成的非晶态的、无定型的二氧化硅。栅氧厚度(T_{ox})通常在 15～100Å(埃)之间(1Å(1 埃)$=10^{-10}m$)。二氧化硅的分子直径约为 3.2Å，也就是说，这个关键的尺寸实际上只有几个分子厚。二氧化硅电介质的作用是为栅极电压产生的电场提供支持，以影响源、漏之间的移动电荷数量。栅极氧化物越薄，栅极电场对器件状态的控制就越好，晶体管的翻转也越快。薄栅氧被喻为晶体管的“心脏”。

图 3-3 展示了 nMOS 晶体管和 pMOS 晶体管的结构。nMOS 晶体管使用 p 掺杂衬底和 n^+ 掺杂的源漏；pMOS 晶体管则与 nMOS 晶体管互补，它使用 n 掺杂衬底和 p^+ 掺杂的源漏。两种晶体管中，氧化物电介质上方的栅极都是由多晶硅制成的。多晶硅是一种导电材料，由许多小的单晶硅构成。栅极正下方、源极与漏极之间的部分称作“沟道”(channel)，是电荷导电的通道。两种晶体管的电学差异体现在：nMOS 晶体管的沟道电流是电子电流，而 pMOS 晶体管的沟道电流是空穴电流。由于源漏的掺杂与体掺杂相反，因此在晶体管正常工作时，它们会形成反偏或零偏的 pn 结二极管(图 3-3)。



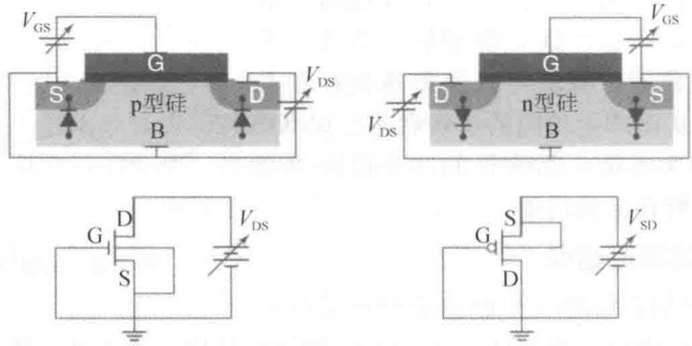
图 3-3 nMOS 与 pMOS 器件端之间的相对掺杂与等效电学连接关系

源、漏之间的距离称作“沟道长度”(L)，而横向的尺寸称作“沟道宽度”(W)(图 3-1a)。晶体管的长度与宽度是由电路设计师与工艺工程师设置的参数。宽长比(W/L)与晶体管的漏极驱动电流线性相关。晶体管越宽，通过的电流越大。栅极是控制端，源极提供电子或空穴，这些电荷载流子注入沟道并被漏极所收集。

其余的参数，如晶体管氧化物厚度、阈值电压、掺杂水平等，取决于制造工艺，无法由设计所决定，它们是由工艺工程师和器件工程师所设定的技术参数。

3.1.3 MOS 晶体管工作原理：一种描述性方法

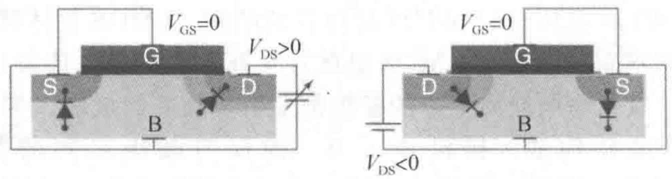
晶体管必须有准确的端电压极性才能工作(图 3-4)。nMOS(pMOS)晶体管的体或衬底必须连到参考端的低电压(高电压)上。nMOSFET 的体通常接地，而 pMOSFET 的体通常与电源电压相连。为了描述方便，我们通常假设体与源极短接。nMOS(pMOS)晶体管的正电流传统约定是由漏极(源极)指向源极(漏极)，写作 I_{DS}，由于源极与漏极电流相等，因此有时也简写为 I_D。当漏极加一定电压时，漏极电流取决于栅极控制电压。pMOS 晶体管中的 V_{GS}、V_{DS}与 I_{DS}为负，原因将稍后解释。



a) nMOS　　b) pMOS

图 3-4 典型偏压设置

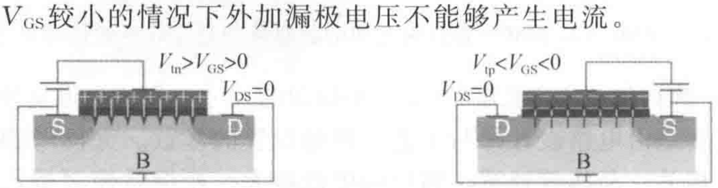
若想形成含有自由载流子的沟道，需要栅、源电压达到一个阈值，才能引入一层移动电荷。若 nMOS 器件的 V_{GS}为零，则源极与漏极之间无法产生足够的自由电荷，并且漏极电压使得漏-体二极管反偏(图 3-5a)，因此当 nMOS 晶体管的 $V_{GS}=0$ 时不能产生电流(pMOS 晶体管同理)。这便是关断状态，晶体管在此状态下不导通。



a) nMOS　　b) pMOS

图 3-5 当栅源电压为零时，漏极电压阻止漏极向源极的电流

接下来我们假设源极、漏极和衬底都处在 0V。令 nMOS(pMOS)晶体管的栅极电压稍稍提高(降低)，则栅极与衬底之间形成一个跨氧化层的纵向电场。对于 nMOS(pMOS)晶体管，p 型(n 型)衬底中靠近硅-氧化物界面处的空穴(电子)受到排斥，向远离界面的方向移动。这个小栅极电压导致氧化层界面下方产生一个耗尽区(图 3-6)。耗尽区不含有移动载流子，因此在 V_{GS}较小的情况下外加漏极电压不能够产生电流。



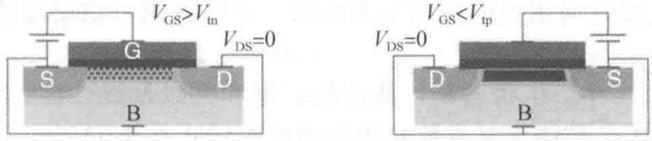
a) 小的栅源正电压使nMOS沟道空穴耗尽　b) 小的栅源负电压使pMOS沟道电子耗尽

图 3-6 产生耗尽区

68~71

当 nMOS(pMOS)器件的栅极电压继续提高(降低)时，强纵向电场将吸引衬底中的少数载流子(nMOS 晶体管中的电子或 pMOS 晶体管中的空穴)由体向栅极移动。这些少数载

流子被栅极吸引，但是二氧化硅阻止他们继续移动，因此电子(空穴)会在硅-氧化层界面处积累。这些载流子形成一个少数载流子反型层，或称导电沟道，可以看成是将漏极与源极“短接”起来(图 3-7)。当 $V_D=V_S$ 时，$I_D=0$，此时晶体管导通，沟道中的载流子沿器件均匀分布。



a) nMOS　　b) pMOS

图 3-7　在 nMOS 晶体管和 pMOS 晶体管中形成导电沟道

nMOS 晶体管的阈值电压 V_{tn} 是正数，而 pMOS 的阈值电压 V_{tp} 是负数。当 nMOS (pMOS)晶体管的栅源电压大于(小于)阈值电压，即 $V_{GS}>V_{tn}$($V_{GS}<V_{tp}$)时，晶体管形成导电沟道。pMOS 晶体管的栅极相对源极和衬底的电压必须为负，才能够在二氧化硅和沟道的界面处吸引一层空穴。

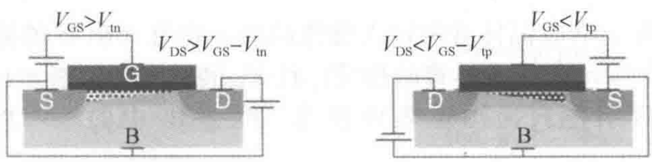
在 nMOS(pMOS)晶体管中形成沟道以后，向漏-源加正电压(负电压)将产生横向电场，推动电子(空穴)向漏极移动，形成正的(负的)漏极电流流入晶体管。电子与空穴电流都采用传统正方向，不过两种情况的实际载流子都是电子。若沟道的横向电场强度与薄氧化层的纵向电场强度相当，或小于纵向电场强度，则反型沟道在器件长度方向上几乎是均匀的。晶体管源极与漏极之间存在连续载流子分布的状态称作“非饱和态”(nonsaturated)，也可以等价地称为“线性态”(linear)，或者“电阻偏置态”(ohmic bias state)。漏极与源极等效为短路。电阻态的产生条件是：

$$V_{GS}>V_{DS}+V_{tn}\quad \text{(nMOS 晶体管)}$$
$$V_{GS}<V_{DS}+V_{tp}\quad \text{(pMOS 晶体管)} \tag{3-1}$$

在线性偏压状态接近原点的很小区间内，漏极电流与漏源电压线性相关。上述方程说明，当栅极到漏极的电压大于阈值电压时，整个沟道内就存在连续的载流子分布。此处先给出了公式的结论，稍后我们将对式(3-1)进行推导。

当 nMOS 晶体管的漏极电压继续增大，超出了式(3-1)的范围，即 $V_{GS}<V_{DS}+V_{tn}$时，漏极端的横向电场将大于纵向电场，形成了图 3-8 所示的非对称沟道载流子反型分布。若漏极电压持续上升而栅极电压保持恒定，则漏极附近的 V_{GD} 可能低于阈值电压，导致漏极-栅氧区域没有载流子反型层，因而产生反型的沟道区缩短，不再与漏极“接触”。n 掺杂的漏极与 p 掺杂的体之间又形成反偏 pn 结。当出现这种情况时，我们称反型沟道发生“夹断”(pinched-off)，器件进入“饱和区”。

72



a) nMOS晶体管　　b) pMOS晶体管

图 3-8　nMOS 晶体管和 pMOS 晶体管的沟道夹断

图 3-8a 展示了 nMOS 晶体管在饱和偏置状态下的非对称电子分布。当栅-漏电压小于阈值电压时，漏极区不能发生沟道反型。图 3-8b 展示了 pMOS 晶体管的空穴反型沟道截面。尽管沟道的漏极端没有载流子反型，漏极区仍然具有电活性。载流子在横向电场的作

用下离开源极，当它们到达沟道的夹断位置时，则在耗尽区强电场的作用下从夹断点向漏极移动。

沟道夹断点的位置随偏置电压的变化而变化。漏极与沟道区域形成反偏的 pn 结和具有强电场的耗尽区。被耗尽区强电场弹出的电荷进入漏极，又在反偏 pn 结的作用下(漏极-衬底)从漏极弹出。这种高阻抗的电流发射构成一个电流源，这是晶体管饱和偏置态的性质之一。

CMOS 晶体管的三种工作状态是：截止区、饱和区以及线性区(电阻区、非饱和区)。接下来我们将考察 MOS 晶体管对参数变化的响应曲线，并学习用于描述晶体管行为的分析方程。书中的例题与练习能起到很重要的作用。在学习了晶体管电路分析的技巧之后再回顾本节的晶体管描述，将会很有启发性。

3.2 MOSFET 输入特性

晶体管有四个端，需要两组电流-电压曲线描述：输入特性曲线和输出特性曲线。输入特性描述的是漏极电流与输入栅-源驱动电压的关系。由于栅极与其他端(漏端、源端和体端)是电隔离的，因此栅极电流为 0，不作为器件的特性进行研究。输入特性曲线能够确定晶体管离开截止状态并产生电流时的栅极电压大小，这便是器件的阈值电压。

73

图 3-9 所示的为测量得到的 nMOS 晶体管和 pMOS 晶体管的输入特性曲线。在漏端-源端加 0.1V 的小电压，使晶体管工作在非饱和偏置态。在图 3-9a 中，随着 V_{GS}增大，当达到阈值电压时漏极电流开始上升。当 V_{GS}在 0V 至 0.7V 之间时，I_D 几乎为 0，说明此时漏极与源极之间的等效电阻极大。而一旦 V_{GS}达到 0.7V，电流就随 V_{GS}的升高而迅速增加，说明源、漏之间的等效电阻随栅-源电压的增大而减小。因此，这个 nMOS 晶体管的阈值电压为 $V_{tn}\approx 0.7$V。当晶体管导通并将电流输至负载时，电路中的电压变化转化为逻辑电平的变化。

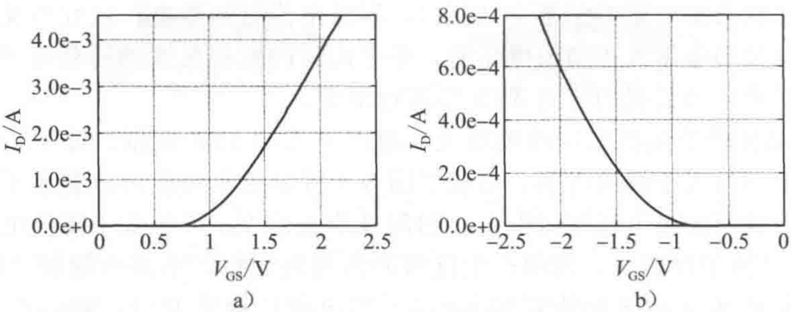


图 3-9 nMOS 晶体管和 pMOS 晶体管测量得到的输入特性曲线(I_D 与 V_{GS}关系)

图 3-9b 所示的为 pMOS 晶体管的输入特性曲线，它与 nMOS 的输入特性类似，区别在于 I_D 与 V_{GS}的极性与 nMOS 晶体管的相反，且 V_{DS}也为负($V_{DS}\approx -0.1$V)。栅极的电压需要低于源极，以吸引空穴向沟道表面移动。图 3-9b 中的 pMOS 器件阈值电压为 $V_{tp}\approx -0.8$V。

3.3 nMOS 晶体管的输出特性与电路分析

对于 MOS 晶体管，不同的 V_{GS}对应不同的 $I_D - V_D$ 输出特性曲线。图 3-10 展示了 nMOS 晶体管测量得到的一族曲线。当器件导通时，我们可以明显分辨出两个状态：饱和态和非饱和态。饱和曲线是平坦的一段，称作“饱和区”。当 $V_{GS}<V_{DS}+V_{tn}$时，nMOS 器

74

件作电流源，I_D 的大小与 V_{DS}无关。当 $V_{GS} > V_{DS} + V_{tn}$时，晶体管处于非饱和区，曲线是半个双曲线。当晶体管截止($V_{GS} < V_{tn}$)时，I_D 对任何 V_{DS}的响应均为 0。

图 3-10 中各曲线上的方块表示饱和区与非饱和区的分界点，它是饱和区的直线与非饱和区的双曲线的交点。交点处的漏极电压为沟道夹断电压，记为 V_{DSAT}。方块标记出了不同 V_{GS} 对应的夹断电压 V_{DSAT}。对于给定的 V_{GS}，V_{DSAT} 是保证晶体管处在饱和区所需的最小漏-源电压。在非饱和区，漏极电流一开始近于线性增长，随后弯曲为双曲线形状——因此非饱和区也称为电阻区或线性区。

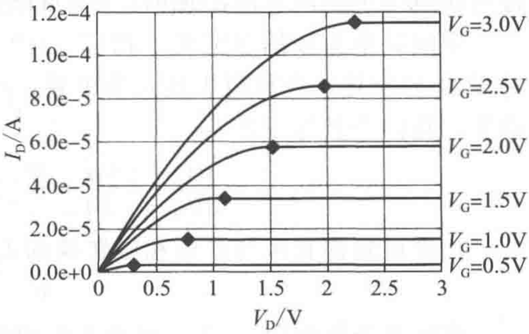


图 3-10　nMOS 晶体管输出特性曲线

注：方块表示夹断电压 V_{DSAT}。

饱和区的漏极电流几乎与 V_{DS} 无关。由于沟道的漏极附近存在耗尽区，没有载流子反型，因此晶体管表现为电流源。载流子被抽进漏极-衬底 pn 结的强电场区，并从漏极发射出去。无论漏源电压是多少，晶体管都产生近乎恒定的电流。pMOS 晶体管的 $I_D - V_D$ 曲线与图 3-10 所示的类似，不过电压与电流的极性都与 nMOS 晶体管相反，这是因为 pMOS 晶体管是空穴反型，漏极电流方向相反(pMOS 器件的曲线稍后呈现)。

我们接下来学习使用公式计算图 3-10 中曲线上任一点的结点电流与电压的方法。通过计算沟道中每一点的电荷量，并从漏极到源极积分，可以得到 MOS 晶体管的方程。许多书中都介绍了此计算过程[1]，计算得到的饱和区与线性区漏极电流方程是：

$$I_D = \frac{\mu_n \varepsilon_{ox}}{2T_{ox}} \frac{W}{L}(V_{GS} - V_{tn})^2 \quad (饱和区) \tag{3-2}$$

$$I_D = \frac{\mu_n \varepsilon_{ox}}{2T_{ox}} \frac{W}{L}[2(V_{GS} - V_{tn})V_{DS} - V_{DS}^2] \quad (非饱和区) \tag{3-3}$$

式中：μ_n 是电子迁移率；ε_{ox}是薄氧化层(SiO_2)介电常数；T_{ox}是晶体管氧化层厚度；W 和 L 分别是晶体管等效栅极宽度和长度。我们引入常数 K 来描述晶体管驱动电流的强度：

$$K = \frac{\mu \varepsilon_{ox}}{2T_{ox}} \tag{3-4}$$

我们通常将 nMOS 晶体管的这个电流驱动常数记为 K_n。若所有常数都已知，那么利用式(3-2)就可以推算出饱和区任何 V_{GS}对应的 I_D，利用式(3-3)可以根据给定的 V_{GS}和 V_{DS}计算非饱和区的电流 I_D。式(3-2)说明 I_D 和 V_{GS}是平方律关系，与 V_{DS}无关。由于式(3-2)没有 V_{DS}项，因此对给定的 V_{GS}，I_D 是一条水平的直线。MOS 晶体管的这两个方程使我们能够计算晶体管的电压与电流，它们的用法与电阻的线性欧姆定律类似，即式(3-2)与式(3-3)给出了晶体管电流与给定电压的关系。

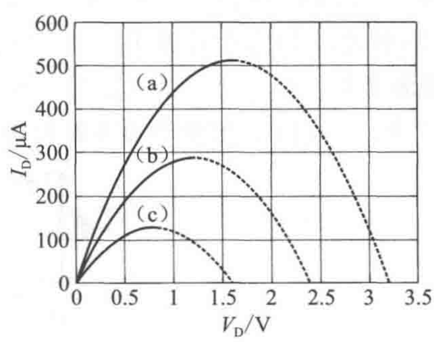


图 3-11　非饱和态方程(式(3-3))的抛物线图像

注：$K_n = 100\mu A/V^2$，$V_{tn} = 0.4V$，$W/L = 2$。实线是允许出现的区域，虚线是不允许出现的区域。(a) $V_{GS} = 2.0V$；(b) $V_{GS} = 1.6V$；(c) $V_{GS} = 1.2V$。

饱和态与非饱和态在 V_{DSAT}处相交，两个方程都可以用来描述这一点的电流和电压。我们可以解出饱和态与非饱和态相交的这一关键偏置条件(V_{DSAT})，这对后续的问题非常重要。图 3-11 画出了式(3-3)在 $V_{GS} = 2.0V$、$V_{GS} = 1.6V$

以及 $V_{GS}=1.2\text{V}$ 时所对应的三条抛物线。只有左半部分的抛物线用于描绘图 3-10 中的晶体管曲线，然而抛物线本身是具有右半部分的，右边的虚线即是抛物线方程的连续解，不过它在电学中是不可能出现的，我们将通过例子予以说明。

中间斜率为零的点定义了式(3-3)的上界，也定义了饱和区和非饱和区的分界。通过对式(3-3)求导，令所得表达式等于零，可以求得边界偏置条件。式(3-5)为式(3-3)的求导结果，我们令其等于零：

$$\frac{\mathrm{d}I_{D}}{\mathrm{d}V_{DS}}=\frac{\mu\varepsilon_{ox}}{2T_{ox}}\frac{W}{L}[2(V_{GS}-V_{tn})-2V_{DS}]=0 \tag{3-5}$$

化简得到饱和区与非饱和区转换的关键偏置条件：

$$V_{GS}=V_{DS}+V_{tn} \tag{3-6}$$

此偏置条件对图 3-11 中每条曲线的峰值点都适用。通过延伸式(3-6)可以定义 nMOS 饱和区的偏置条件为：

$$V_{GS}<V_{DS}+V_{tn}\ \text{或}\ V_{DS}>V_{GS}-V_{tn} \tag{3-7}$$

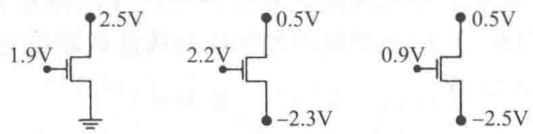
nMOS 晶体管非饱和区的偏置条件为：

$$V_{GS}>V_{DS}+V_{tn}\ \text{或}\ V_{DS}<V_{GS}-V_{tn} \tag{3-8}$$

这些条件仅在 V_{GS}大于阈值电压时成立，即晶体管必须处在导通状态。

例 3-1 假设 $V_{tn}=0.4\text{V}$，判断下面三个电路的偏置状态。nMOS 晶体管的源极电压永远低于漏极电压，首先需要正确判断各极。

76
~
77



a)　　b)　　c)

解：

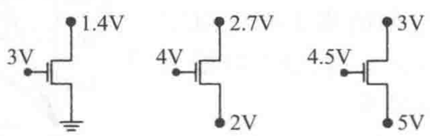
(a) $V_{GS}=1.9\text{V}$，$V_{DS}=2.5\text{V}$，$V_{tn}=0.4\text{V}$，则 $V_{GS}=1.9\text{V}<2.5\text{V}+0.4\text{V}=2.9\text{V}$，满足式(3-7)，晶体管处于式(3-2)所描述的饱和区。

(b) $V_{GS}=V_{G}-V_{S}=2.2\text{V}-(-2.3\text{V})=4.5\text{V}$，$V_{DS}=V_{D}-V_{S}=0.5\text{V}-(-2.3\text{V})=2.8\text{V}$，因此 $V_{GS}=4.5\text{V}>2.8\text{V}+0.4\text{V}=3.2\text{V}$，满足式(3-8)，晶体管处于非饱和区。

(c) $V_{GS}=V_{G}-V_{S}=0.9\text{V}-(-2.5\text{V})=3.4\text{V}$，$V_{DS}=V_{D}-V_{S}=0.5-(-2.5\text{V})=3\text{V}$，因此 $V_{GS}=3.4\text{V}=V_{DS}+V_{tn}=3\text{V}+0.4\text{V}=3.4\text{V}$，晶体管处在饱和区与非饱和区的边界上，式(3-2)和式(3-3)用于计算 I_{D}。◀

自测 3-1

设 $V_{tn}=0.4\text{V}$，判断下面电路的偏置状态。



a)　　b)　　c)

确定了例 3-1 和自测 3-1 中的偏置状态方程之后，你可以使用图 3-10 所示的 nMOS 晶体管曲线验证你的答案。在图中找出例题和自测题的对应坐标，检查答案是否正确。后续关于 nMOS 晶体管的一系列例题和习题将有助于强化认识这些关系式，并说明含有晶体管与电阻的电路分析方法。

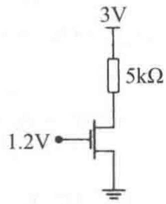
例 3-2 若晶体管 M1 的 $K_n=100\mu A/V^2$，$V_{in}=0.6V$，$W/L=3$，计算 I_D 和 V_{DS}。

解：因 M1 的偏置状态未知，因此我们必须首先假设它处于两种状态中的其中一种，然后解出偏置电压方程，并验证它是否符合我们的假设。一开始，我们假设晶体管处于饱和态，于是

$$I_D=\frac{\mu\varepsilon_{ox}}{2T_{ox}}\frac{W}{L}(V_{GS}-V_{tn})^2=K_n\frac{W}{L}(V_{GS}-V_{tn})^2$$

78

$$=100\mu A\times3\times(1.2-0.6)^2=108\mu A$$



根据 KVL，有

$$V_{DS}=V_{DD}-I_DR=3V-108\mu A\times5k\Omega=2.46V$$

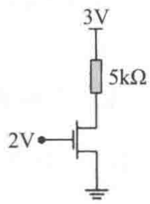
我们之前假设晶体管饱和，因此我们必须检查结果是否符合假设。对于饱和态，有

$$V_{GS}<V_{DS}+V_{tn}$$

$$1.2V<2.46V+0.6V$$

因此晶体管处于饱和态，我们的假设与答案是正确的。◀

例 3-3 令 $V_G=2V$，重做例 3-2 问题，求出 I_D 与 V_{DS}。



解：假设晶体管饱和，则

$$I_D=100\mu A\times3\times(2-0.6)^2=588\mu A$$

79

$$V_{DS}=3V-588\mu A\times5k\Omega=60mV$$

验证偏置状态，得

$$V_{GS}>V_{DS}+V_{tn}$$

$$2.0V>0.06V+0.6V$$

说明一开始的假设是错误的，因此我们使用非饱和态假设重新分析：

$$I_D=\frac{\mu\varepsilon_{ox}}{2T_{ox}}\frac{W}{L}[2\times(V_{GS}-V_{tn})V_{DS}-V_{DS}^2]$$

$$I_D=K_n\frac{W}{L}[2\times(V_{GS}-V_{tn})V_{DS}-V_{DS}^2]$$

$$=100\mu A\times3\times[2\times(2-0.6)V_{DS}-V_{DS}^2]$$

$$=300\mu A\times[2.8V_{DS}-V_{DS}^2]$$

此方程含有两个未知数，因此还需要找到一个方程，我们使用 KVL：

$$V_{DD}=I_DR+V_{DS}$$

$$I_D=\frac{(V_{DD}-V_{DS})}{R}$$

$$I_D = \frac{(3V - V_{DS})}{5k\Omega}$$

将这两个方程联立，消去 I_D 得

$$\frac{(3V - V_{DS})}{5k\Omega} = 300\mu A \times [2.8V_{DS} - V_{DS}^2]$$

解得 $V_{DS}=0.731V$ 和 $V_{DS}=2.736V$。

可行的解是 $V_{DS}=0.731V$，因为只有这个解可以满足非饱和偏置条件的假设：

$$V_{GS} > V_{DS} + V_{tn}$$

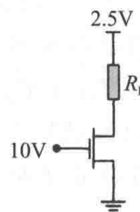
$$2V > 0.731V + 0.6V$$

继而

80

$$I_D = \frac{(V_{DD} - V_{DS})}{5k\Omega} = \frac{(3V - 0.731V)}{5k\Omega} = 453.8\mu A$$ ◀

例 3-4 若 $K_n=50\mu A/V^2$，$V_{tn}=0.4V$，$W/L=10$，要使晶体管 M_1 刚好不饱和，则电阻 R_D 应取多少？



解： 由于偏置状态处在边界上，因此式(3-2)和式(3-3)均适用。选用形式更简单的式(3-2)，有

$$I_D = \frac{\mu\varepsilon_{ox}}{2T_{ox}} \frac{W}{L} (V_{GS} - V_{tn})^2 = K_n \frac{W}{L} (V_{GS} - V_{tn})^2$$

$$= 50\mu A \times 10 \times (1.0 - 0.4)^2 = 180\mu A$$

边界偏置条件为

$$V_{GS} = V_{DS} + V_{tn}$$

则

$$V_G - V_S = V_D - V_S + V_{tn}$$

$$V_D = V_G - V_{tn}$$

$$V_D = 1.0V - 0.4V = 0.6V$$

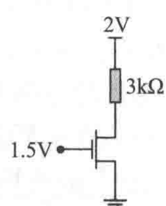
于是

81

$$R_D = \frac{V_{DD} - V_D}{I_D} = \frac{2.5V - 0.6V}{180\mu A} = 10.56k\Omega$$ ◀

自测 3-2

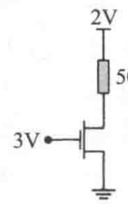
设 $V_{tn}=0.5V$，$K_n=120\mu A/V^2$，$W/L=2$，求 I_D 和 V_D 并验证你选择的MOS晶体管漏极电流模型是否成立。



答案：$I_D=240\mu A$，$V_D=1.28V$

自测 3-3

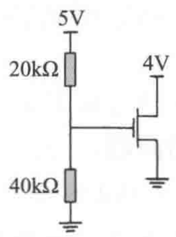
设 $V_{tn}=0.5V$，$K_n=25\mu A/V^2$，$W/L=3$，求 I_D 和 V_D 并验证偏置状态是否符合你所假设的 MOS 晶体管漏极电流模型。



答案：$I_D=37.9\mu A$，$V_D=0.103V$

自测 3-4

设 $V_{tn}=0.5V$，求 V_{GS} 并指出晶体管 M_1 的偏置状态。

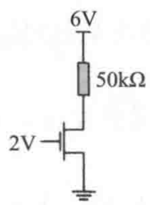


答案：$V_{GS}=3.333V$，晶体管处于饱和态。

82

自测 3-5

设 $V_{tn}=0.5V$，$K_n=50\mu A/V^2$，$W/L=2$，求 I_D 和 V_D 并验证偏置状态是否符合你所假设的 MOS 晶体管漏极电流模型。



答案：$I_D=111.3\mu A$，$V_D=0.434V$

3.4 pMOS 晶体管的输出特性与电路分析

pMOS 晶体管分析方法与 nMOS 晶体管的类似，不过需要对漏极电流和结点电压的极性多加留意。pMOS 晶体管的多数载流子是空穴，作为反传统电流，由源极产生，进入沟道并从漏极流出。使 n 型衬底反型的栅-源阈值电压 V_{tp} 必须为负，才能吸引空穴向沟道表面移动。pMOS 晶体管的饱和区与非饱和区电流方程与 nMOS 器件类似，只是在使用时需要考虑极性。我们采用与 nMOS 晶体管最相近的方程形式来描述 pMOS 晶体管的电流。式(3-9)和式(3-10)描述了 pMOS 晶体管的电流“幅度”。

$$I_D=\frac{\mu\varepsilon_{ox}}{2T_{ox}}\frac{W}{L}(V_{GS}-V_{tp})^2 \quad \text{（饱和态）} \tag{3-9}$$

$$I_D=\frac{\mu\varepsilon_{ox}}{2T_{ox}}\frac{W}{L}[2(V_{GS}-V_{tp})V_{DS}-V_{DS}^2] \quad \text{（非饱和态）} \tag{3-10}$$

方程的形式与 nMOS 晶体管的相同，不过 pMOS 晶体管的 V_{GS}、V_{DS} 和 V_{tp} 取值为负。图 3-12 展示了 pMOS 晶体管的一族测量曲线，所有电压均以源极为参考。尽管漏极电流与电压都是负值，图像还是画在了第一象限，从而保持与 nMOS 晶体管的相似性，并尽量避免关于信号极性的误解。为了减少对 pMOS 晶体管参数正负号的混淆，我们建议读者将 pMOS 晶体管当做 nMOS 晶体管处理，并计算电流的绝对值。

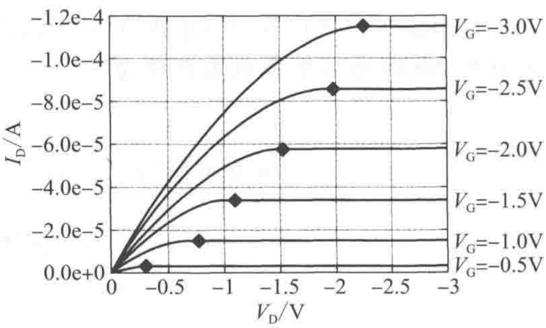


图 3-12　pMOS 晶体管的一族曲线

注：方块表示夹断电压 V_{DSAT}。

同样对式(3-10)求导，可以得到偏置状态的边界。令求导结果等于零，我们得到

$$V_{GS} = V_{DS} + V_{tp} \tag{3-11}$$

pMOS 晶体管饱和的条件是

$$V_{GS} > V_{DS} + V_{tp} \text{ 或 } V_{DS} < V_{GS} - V_{tp} \tag{3-12}$$

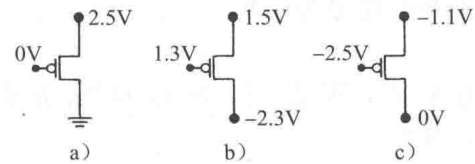
pMOS 晶体管非饱和的条件是

$$V_{GS} < V_{DS} + V_{tp} \text{ 或 } V_{DS} > V_{GS} - V_{tp} \tag{3-13}$$

下面的例子将解释如何处理极性的问题。

例 3-5　若 $V_{tp} = -0.4\text{V}$，判断下面 pMOS 晶体管的偏置状态。

解： 可以首先判断并标记 pMOS 晶体管的源极和漏极，源极电压总是高于漏极电压。



83
~
84

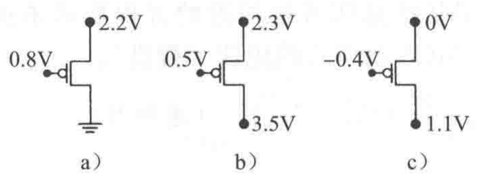
(a) $V_{GS} = -2.5\text{V}$，$V_{DS} = -2.5\text{V}$，因此 $V_{GS} > V_{DS} + V_{tp}$，即 $-2.5\text{V} > -2.5\text{V} + (-0.4)\text{V}$，因此晶体管处在饱和区。

(b) 栅极电压并不明显低于源极或漏极电压，因此无法令空穴反型到氧化层界面，晶体管处于截止区。

(c) $V_{GS} = -2.5\text{V} - (-1.1)\text{V} = -1.4\text{V}$，$V_{DS} = 0 - (-1.1)\text{V} = 1.1\text{V}$。是不是错了？栅极电压足够低，应能使晶体管导通，然而源漏电压是负的。空穴本应离开源极向漏极移动，然而在这种情况下则不可能。答案是电压较低的漏极应为图中靠上的一极，而源极是靠下的一极，因此 $V_{GS} = -2.5\text{V} - 0 = -2.5\text{V}$，$V_{DS} = -1.1\text{V} - 0 = -1.1\text{V}$，于是 $V_{GS} < V_{DS} + V_{tp}$，即 $-2.5\text{V} < -1.1\text{V} + (-0.4)\text{V}$，晶体管处于非饱和区。注意 pMOS 晶体管的源极电压总是高于漏极电压。◀

自测 3-6

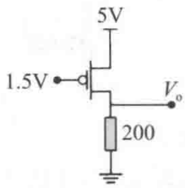
给出以下 pMOS 晶体管的正确偏置状态，其中 $V_{tp} = -0.4\text{V}$。



确定了例 3-5 和自测 3-6 中的偏置状态方程之后，你可以使用图 3-12 所示的 nMOS

晶体管曲线验证你的答案。在图中找出例题和自测题的对应坐标，检查答案是否正确。后续关于 pMOS 晶体管的一系列例题和习题将有助于强化这些重要的关系。我们计算的是电流的幅度，而它的方向是从 V_{DD} 指向地。pMOS 的源极是相比于漏极电压更高的那一极。

例 3-6 设 $V_{tp}=-1.0V$，$K_p=100\mu A/V^2$，$W/L=4$，计算 I_D 和 V_{DS}。其中源极与 V_{DD} 相连。



85

解： 假设晶体管处于饱和偏置态，约定电流由 V_{DD} 流向地。

$$I_D=\frac{\mu\varepsilon_{ox}}{2T_{ox}}\frac{W}{L}(V_{GS}-V_{tp})^2=100\mu A\times 4\times[1.5-5-(-1)]^2=2.5mA$$

$$V_o=I_D\times 200\Omega=2.5mA\times 200\Omega=0.5V$$

则

$$V_{DS}=0.5V-5V=-4.5V$$

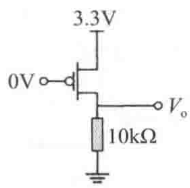
偏置状态检验：

$$V_{GS}>V_{DS}+V_{tp}$$

$$-3.5V>-4.5V+(-1.0)V$$

因此晶体管处于饱和态的解是正确的。◀

例 3-7 设 $V_{tp}=-0.6V$，$K_p=80\mu A/V^2$，$W/L=10$，计算 I_D 和 V_{DS}。



解： 假设晶体管处于饱和态，

$$I_D=\frac{\mu\varepsilon_{ox}}{2T_{ox}}\frac{W}{L}(V_{GS}-V_{tp})^2=80\mu A\times 10\times[0-3.3-(-0.6)]^2=5.832mA$$

$$V_o=I_D(10k\Omega)=5.832mA\times 10k\Omega=58.32V$$

这一数值比电源电压还高，不可能出现，因此晶体管饱和的假设是错误的，我们必须使用非饱和态的方程重新计算：

$$I_D=\frac{\mu\varepsilon_{ox}}{2T_{ox}}\frac{W}{L}[2\times(V_{GS}-V_{tp})V_{DS}-V_{DS}^2]=80\mu A\times 10\times[2\times(-3.3+0.6)V_{DS}-V_{DS}^2]$$

86

我们还需要一个方程才能求解。使用 KVL(这里即欧姆定律)：

$$I_D=\frac{V_D}{R_D}=\frac{V_{DD}+V_{DS}}{10k\Omega}$$

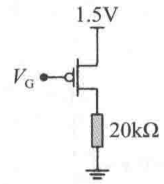
$$=\frac{3.3V+V_{DS}}{10k\Omega}=80\mu A\times 10\times[2\times(-3.3+0.6)V_{DS}-V_{DS}^2]$$

得到两个解 $V_{DS}=-75.50mV$ 和 $-5.450V$，其中可行的是 $V_{DS}=-75.70mV$。因此

$$V_o=V_{DD}-V_{SD}=3.3V-75.70mV=3.224V$$

$$I_D = \frac{3.224\text{V}}{10\text{k}\Omega} = 322.4\mu\text{A}$$ ◀

例 3-8 设 $V_{tp}=-0.4\text{V}$，$K_p=65\mu\text{A/V}^2$，$W/L=6$，求 V_G 和 I_D，使得晶体管处在饱和区与电阻区的边界。



解：使用形式更简单的饱和区方程：

$$I_D = 65\mu\text{A} \times 6 \times [V_{GS}+0.4]^2$$

由于 $V_{GS}=V_{DS}+V_{tp}$，有

$$I_D = 65\mu\text{A} \times 6 \times [V_{DS}+V_{tp}+0.4]^2 = \frac{1.5\text{V}+V_{DS}}{20\text{k}\Omega}$$

解得 $V_{DS}=-0.3791\text{V}$ 和 0.5073V(舍去)。

由于 $V_{DS}=V_D-V_S=V_D-1.5\text{V}=-0.3791\text{V}$，

得 $V_D=1.1209\text{V}$，则

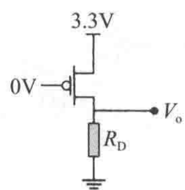
$$V_G = V_D+V_{tp} = 1.1209\text{V}-1.5\text{V} = 0.7209\text{V}$$

87

$$I_D = \frac{1.5\text{V}-0.379\text{V}}{20\text{k}\Omega} = 56.05\mu\text{A}$$ ◀

自测 3-7

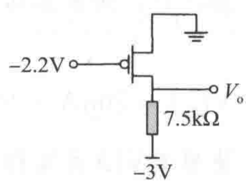
设 $V_{tp}=-0.7\text{V}$，$K_p=80\mu\text{A/V}^2$，$W/L=5$，求 R_D 的值，使得 V_o 升高到电源电压的一半(即 $V_o=0.5V_{DD}$)。



答案：$R_D=704.5\Omega$

自测 3-8

设 $V_{tp}=-0.6\text{V}$，$K_p=20\mu\text{A/V}^2$，$W/L=3$，求 I_D 和 V_o。



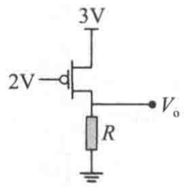
答案：$I_D=153.6\mu\text{A}$，$V_o=-1.848\text{V}$

自测 3-9

若 $V_{tp}=-0.6\text{V}$，$K_p=75\mu\text{A/V}^2$，$W/L=2$：

(a) R 取多少才将使晶体管处在饱和区与非饱和区的边界？

(b) 将 R 的值加倍，则 I_D 与 V_D 是多少？



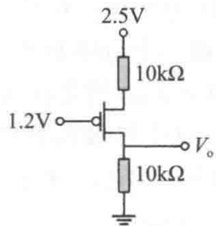
答案：(a) $R=108.3\text{k}\Omega$。(b) $V_o=2.868\text{V}$，$I_D=13.2\mu\text{A}$

88

3.5 含有源极和漏极电阻的 MOSFET

我们接下来介绍含有源极和漏极电阻的晶体管，其中电压源的数量可以是一个也可以是两个。这种电路经常称作“分相器”(phase splitter)，因为源极与漏极的结点电压 180°反相。当栅极电压发生变化时，若源极与漏极电阻相等，则它们的电压变化大小相等，符号相反。源极电压与栅极信号同相，而漏极电压则 180°反相。这种电路常出现在存储器读取放大器中。

例 3-9 设 $V_{tp}=-0.4\text{V}$，$K_p=60\mu\text{A/V}^2$，$W/L=2$，求 I_D 和 V_{DS}，并验证晶体管偏压状态的假设。



假设晶体管处于饱和态，有

$$I_D=\frac{\mu\varepsilon_{ox}}{2T_{ox}}\frac{W}{L}(V_{GS}-V_{tp})^2$$

由于 V_{GS}未知，我们必须找到另一个方程与此方程联立。即

$$I_D=60\mu\text{A}\times2\times[1.2-V_S+0.4]^2=\frac{2.5\text{V}-V_S}{10\text{k}\Omega}$$

$$V_S=2.144\text{V}$$

$$I_D=\frac{2.5\text{V}-2.144\text{V}}{10\text{k}\Omega}=35.6\mu\text{A}$$

则可以求出 V_{DS}：

$$\begin{aligned}V_{DS}&=I_D\times10\text{k}\Omega-V_{DD}\\&=35.56\mu\text{A}\times10\text{k}\Omega-2.5\text{V}\\&=-1.789\text{V}\end{aligned}$$

验证偏置状态：

$$V_{GS}=V_G-V_S=1.2\text{V}-2.144\text{V}=-0.944\text{V}$$

89

由于

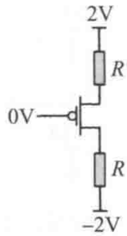
$$V_{GS}>V_{DS}+V_{tp}$$

$$-0.944\text{V}>-1.789\text{V}-0.4\text{V}$$

晶体管处于饱和区。 ◀

自测 3-10

两个相等电阻上的压降与 V_{DS} 相等。设 $V_{tp}=-0.5\text{V}$，$K_p=100\mu\text{A/V}^2$，$W/L=2$，求电阻的阻值。注意－2V 的负电压源。



答案： $R=239.0\text{k}\Omega$。

上面这些 MOS 晶体管的例子与习题有一个共同的目的，那就是结合晶体管特性曲线使读者从电压条件的角度思考晶体管的响应。这是晶体管教学的基础。在学习晶体管-电阻问题的解题技巧时应该能够举一反三。

3.6 MOS 晶体管的阈值电压

晶体管的体通常接地（nMOS 晶体管）或 V_{DD}（pMOS 晶体管）。然而，当 nMOS（pMOS）晶体管串联堆叠在一起时，上方（下方）的晶体管的源极就不是与体相连的了。这种情况产生的一个主要影响是阈值电压的变化，称作“体效应”（body effect）。

图 3-13 展示了两个 nMOS 晶体管和一个 pMOS 晶体管串联的横截面。所有器件都是在同一个 p 型硅衬底上制造的。由于 pMOS 晶体管要在 n 型衬底上构建，因此电路中的一部分区域必须要与原 p 型衬底的掺杂相反，这个区域称作“阱”（well）。nMOS 晶体管的 p 衬底与 0V 电压（地，GND）相连，而 n 阱与 V_{DD} 相连，这是因为 n 阱构成了 pMOS 晶体管的体。

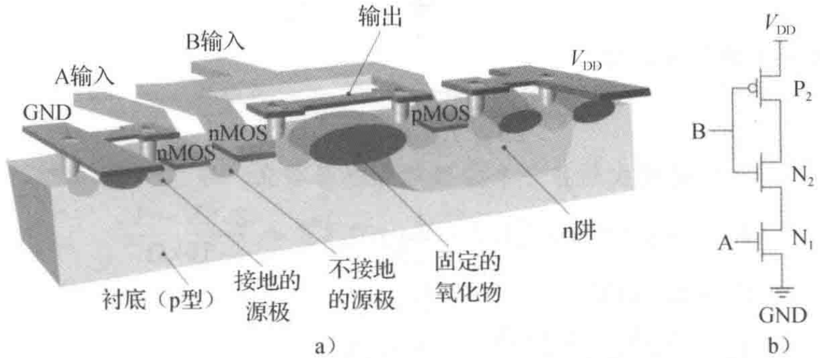


图 3-13　两个 nMOS 晶体管与一个 pMOS 晶体管串联的结构及电路示意图

nMOS 器件 N_1 的源极是接地的，因此前文所用到的 V_{tn} 的值在此依然适用。晶体管 N_2 的源极与 N_1 的漏极形成串联，因此 N_2 的源极不接地，这将导致源极的电压比地要高，而衬底依然接地。因此对于晶体管 N_2，$V_{SB}=0$ 的条件在某些偏置情况下不再成立。

当源极与衬底的电压不同时，用于产生反型沟道的纵向电场不再完全取决于栅源电压。对于 nMOS 晶体管而言，源极电压与衬底相差越大，用于将载流子吸引至沟道的电场越小，结果将晶体管的等效阈值电压升高。阈值电压可由下式估算：

$$V_t = V_{t0} + \gamma\left(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{2\phi_F}\right) \tag{3-14}$$

式中：

$$\gamma = \frac{\sqrt{2q \times N_A \times \varepsilon_{ox}}}{C_{ox}} \tag{3-15}$$

$$C_{ox} = \frac{\varepsilon_{ox}}{T_{ox}} = \frac{\varepsilon_r \varepsilon_0}{T_{ox}} = \frac{3.9(8.85\times10^{-14})}{T_{ox}} = \frac{3.45\times10^{-13}}{T_{ox}}\left(\frac{\text{F}}{\text{cm}^2}\right) \tag{3-16}$$

$$\phi_F = -\left(\frac{kT}{q}\right)\ln\left[\frac{N_A}{n_i}\right] \tag{3-17}$$

V_{t0}是源极与衬底电压相同时晶体管的阈值电压，γ是体效应系数，它取决于工艺，ϕ_F是费米(Fermi)势，V_{SB}是源极到体的电压。式(3-14)中正号针对nMOS晶体管，对pMOS晶体管应改为负号。N_A是p衬底的掺杂浓度。费米势是用来描述电子能态分布与温度关系的一个半导体参数，在室温(300K)和$N_A=10^{16}\text{cm}^{-3}$情况下的标称值是$\phi_F\approx -0.35\text{V}$。nMOS晶体管的$\phi_F$为负，pMOS晶体管的$\phi_F$为正。nMOS晶体管的$V_{SB}$为正，而pMOS晶体管的$V_{SB}$为负。我们将只研究nMOS晶体管的体效应。

90~91

当源极与衬底相连时，$V_{SB}=0$，阈值电压是一个常数。对于某些特定的电路结构，阈值电压体效应的影响将非常显著，它能够改变晶体管的阈值电压，继而改变晶体管延时。

例3-10 (a) 若衬底掺杂浓度是$3\times10^{17}\text{cm}^{-3}$，$C_{ox}=3.5\times10^{-7}\text{F/cm}^2$，求$\gamma$。

(b) 若$V_{t0}=0.55\text{V}$，费米势为-0.45V，$V_{SB}=0.5\text{V}$，计算此γ值对应的V_t。

解：

(a) $\gamma=\dfrac{\sqrt{2\times1.6\times10^{-19}\times3\times10^{7}\times3.45\times10^{-13}}}{3.5\times10^{-7}}\text{V}^{\frac{1}{2}}=0.520\ \text{V}^{\frac{1}{2}}$

(b) $V_t=(0.55+0.520\times(\sqrt{|2\times(-0.45)|+0.5}-\sqrt{|2\times(-0.45)|})\text{V}=0.627\text{V}$

体效应导致阈值电压升高了122mV。◀

例3-11 若$N_A=10^{17}\text{cm}^{-3}$，$T=360\text{K}$，$C_{ox}=3.5\times10^{-7}\text{F/cm}^2$，$\varepsilon_{ox}=3.45\times10^{-13}\text{F/cm}$，$V_{t0}=0.45\text{V}$，$V_t=0.62\text{V}$，计算衬底反偏压$V_{SB}$。

$$V_t=V_{t0}+\gamma(\sqrt{|2\phi_F|+V_{SB}}-\sqrt{|2\phi_F|})$$

$$\gamma=\frac{\sqrt{2\times1.6\times10^{-19}\times10^{17}\times3.45\times10^{-13}}}{3.5\times10^{-7}}\text{V}^{\frac{1}{2}}=0.3002\text{V}^{\frac{1}{2}}$$

$$\phi_F=-86.17\times10^{-6}\times360\times\ln\left(\frac{10^{17}}{n_i}\right)$$

$$n_i=5.23\times10^{15}\times(360)^{\frac{3}{2}}\times\exp\left[\frac{-1.12}{2\times86.17\times10^{-6}\times360}\right]\text{cm}^{-3}=5.164\times10^{11}\ \text{cm}^{-3}$$

则$\phi_F=-0.3776\text{V}$

$$0.62=0.45+0.3002\times\left[\sqrt{(|2\times(-0.3776)|+V_{SB})}-\sqrt{(|2\times(-0.3776)|)}\right]$$

解得$V_{SB}=1.305\text{V}$ ◀

自测3-11

若$V_{t0}=0.5\text{V}$，$V_t=0.59\text{V}$，$\phi_F=-0.35\text{V}$，$V_{SB}=0.8\text{V}$，求γ。

答案：$\gamma=0.232\text{V}^{1/2}$

92

自测3-12

若$V_{t0}=0.5\text{V}$，$V_t=0.675\text{V}$，$N_A=8\times10^{18}\text{cm}^{-3}$，$\phi_F=-0.35\text{V}$，$V_{SB}=0.8\text{V}$：

(a) C_{ox}是多少？

(b) T_{ox}是多少埃(Å)？

答案：(a) $C_{ox}=2.088\times10^{-6}\text{F/cm}^2$。(b) $T_{ox}=16.5\text{Å}$

3.7 小结

通过本章的大量习题，读者应能举一反三地掌握晶体管-电阻电路的分析方法。工程师在设计、调试和检测CMOS集成电路时通常直观地思考这些概念。体效应是一个重要

的知识扩展，读者需要认真理解。第 5 章将把 nMOS 晶体管与 pMOS 晶体管结合起来，形成最基本的逻辑门——反相器。

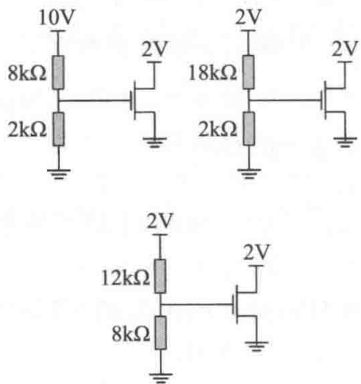
参考文献

[1] D. Neamen, *Semiconductor Physics and Devices: Basic Principles*, 4th Edition, McGraw-Hill 2011.

习题

nMOSFET 偏置与电流-电压分析

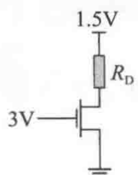
3-1 对于以下三个电路，(a) 确定晶体管偏置状态，(b) 正确写出电流模型的方程，(c) 计算 I_D，其中 $W/L=2$，$V_{tn}=0.4\text{V}$，$K_n=200\mu\text{A/V}^2$。



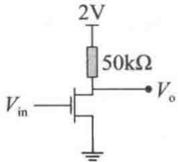
3-2 已知 $K_n=200\mu\text{A/V}^2$，$W/L=4$，$V_{tn}=0.5\text{V}$，$V_D=0.8\text{V}$，求：

(a) 漏极电流 I_D。

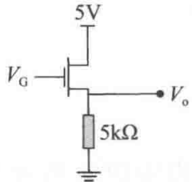
(b) 满足上述约束条件的 R_D。



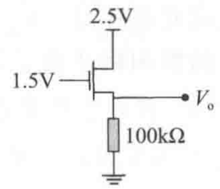
3-3 下方电路中的晶体管参数是 $K_n=75\mu\text{A/V}^2$，$W/L=4$。若 $V_o=1.2\text{V}$，则 V_{in} 是多少？



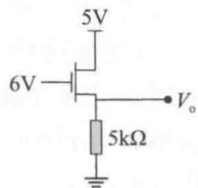
3-4 若 $V_{tn}=0.8\text{V}$，$K_n=100\mu\text{A/V}^2$，$W/L=4$，计算 V_G，使得 $I_D=200\mu\text{A}$。



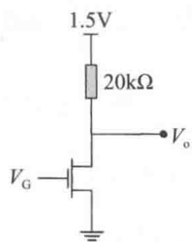
3-5 已知 $W/L=3$，$V_{tn}=0.6\text{V}$，$K_n=75\mu\text{A/V}^2$，计算 V_o 和 I_D。



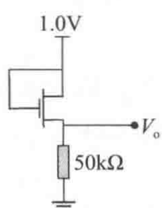
3-6 已知 $V_{tn}=0.8\text{V}$，$K_n=200\mu\text{A/V}^2$，$W/L=4$，计算 V_o。



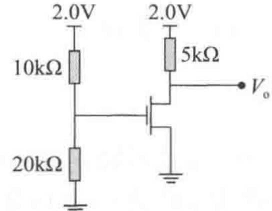
3-7 已知 $W/L=2$，$V_{tn}=0.4\text{V}$，$K_n=80\mu\text{A/V}^2$，则 V_G 为何值时将使 $I_D=50\mu\text{A}$？



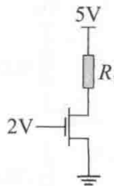
3-8 已知 $W/L=5$，$V_{tn}=0.25\text{V}$，$K_n=110\mu\text{A/V}^2$，求 V_o 和 I_D。



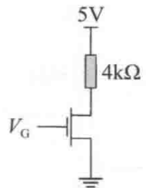
3-9 已知 $W/L=20$，$V_{tn}=0.5\text{V}$，$K_n=120\mu\text{A/V}^2$，求 V_o 和 I_D。



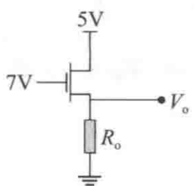
3-10 已知 $K_n=250\mu A/V^2$，$V_{tn}=0.5V$，$W/L=3$，求 R_1 的阻值，使得晶体管处在饱和区与非饱和区的边界。



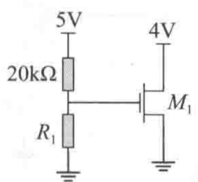
3-11 已知 $K_n=250\mu A/V^2$，$V_{tn}=0.5V$，$W/L=3$，则 V_G 为何值将使晶体管处在饱和区与非饱和区的边界？



3-12 已知 $K_n=300\mu A/V^2$，$V_{tn}=0.7V$，$W/L=2$，计算 R_o 使得 $V_o=2.5V$。



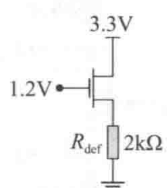
3-13 调整 R_1 使得晶体管 M_1 处于饱和区与非饱和区的边界，其中 $V_{tn}=0.5V$。



3-14 晶体管处于饱和区时，漏极会发射光线：

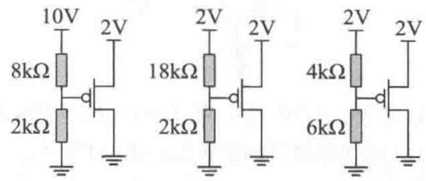
(a) 说明这种实用的失效分析技术是否适用于如下电路，其中，$V_{tn}=0.6V$，$K_n=75\mu A/V^2$，$W/L=2$。R_{def} 是一个阻性缺陷。

(b) 求 I_D、V_{GS} 以及 V_{DS}。

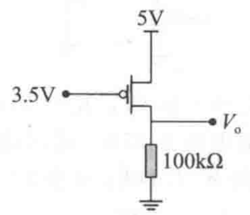


pMOSFET 偏置与电流-电压分析

3-15 对于以下三个电路，(a) 确定晶体管偏置状态，(b) 正确写出电流模型的方程，(c) 计算 I_D，其中，$V_{tp}=-0.4V$，$W/L=4$，$K_p=100\mu A/V^2$。pMOS 晶体管的源极电压高于漏极。

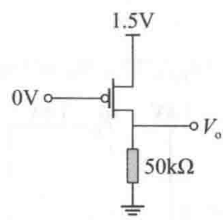


3-16 已知 $V_{tp}=-0.8V$，$K_p=30\mu A/V^2$，$W/L=2$，求 I_D 和 V_o。

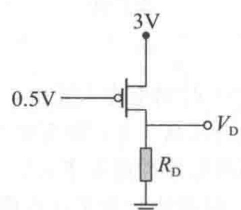


3-17 令 $V_G=1.5V$，重做习题 3-16。

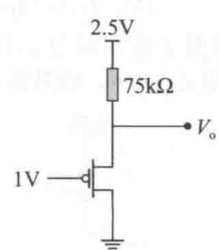
3-18 已知 $W/L=5$，$V_{tp}=-0.4V$，$K_p=50\mu A/V^2$，求 V_o 与 I_D。



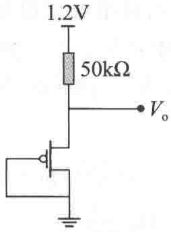
3-19 已知 $K_p=25\mu A/V^2$，$V_{tp}=-0.8V$，$W/L=3$，则 R_D 为多少时将使 $V_D=1.5V$？



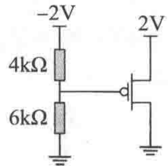
3-20 已知 $W/L=20$，$V_{tp}=-0.6V$，$K_p=30\mu A/V^2$，求 V_o 与 I_D。



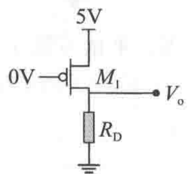
3-21 已知 $W/L=6$，$V_{tp}=-0.3V$，$K_p=40\mu A/V^2$，求 V_o 与 I_D。



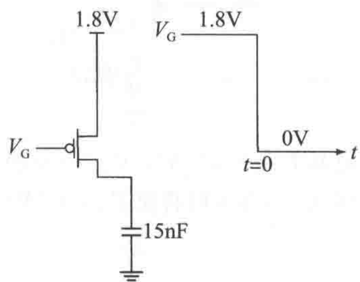
3-22 已知 $V_{tp}=-0.4\text{V}$，$W/L=4$，$K_p=100\mu\text{A/V}^2$，(a) 给出晶体管偏置状态，(b) 计算 I_D。



3-23 已知 $V_{tp}=-0.8\text{V}$，$K_p=75\mu\text{A/V}^2$，若要求 M_1 通电流 0.25A，且保持 $V_{SD}<0.2\text{V}$，则所需的 W/L 和 R_D 是多少？



3-24 已知 $K_p=40\mu\text{A/V}^2$，$V_{tp}=-0.4\text{V}$，$W/L=5$

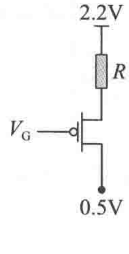


(a) 在 $t=0$ 时刻电容未充电，在 $t=0^+$ 时刻栅极电压从 1.8V 跳变至 0V，则 $t=0^+$ 时刻的电流冲激是多大？

(b) $t=\infty$ 时晶体管处于什么偏置状态？

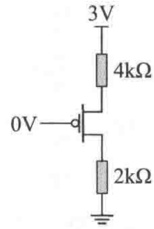
(c) 电荷移动造成了多少能量消耗？热量消耗在哪里发生？

3-25 已知 $V_{tp}=-0.4\text{V}$，$K_p=50\mu\text{A/V}^2$，$W/L=8$，晶体管处于饱和区与非饱和区的边界，电阻的功率是 $10\mu\text{W}$，则阻值 R 是多少？

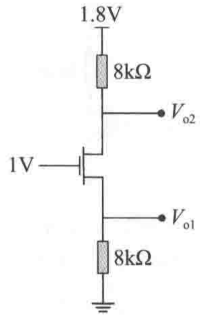


双电阻 MOSFET 电路

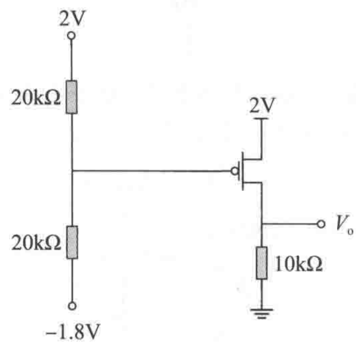
3-26 已知 $V_{tp}=-0.6\text{V}$，$K_p=75\mu\text{A/V}^2$，$W/L=5$，(a) 求源极电压 V_S，(b) 求漏极电压。



3-27 已知 $W/L=4$，$V_{tn}=0.4\text{V}$，$K_n=95\mu\text{A/V}^2$，求 V_{o1}、V_{o2} 和 I_D。



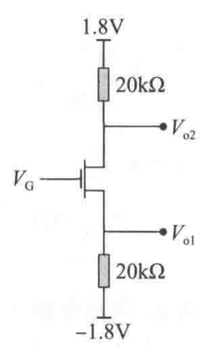
3-28 已知 $W/L=8$，$V_{tp}=-0.5\text{V}$，$K_p=43\mu\text{A/V}^2$，求 V_o 和 I_D。



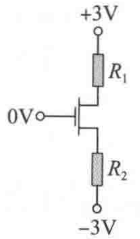
3-29 已知 $W/L=4$，$V_{tn}=0.4\text{V}$，$K_n=95\mu\text{A/V}^2$，计算如下条件下的 V_{o1}、V_{o2} 和 I_D：

(a) $V_G=+0.5\text{V}$

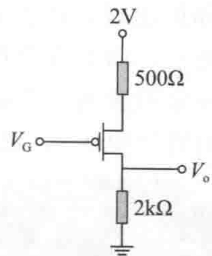
(b) $V_G=-0.3\text{V}$



3-30 已知 $R_1=R_2$，$W/L=3$，$V_{tn}=0.6V$，$K_n=200\mu A/V^2$，求电阻的阻值，使得 $V_D=1V$ 而 $V_S=-1V$。



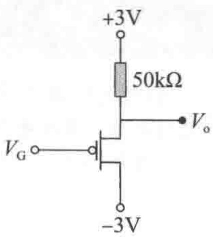
3-31 已知 $V_{tp}=-0.5V$，$W/L=5$，$K_p=50\mu A/V^2$，设计 V_G 的取值，使得 $V_o=0.3V$。



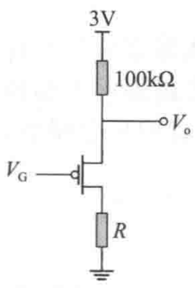
3-32 已知 $V_{tp}=-0.6V$，$K_p=75\mu A/V^2$，$W/L=4$

(a) 求栅极电压为多少时晶体管处于饱和区与非饱和区的边界，并计算 V_o。

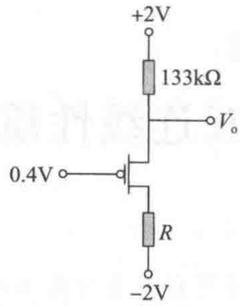
(b) 计算漏极电流。



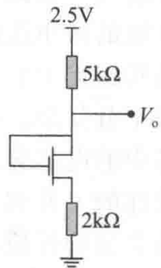
3-33 已知 $V_{tp}=-0.6V$，$K_p=50\mu A/V^2$，$W/L=3$，且 $V_D=0.8V$，若 $V_o=1.2V$，求 R 和 V_G。



3-34 已知 $V_{tp}=-0.6V$，$K_p=50\mu A/V^2$，$W/L=3$，且 $V_D=0.8V$，则 R 是多少？

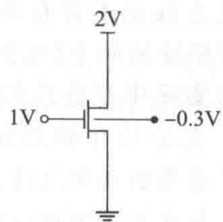


3-35 若 $K_n=90\mu A/V^2$，$V_{tn}=0.5V$，$W/L=10$，求 I_D 和 V_o。



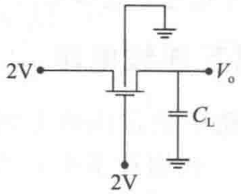
体效应与阈值电压

3-36 nMOSFET 参数：$V_{tn0}=0.5V$，$K_n=200\mu A/V^2$，$\phi_F=0.35V$，$W/L=3$，体效应常数 $\gamma=0.1V^{1/2}$。体相对于源极的电压是 $-0.3V$，计算 I_D。



3-37 一个 nMOSFET 的阈值电压理论值为 0.60V，测量值为 0.62V，怀疑是寄生的源极-衬底电压导致了阈值电压的上升。已知 $\gamma=0.4V^{1/2}$，$\phi_F=-0.35V$，则此机制下的 V_{BS} 是多少？

3-38 已知 $V_{t0}=0.6V$，$\gamma=0.25V^{1/2}$，$\phi_F=-0.35V$，计算 V_o。



93 ~ 98

第4章
金属互连线性质

未来的计算机重量可能不超过1.5t。

——Popular Mechanics(1949)

金属线连接逻辑门和晶体管的各端，我们需要认真研究其特性。由于纳米(nm)数量级的尺寸、纳米级的微小线间距、逻辑脉冲更短的上升和下降时间、超过150℃的工作热点以及金属线总长接近10mile(1mile=1609.344m)的集成电路的出现，过去简单的互连线技术如今已变得十分复杂。在集成电路中，晶体管位于硅衬底上，而上方会堆叠多层金属互连线。电源环中的电流脉冲可以高达几个安培，因此金属线电阻成为一个必须考虑的因素。逻辑脉冲快速的上升和下降，又向设计中引入不可忽视的寄生电容和电感。显然，我们必须更加了解金属的性质。

图4-1所示的是一个微处理器集成电路较低两层金属结构的倾斜放大图。较宽的金属线是电源线和地线(GND)，电源线之间的较细金属线是信号线，它们将下层的晶体管结构相连。本章的重点就是这些信号线和电源线的*RLC*性质。

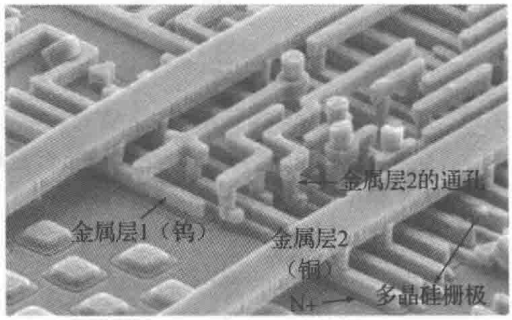


图4-1 一个微处理器的底层金属层

注：显示了连接栅极、漏极或源极的脊状接触孔以及柱状通孔(经Chipworks许可转载)。

理想的互连线是不含有寄生*RLC*电特性的导线，应保证相连的两个(或多个)电路结点的电压相同。然而实际中互连线的*RLC*性质并不理想。事实上，无论是在静态还是在动态工作阶段，一个电子系统的两个互连金属线结点电压不总是相等的。互连线的容性或感性耦合还可能传播噪声。

集成电路中的另外两种导电材料是多晶硅和扩散区，多晶硅在栅极区运输电子，而扩散区构成源极和漏极。这两种导电区域也非常重要，然而对信号传输质量影响最大的是金属线。

多年来，晶体管理论一直占电子学的主导地位，而互连线通常被当作理想元件。负载电容尽管没有被忽略，但是使用的是较为简单的模型。我们之前强调了晶体管原理及其电流-电压模型，现在我们需要将互连线的基本性质纳入考量。我们从金属的物理性质入手，然后讲解用于描述互连线效应的最常用的电路模型。

4.1 金属互连线电阻

集成电路中最常用的金属是铜(Cu)和铝(Al)，不过铜和铝还需要多种重要的辅助金属的支持。在铜技术中，钨(W)被用作接触孔(contact)以及第一层金属材料。接触孔是一种纵向金属结构，它将晶体管的半导体栅极、漏极以及源极与第一层金属相连。铝系统中，钨被用作上层通孔(via)连接堆叠的水平金属层，而铜技术中的上层通孔材料就是铜本身。铜技术和铝技术都需要使用阻挡金属将金属区域封闭起来，这些金属材料包括钽(Ta)、氮化钽(TaN)、磷化钴钨(CoWP)等，它们的保护作用将在后文

介绍。

对于电流尖峰快速跳变的集成电路而言，金属电阻是一个关键参数。某些电源和地线中的瞬时电流可以超过 100A。V_{DD}线上的欧姆压降以及 GND 线上的的欧姆压升将显著降低晶体管的有效驱动电压。图 4-2a 展示了一个没有寄生电阻的互连线系统，因而电压不会改变。理想情况下，V_{DD}线上的各结点电压相等，GND 线同理。

图 4-2b 展示了一个含有寄生电阻的网络，其结点电压受到了电阻的影响。刚离开电源处的电压比结点 1 和结点 3 处的电压要高。由于局部导线电阻的影响，逻辑门输入端的电压可能更低。GND 电流将会抬升集成电路地结点的电压。由于 GND 电流通路上存在寄生电阻，结点 2 和结点 4 的电压将会高于 0V，传播到逻辑门的 V_{DD}和 GND 的电势差因而减小。集成电路可能出现瞬时速度变慢，这种现象称作“欠压”或“掉电”(brownout)。

99 ~ 100

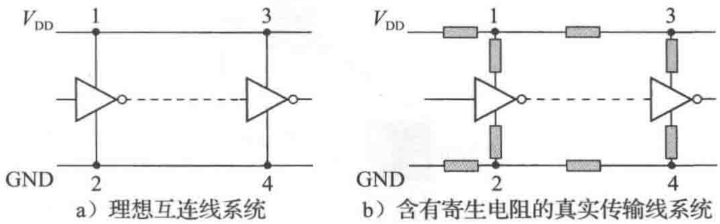


图 4-2　电源线上的电压变化将影响预期的 V_{DD}和 GND 电势

电阻衡量电子通过一种材料的难易程度，它取决于材料的横截面积、长度、温度以及物理特性“电阻率”(resistivity)。电阻率 ρ 的定义为

$$R = \rho \frac{l}{wt} \tag{4-1}$$

式中：R 是金属电阻(Ω)；l 是材料的长度；w 是材料的宽度；t 是材料的厚度。ρ 的单位是 Ω·m，不过对金属来说，更常用的单位是 μΩ·cm，其中 l、w 和 t 的单位是 cm。材料的长、宽、高尺寸如下图所示。

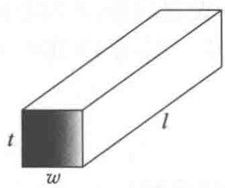


表 4-1 给出了几种金属的电阻率(ρ)和电阻率热系数(thermal coefficient of resistivity: α(TCR))。这些值适用于纯金属，引自《CRC Press Handbook of Chemistry and Physics, 91Ed》。通过网络可以更快地查到这些物理常数。

表 4-1　20℃ 下的金属电阻率以及电阻率热系数(TCR)

元素	电阻率 ρ/(μΩ·cm)	α(TCR)/℃$^{-1}$
W	5.60	4.50×10^{-3}
Al	2.82	3.90×10^{-3}
Au	2.44	3.40×10^{-3}
Cu	1.72	3.93×10^{-3}
Ag	1.59	3.80×10^{-3}

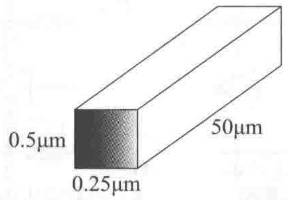
近年来，铝技术成为集成电路的最常用技术，其中钨被用作连接金属层的通孔材料。

铜技术于2000年前后被引入，它的电阻率更低，并且制造成本更低，因此引发了互连线系统从铝/钨技术向铜技术的转变。如今两种金属都还活跃在集成电路业界中。

铜技术使用钨作为第一层金属以及接触孔的材料。钨接触孔以及首层钨金属将上层的铜结构与晶体管环境隔离开来。铜在电介质和硅材料中的扩散很快，如果铜扩散到沟道或漏-源区，即使晶体管功能没有完全作废，性能也会大大降低。钨的电阻率相对较高，然而我们可以限制首层金属中的钨信号线的长度，从而控制信号延迟。

银(Ag)的电阻率最低，本应是集成电路互连线的理想金属材料，不过它在CMOS工艺中极易发生反应，并且成本更高。金(Au)被用于作为某些印制电路板(PCB)的互连线(traces)材料，因为它在各种恶劣环境下几乎都不会被化学试剂腐蚀。

例 4-1 一根金属线的尺寸如图所示。假设导线是由(a)铝、(b)铜、(c)钨制成的，比较其电阻。



解：

(a) $R_{Al}=2.82\mu\Omega\cdot\text{cm}\times\frac{50\mu\text{m}}{0.25\mu\text{m}\times0.5\mu\text{m}}\times\frac{10^4\mu\text{m}}{\text{cm}}=11.28\Omega$

(b) $R_{Cu}=1.72\mu\Omega\cdot\text{cm}\times\frac{50\mu\text{m}}{0.25\mu\text{m}\times0.5\mu\text{m}}\times\frac{10^4\mu\text{m}}{\text{cm}}=6.88\Omega$

(c) $R_{W}=5.60\mu\Omega\cdot\text{cm}\times\frac{50\mu\text{m}}{0.25\mu\text{m}\times0.5\mu\text{m}}\times\frac{10^4\mu\text{m}}{\text{cm}}=22.40\Omega$ ◀

101 ~ 102

表4-1中的电阻率是用相对较大的纯金属块测得的，然而集成电路中的金属线是很小很薄的一层膜，其电阻率会上升。当铝与少量的铜形成合金时，其电阻率通常会升高至3.3μΩ·cm。同样地，铜的尺寸减小或制造铜线的电镀液中掺有杂质，也会导致铜的电阻率升高至1.9μΩ·cm以上。在后文中，除非特别声明，否则我们都使用表4-1中给出的材料电阻率。

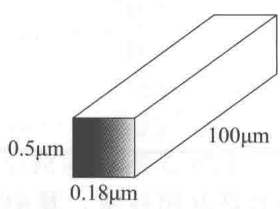
4.1.1 电阻和热效应

表4-1给出了某些金属的电阻率热系数(α)。现代集成电路可以在100℃以上的环境下正常工作，其中芯片热点的温度可能接近150℃，随着导线电阻的增大，这些热点可能影响时序的准确性和可靠性。由于导线的RC时间常数是变化的，因此设计者必须要推断互连线电阻的可能取值。电阻随温度变化而变化的规律是：

$$R(T)=R_0(1+\alpha(T-T_0)) \tag{4-2}$$

式中：R_0是参考温度T_0下的阻值，参考温度一般取20℃。

例 4-2 计算图中铜线在20℃和125℃时的电阻。



解：20℃时，

$$R = 1.72\mu\Omega\cdot\text{cm}\times\frac{100\mu\text{m}}{0.18\mu\text{m}\times 0.5\mu\text{m}}\times\frac{10^4\mu\text{m}}{\text{cm}} = 19.11\Omega$$

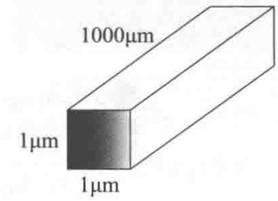
125℃时，

$$R(125℃) = 19.11\times[1+(3.93\times10^{-3})\times(125-20)]\Omega = 27.0\Omega$$

导线电阻增大了 37%。◀

自测 4-1

如图所示一段铜金属线。温度为多少时电阻是 20Ω？



答案：T=61.42℃

103

自测 4-2

假设铜线和铝线的尺寸相同。当温度为多少时它们的电阻也相同？

答案：T=−239℃

自测 4-3

一金属线在 20℃下的电阻是 10Ω。若金属线的温度敏感度是 39.3mΩ/℃，确定该金属元素。

答案：铜。

4.1.2　薄膜电阻

工程师在计算互连线电阻时往往选择一种简便的方法。金属层的厚度是一个常数 t，尽管不同层的金属厚度可能不相同，不过对于给定的一层金属，其厚度是均匀的，因此我们可以使用一种简便方法计算互连线电阻。我们将式(4-1)改写成：

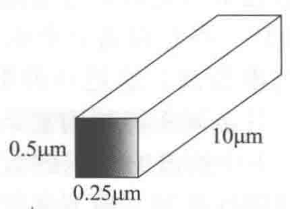
$$R = \rho\frac{l}{wt} = \left(\frac{\rho}{t}\right)\frac{l}{w} = R_{\text{sheet}}\frac{l}{w} \tag{4-3}$$

式中：$\left(\frac{\rho}{t}\right)$对于给定的金属层是一个常数，它定义了薄膜电阻 R_{sheet}：

$$R_{\text{sheet}} = \frac{\rho}{t} \tag{4-4}$$

l/w 是导线中正方形的个数。由于薄膜电阻对于每层金属而言是一个常数，因此可以借助计算机程序轻松读取金属线尺寸，并转换成电阻。薄膜电阻的方法还有助于口算。例 4-3展示了薄膜电阻的计算方法。

例 4-3 若线是铜制的，利用 20℃时的薄膜电阻计算导线电阻。



104

解：薄膜电阻为

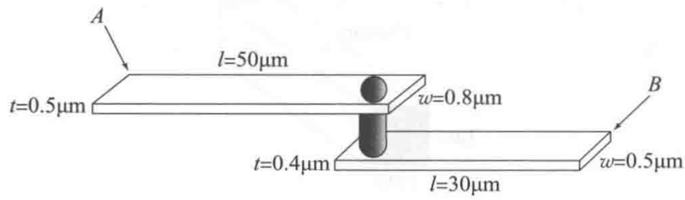
$$R_{square}=\frac{\rho}{t}=\frac{1.72\mu\Omega\cdot cm}{0.5\mu m}\times\frac{10^4\mu m}{cm}=\frac{34.4m\Omega}{square}$$

正方形的总个数为 $l/w=10\mu m/0.25\mu m=40$ 个。因此总电阻为

$$R=34.4m\Omega\times 40=1.376\Omega$$

使用式(4-1)可以得到相同的结果，但是需要多处理一个常数。◀

例 4-4 $T=20$℃，一个通孔连接两层铝金属。忽略通孔电阻，计算结点 A 到结点 B 的电阻(R_{AB})。铝线的电阻率是 3.3μΩ·cm。使用薄膜电阻方法。注意下图没有按照比例画。



薄膜电阻为

$$R_{Asquare}=\frac{3.3\mu\Omega\cdot cm}{0.5\mu m\times\frac{10^{-4}cm}{\mu m}}=66\ \frac{m\Omega}{square}$$

$$R_{Bsquare}=\frac{3.3\mu\Omega\cdot cm}{0.4\mu m\times\frac{10^{-4}cm}{\mu m}}=82.5\ \frac{m\Omega}{square}$$

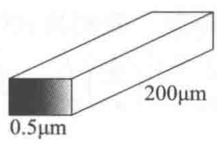
$$R_{AB}=R_A+R_B$$

$$R_{AB}=66m\Omega\times\frac{50\mu m}{0.8\mu m}+82.5m\Omega\times\frac{30\mu m}{0.5\mu m}$$

105

$$R_{AB}=4.125\Omega+4.95\Omega=9.075\Omega$$ ◀

例 4-5 若薄膜电阻为 $R_{sheet}=60m\Omega$/正方形，口算导线电阻。



解：共有 400 个正方形，因此 $R=24\Omega$。◀

4.1.3 通孔电阻

根据逻辑门数目的不同，一个典型的集成电路可能含有 4 到 10 层水平的金属层。层数如此众多的原因是，我们需要在很小的面积上将很多的晶体管互连起来。单一金属层的横向面积不够大，无法容纳这么多互连线。

通孔是垂直的小圆柱形金属，它将两个互连金属层连接起来(图 4-3)。大型的集成电路含有数十亿个通孔，通孔电阻通常与逻辑信号通路成串联关系。因此，通孔电阻会直接影响 RC 时间常数。我们将计算一些好的通孔电阻，从而对常规的通孔电阻有一个概念。通孔的结构缺陷可导致其电阻提高，这是一种常见并且重要的可靠性失效机制。考虑到通孔数量众多、尺寸微小，且金属系统结构复杂，因此通孔电阻是一个关键的可靠性问题。铜的电阻率可能与表 4-1 中给出的整铜的数值不同，因为铜电镀液中含有杂质，并且铜线的小尺寸将带来其他阻性机制。接下来的例题将解释通孔电阻与几何尺寸的关系。

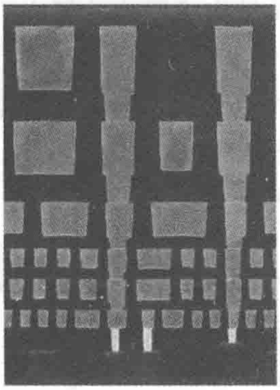


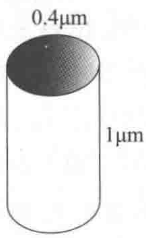
图 4-3 集成电路(IC)结构的横截面

注：其中展示了五个竖直排列的通孔以及最底部与晶体管相连的接触孔(白色部分)；矩形的结构是互连线的横截面。与底部的晶体管越近，通孔的尺寸越小(经LSI公司许可转载)。

例 4-6 一个钨通孔的直径是 0.4μm，高 1μm，电阻率 $\rho_W=5.6\mu\Omega\cdot cm$，计算通孔电阻。

解：

$$R_{via}=\rho\frac{l}{A}=\rho_W\frac{h}{\pi r^2}=5.6\mu\Omega\cdot cm\times\frac{1\mu m}{\pi\times0.2^2\ \mu m^2}\times\frac{10^4\mu m}{cm}=445.6m\Omega$$



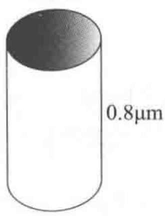
自测 4-4

若改用铜技术，铜电阻率为 $\rho_{Cu}=1.9\mu\Omega\cdot cm$，重做例 4-6，计算通孔电阻。

答案： $R_{via}=151.2m\Omega$。注意，铜通孔的电阻特性更优。

自测 4-5

计算铜技术中的通孔电阻，其中铜电阻率是 $\rho_{Cu}=2.4\mu\Omega\cdot cm$，直径 $D=100nm$，高 $h=0.8\mu m$。



答案： $R_{via}=2.44\Omega$

106
~
107

铜线的底面和侧面有一层很薄的阻挡金属衬层(图 4-4 中的黑线)，衬层的材料通常是氮化钽(TaN)或氮化钛(TiN)。阻挡层的厚度小于 200Å，它能够防止铜扩散穿过氧化物介质，保护晶体管不受污染。此外，若铜线中出现了开路缺陷，阻挡金属也可以作为保护性地分流通路，从而降低铜线开路的风险，不过其缺点在于，阻挡金属的电阻率可能在铜的百倍数量级。新型的技术又在铜结构的上表面覆盖了 CoWP。材料的复杂性正

在不断提高，每种结构都对信号质量构成影响。例4-7展示了阻挡金属对铜线整体电阻的影响。

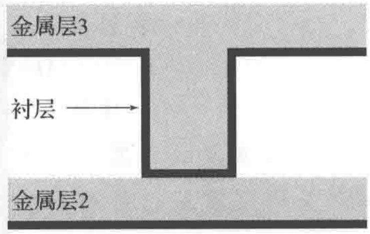


图4-4　互连线的横截面

注：其中展示了两层铜结构、一个铜通孔以及保护性的阻挡金属衬层(黑线)；金属线水平地布在沟槽中，周围被金属间电介质包围。

例4-7 一个铜线沟槽长10μm，宽0.18μm，厚0.5μm，其中填充了阻挡金属并镀铜。铜电阻率是1.9μΩ·cm，阻挡金属是TaN，它的电阻率是$\rho_{TaN}=200\mu\Omega\cdot cm$。阻挡金属的厚度是200Å(也即20nm=0.02μm)。计算包含阻挡金属在内的导线电阻。注意，阻挡金属覆盖在铜的两个侧面以及底面上。

解： 先计算铜电阻，再计算Ta材料的电阻，将二者并联。

$$R_{Cu}=1.9\mu\Omega\cdot cm\left[\frac{10\mu m}{[0.18-2\times0.02]\times(0.5-0.02)\ \mu m^2}\right]\frac{10^4\ \mu m}{cm}=2.827\Omega$$

TaN有两个侧面，每个侧面的电阻为

108

$$R_{TaN(side)}=200\mu\Omega\cdot cm\left[\frac{10\mu m}{0.02\times0.5\ \mu m^2}\right]\frac{10^4\ \mu m}{cm}=2k\Omega$$

TaN底面的电阻是

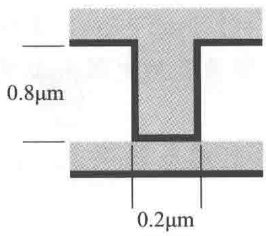
$$R_{TaN(bottom)}=200\mu\Omega\cdot cm\left[\frac{10\mu m}{0.02\times(0.18-2\times0.02)\ \mu m^2}\right]\frac{10^4\ \mu m}{cm}=7.143k\Omega$$

Ta是作为并联通路影响导线电阻的。等效TaN电阻是

$$R_{TaN}=2k\Omega\ /\!/\ 2k\Omega\ /\!/\ 7.143k\Omega=877.2\Omega$$

整体电阻是$R_{Cu}/\!/R_{TaN}=2.827\Omega/\!/877.2\Omega=2.818\Omega$ ◀

例4-8 计算Cu/TaN结构的圆柱形通孔的整体电阻。铜电阻率是1.72μΩ·cm，阻挡金属是TaN，其电阻率是$\rho_{TaN}=200\mu\Omega\cdot cm$，阻挡金属厚度是100Å(0.01μm)。



解：

$$R_{TaN(bottom)}=200\mu\Omega\cdot cm\left[\frac{0.01\mu m}{\pi\times\left(\frac{0.20\mu m}{2}\right)^2}\right]\frac{10^4\mu m}{cm}=0.6366\Omega$$

$$R_{TaN(sleeve)}=200\mu\Omega\cdot cm\left[\frac{0.8\mu m-0.01\mu m}{\pi\times\left[\left(\frac{0.2}{2}\right)^2-\left(\frac{0.18}{2}\right)^2\right]\mu m^2}\right]\frac{10^4\mu m}{cm}=264.7\Omega$$

$$R_{Cu}=1.72\mu\Omega\cdot cm\left[\frac{0.8\mu m-0.01\mu m}{\pi\times\left(\frac{0.18}{2}\right)^2\ \mu m^2}\right]\frac{10^4\mu m}{cm}=0.534\Omega$$

$$R_{via}=R_{bottom}+R_{sleeve}\ /\!/\ R_{Cu}$$

109

$$R_{via}=0.6366\Omega+264.7\Omega\ /\!/\ 0.534\Omega=1.17\Omega$$

自测 4-6

一个铜通孔的蚀刻孔直径为 0.4μm，高为 1μm，阻挡金属是 TaN，其电阻率为 200$\mu\Omega \cdot$cm。阻挡金属覆盖了通孔的侧面和底面。如果 TaN 墙的厚度是通孔直径的 10%，则通孔电阻是多少？

答案： 841mΩ

自测 4-7

由于制造的错误，芯片可能产生通孔“丢失”的现象。以自测题 4-6 为例，若一个铜通孔丢失，1mA 的电流全部由 TaN 阻挡层承载，则：

(a) 该结构消耗的功率是多少？计算 TaN 筒的面积。

(b) 计算 TaN 筒的功率密度，以 W/cm^2 为单位。忽略 TaN 的底面。

答案： (a) 43.08μW。(b) 1.905kW/cm^2，功率密度很大，若出现通孔丢失，很可能造成集成电路的损坏。

4.2 电容

4.2.1 平行板模型

平行板电容模型是

$$C = \varepsilon_r \varepsilon_0 \left(\frac{A}{d}\right) \tag{4-5}$$

式中：ε_r 是绝缘层的相对介电常数；ε_0 是自由空间的介电常数($\varepsilon_0 = 8.854 \times 10^{-12}$F/m)；$A$ 是构成电容器的平行板面积；d 是两个平行板之间的介电距离。介电常数表示的是分子受电场极化并削弱材料内部电场的能力。

表 4-2 给出了 CMOS 工艺中使用的几种不同绝缘层的相对介电常数。使用相对介电常数可以方便地将不同的电介质进行比较。尽管SiO_2 的介电常数 $\varepsilon_r = 3.9$ 相对较高，但它始终是集成电路中最常用的电介质。我们希望材料的介电常数较低，以减小互连线的 RC 时间常数，并降低金属线之间的串扰电容耦合。低于 3.0 的介电常数称作“低 k”。低 k 电介质是制造工艺的一大挑战，因为这些材料疏松多孔，力学强度和热循环性能较弱。有些低 k 电介质是 SiO_2 的衍生物，它在 Si 的其中一个键上挂上不同的化学基团。近期一些实验在金属之间形成真空气隙，但是其制造难度很高。

表 4-2 CMOS 技术中使用的一些互连线绝缘层的相对介电常数 ε_r

材料	ε_r
SiO_2	3.9
SiOF	3.6
SiOC	2.9
P-MSQ	2.3
纳米多孔电介质(干凝胶)	1.2～2.2
真空	1.0

例 4-9 一条金属线长为 100μm，宽为 1.0μm，SiO_2 的有效介电间隔为 0.25μm，则它与地板形成的总电容是多少？

解：

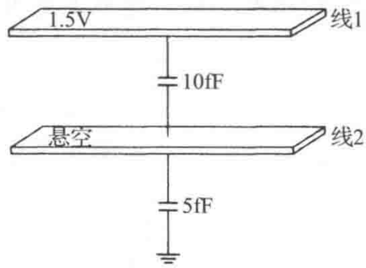
$$C = \varepsilon_r \varepsilon_0 \frac{A}{d} = 3.9 \times 8.854 \times 10^{-12}\ \frac{\text{F}}{\text{m}} \times \frac{100\mu\text{m} \times 1.0\mu\text{m}}{0.25\mu\text{m}} \times \frac{10^{-6}\,\text{m}}{\mu\text{m}}\text{F} = 13.81\text{fF}$$

电容是晶体管结点之间或互连线金属之间产生的一种寄生元件。晶体管和金属线电容的存在造成晶体管通断状态切换的延时以及逻辑门之间的传输延时。在高速电路中，电容还引入一种噪声，称作“串扰”(cross-talk)，它造成一条金属线上的电压与另一条邻近的金属线上的电压耦合。当一条金属线上的电压发生跳变时，另一条金属线上将流入或流出 $i=C\mathrm{d}v/\mathrm{d}t$ 的电流。根据信号跳变的极性不同，这可能导致波形加快或减慢。 ◀

例 4-10 考虑如图所示的静态情形，其中线 1 电压 1.5V，线 2 悬空。则线 2 上产生的电压是多少？

解：

$$V_2=\frac{10}{10+5}1.5\mathrm{V}=1.0\mathrm{V}$$



◀

110 ~ 111

自测 4-8

铜互连线每个正方形的 $R_{\mathrm{sheet}}=19\mu\Omega$，厚度为 1.0$\mu$m，长度为 200$\mu$m，宽度为 0.13$\mu$m，有效介电间隔为 0.15$\mu$m，则：

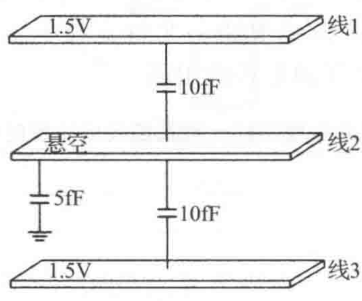
(a) 介电常数为多少时，金属线电容为 3.3fF?

(b) 金属线的 RC 时间常数是多少？

答案： (a) $\varepsilon_r=2.15$。(b) $RC=96.5\mathrm{as}(1\mathrm{as}=10^{-18}\mathrm{s})$。

自测 4-9

线 2 上产生的电压是多少？



答案： $V_2=1.2\mathrm{V}$

自测 4-10

SiOF 电介质将金属互连线隔离。一条长时钟线长 $l=2\mathrm{mm}$，宽 $w=2\mu\mathrm{m}$，厚 $t=1\mu\mathrm{m}$。若时钟线与 V_{DD} 线和 GND 线的距离是 1.2μm，则总的导线电容是多少？

答案： $C_{\mathrm{total}}=212.5\mathrm{fF}$

4.2.2 电容功率

第 1 章推导出了电容充放电的功耗以及驱动电路产生的热量。这对集成电路设计非常重要。故这里给出两道自测题作为复习。

112

自测 4-11

一个“与非”门每个时钟周期逻辑翻转一次。“与非”门的负载电容是 100fF，$V_{DD}=1.2V$。

(a) 电容充电所需要的能量是多少？

(b) 若逻辑门以 2GHz 的频率翻转，则其负载电容充电或放电的功耗是多少？

(c) 如果一个集成电路含有 500k 个逻辑门，都在每个时钟周期翻转一次，则集成电路的产热是多少？

答案：(a) $W=72fJ$。(b) $P=144\mu W$。(c) $P=72W$

自测 4-12

低功耗集成电路设计的功耗不能超过 $100\mu W$。某组合逻辑的等效负载电容是 100pF，时钟逻辑电路的等效负载电容是 500pF。若 $V_{DD}=1.5V$，则最高时钟频率是多少？

答案：$f_{clk}=80.81MHz$

4.3 电感

4.3.1 电感电压

当导电金属线结构连接到电源时，电流在导体周围形成磁场，就产生了电感。电感器既可以是一根直导线，也可以是一个线圈。电感是电感器中的电流变化和它产生的磁通量之间的比例常数。电感的单位是亨利(H)，在集成电路中通常使用皮亨($1pH=10^{-12}H$)。集成电路金属线的直线寄生电感是高速电路中的重要控制参数。

图 4-5 展示了一个时变电压源驱动一个电阻电感网络。电感的电压-电流关系(v_L，i_L)是由法拉第(Faraday)定律得出的：

$$v_L(t) = L\frac{di}{dt} \tag{4-6}$$

它的积分形式是：

$$i_L(t) = \frac{1}{L}\int_0^t v_L(t')dt'$$

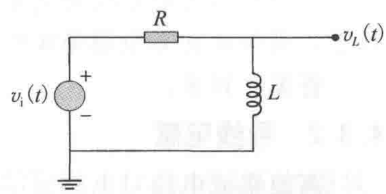


图 4-5　时变电压源驱动电阻电感网络

这与集成电路的关系体现在哪里？现代集成电路中的 di/dt 测量值可达 $10^{10}A/s$。这给集成电路设计敲响了警钟，因为即使很小的导线电感也可能产生很大的电感电压。

例 4-11 某集成电路金属互连线的电感是 200pH，当电流上升速率为 $10^9A/s$ 时，产生的电感电压是多少？

解：

$$v_L = L\frac{di}{dt} = 200\times10^{-12}\times10^9 V = 200mV$$

许多集成电路使用 1.0V 或更小的电源电压，200mV 的电感电压对于驱动逻辑电路的实际电压有严重的短暂削弱作用。◀

例 4-12 当电流上升速率是 $10^9A/s$，一个 200pH 的电感产生的电压是 200mV。对于相同的电流上升速率，若(a) 两个相同的电感并联，(b) 100 个相同的电感并联，则产生的电压是多少？

解：

(a) $L_{eq}=100pH$

因此　$v_L=L_{eq}\frac{di}{dt}=100\times10^{-12}\times10^9V=100mV$

(b) $L_{eq}=\frac{200\text{pH}}{100}=2\text{pH}$

因此 $$v_L=L_{eq}\frac{di}{dt}=2\text{pH}\times10^9=100\text{mV}$$

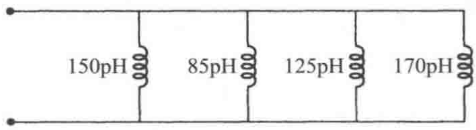
113 ~ 114

并联的 V_{DD} 和 GND 线是一种常见设计。通常每根信号线被一根 V_{DD} 线和一根 GND 线包围以减小电感。◀

例 4-13 已知 4 个电感并联，则等效电感是多少？

解：

$$L_{eq}=\frac{1}{\frac{1}{150}+\frac{1}{85}+\frac{1}{125}+\frac{1}{170}}\text{pH}=31\text{pH}$$



◀

自测 4-13

当电流变化率为 10^9 A/s 时，为了保持电感电压低于 100mV，则导线电感必须取多低？

答案： $L=100$pH

自测 4-14

一个电流源的电流变化率是 10^8 A/s，导线电感是 400pH。为了使电感电压降至 10mV 以下，需要并联多少根导线？

答案： 四根。

4.3.2 导线电感

高速集成电路对电感很敏感，因为其金属互连线几乎都是直线。一段高频直导线的电阻估计值为

$$L_{hi}=(2l)\left[\left(\ln\frac{2l}{r}\right)-1.0\right] \tag{4-7}$$

式中：l 是导线长度(cm)；r 是导线半径(cm)；L_{hi} 是高频电感(nH)。金属导体的横截面是矩形的，因此这里的 r 是等效半径[1]。

例 4-14 若导线长 50μm，等效半径为 0.5μm，则高频电感是多少？

解：

115

$$L_{hi}=2\times50\mu\text{m}\times10^{-4}\ \frac{\text{cm}}{\mu\text{m}}\times\left[\left(\ln\frac{2\times50}{0.5}-1.0\right)\right]\times10^{-9}\text{H}=43\text{pH}$$ ◀

自测 4-15

一条导线长为 10μm，等效半径 $r=100$nm，则电感是多少？

答案： 8.6pH

自测 4-16

一条直导线的电感必须小于 200pH，它的等效半径是 90nm，则导线的最大长度不能超过多少？

答案： 不能超过 141.7μm

4.3.3 电感功率

当电路中的电流减弱时，导线周围的磁场储存的能量会重新传回到电路中，而当电路

中通直流电时，磁场将能量储存起来。热量是在电路的电源中产生的，磁场储存能量而不产热。功率 p 和能量 W 的推导如下：

$$p = vi = L\left(\frac{\mathrm{d}i}{\mathrm{d}t}\right)i \tag{4-8}$$

$$p\mathrm{d}t = Li\,\mathrm{d}i \tag{4-9}$$

在周期 T 内积分，得到电流为 I 的恒流源所激发的磁场能量 W 为

$$W = \int_0^T p\mathrm{d}t = \int_0^I Li\,\mathrm{d}i \tag{4-10}$$

$$W = \frac{1}{2}LI^2 \tag{4-11}$$

当电流源关断时，磁场中的能量重新回到电路。放电能量同样也是 $W=(1/2)LI^2$。这是势能的存储和释放。对应的热量是在驱动电路中产生的，而不是电感中产生的。

例 4-15 集成电路中的一条导线电感为 20pH，其上的 1A 电流产生一个磁场。存储在磁场中的能量是多少？

$$W = \frac{1}{2}LI^2 = \frac{1}{2} \times 20\text{pH} \times 1\text{A} = 10\text{pW}$$

这个电感功率分析的例题说明：与电容充放电的功率相比，电感功率通常可以忽略。◀ 116

4.4 互连线 RC 模型

集成电路互连线模型取决于逻辑门特性、互连线长度，以及寄生参数。由于电容和电阻随线长增加而增大，因此线长会影响模型的选取。要准确模拟高速电路的长互连线，需要考虑 R、C、L 元件。我们只讨论 RC 导线模型。

4.4.1 短线的电容模型

短线的电容模型(C-model)是模拟逻辑门到逻辑门延时的一阶模型。MOSFET 的栅氧电阻很高，因而我们可以将 CMOS 逻辑门的负载效应模拟为一个电容器。一个反相器驱动另一个反相器(图 4-6)可以建模成第一个反相器驱动第二个反相器的等效输入阻抗(即一个集总的电容)。短线情形下的导线电阻和导线电容可以忽略。

第一个反相器的模型还可以进一步优化，将其看作一个电压源和一个内电阻 R，驱动一个电容为 C 的负载逻辑门(图 4-7)。

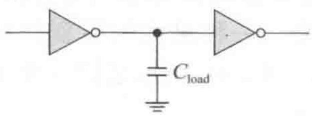


图 4-6 带有电容负载的反相器驱动器

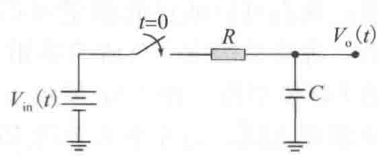


图 4-7 反相器驱动建模为 RC 元件

与电阻的情形一样，对电容应用基尔霍夫电流和电压定律。于是，当开关闭合时，KVL 在任何时候都成立：

$$v_{in} = v_R + v_C$$

KCL 指出电阻上的电流必须等于电容中的电流，即

$$\frac{v_R}{R} = C\frac{\mathrm{d}v_C}{\mathrm{d}t}$$

117

由 KVL 方程，我们可以将电阻电压用电容电压表示，得到

$$\frac{v_{in} - v_C}{R} = C\frac{\mathrm{d}v_C}{\mathrm{d}t}$$

这个方程将输入电压和电容电压联系起来。它的解描述了电容电压随时间的变化，即

$$v_C = v_{\text{in}}(1 - \mathrm{e}^{-\frac{t}{RC}}) \tag{4-12}$$

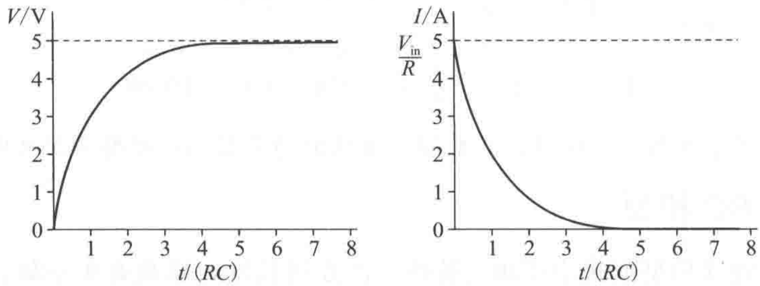
电容中的电流是

$$i_C = i_R = \frac{v_{\text{in}} - v_C}{R}$$

即

$$i_C = \frac{v_{\text{in}}}{R}\mathrm{e}^{-\frac{t}{RC}} \tag{4-13}$$

在 $t=0$ 时刻，电容电压是 0，电流是 v_{in}/R，而直流状态下（$t\to\infty$时）电容电压是 v_{in}，电流是 0。下面的例子说明，当电容通过电阻放电时，电流的变化是指数的。时间常数的定义是 $\tau=RC$，它代表了电容电压上升至终值的（$1-\mathrm{e}^{-1}$）倍（即 63%）所需要的时间。图 4-8画出了电压与电流的响应，其中 $v_{\text{in}}=5\text{V}$。



118

图 4-8　电容对阶跃电流的响应

上述推导复习了单阶 RC 互连线的时间常数延迟的内容。接下来我们将分析含有一系列 RC 模型的互连线，以进行更准确的估计。

4.4.2　长线的电阻电容模型

长互连线的电阻较大，不能忽略，它是必须纳入考量的。集成电路含有很多相对较长的互连线，长度可与芯片尺寸比拟。大型芯片的边长可能从 1cm 到超过 2cm 不等。较长的上层金属层通常承载较长的时钟线、控制线和数据总线。对于这种线的 RC 时间常数的估算要特别小心。

目前，我们可以通过此前学习的薄膜电阻和平行板电容器的方法估算总电阻和总电容。然而，将集总的 RC 总值简单相乘得到的结果并不准确。一种更优的模型将导线分割成分布的 RC 模型段。图 4-9a 展示了长线的集总 RC 模型，图 4-9b 所示是同一个电路，但是它被分割成几段，由几个等效的 RC 子网络分布集群而成。

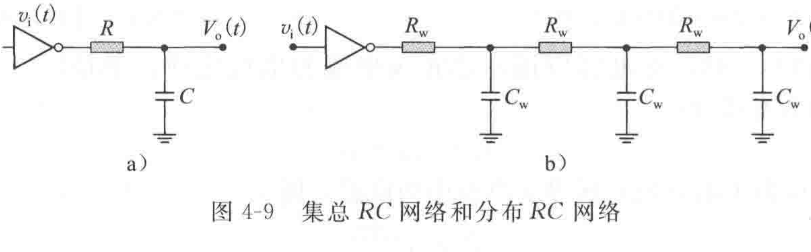


图 4-9　集总 RC 网络和分布 RC 网络

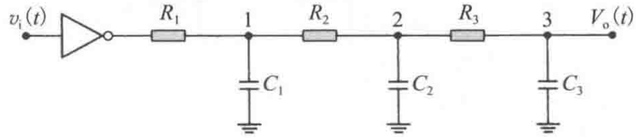
埃尔莫尔（Elmore）使用冲激函数的一阶矩[2]解出了分布模型的延时估计值。我们将通过一个分布 RC 模型的例子说明这种方法可以得到更准确的时间常数估计。从每个电容结点看向驱动电压源，都增加一个 RC 项。串联延时的埃尔莫尔时间常数的表达式为

$$\tau_i = \sum_i^k C_i \sum_{j=1}^i R_j \tag{4-14}$$

式中：i 是结点编号；C_i 是结点 i 处的电容值；R_j 是从结点 i 看向电压源的电阻总和；k 是 RC 片段的总个数；τ_i 是结点 i 处估算出的时间常数。下面的例子将清楚地解释式(4-14)的含义。当电路不再是简单的串联形式，而是存在分支时，埃尔莫尔的分析方法会变得更加复杂，不过这是更高阶课程的内容。

119

例 4-16 使用埃尔莫尔定律分析计算输出线在结点 3 处的时间常数。



解：

$$\tau_i = \sum_i^k C_i \sum_{j=1}^i R_j = R_1C_1 + (R_1 + R_2)C_2 + (R_1 + R_2 + R_3)C_3$$

应注意每个电容都有一个时间常数，它是该电容与它看向电压源的所有电阻之和的乘积。◀

接下来我们介绍使用片段法分析长线时间常数的一般方法。第一步是使用导线电阻和电容的公式估算长线的 R 和 C。我们将导线的 R 和 C 除以导线长度得到单位为 Ω/μm 以及 aF/μm(a 即阿托(atto)，$a=10^{-18}$)的电阻及电容。接着我们将导线分成若干个片段(如 5、10、20)。使用的片段数越多，估算越准确，但计算时间也越长。将片段长度与每 μm 的 R 值和 C 值相乘，得到片段的 R_w 和 C_w。

例 4-17 铜线长 5mm，宽 1μm，厚 1μm。电介质是 SiO_2。假设电容由下底面和地构成，有效电容间隔为 0.5μm。计算每微米导线的电阻和电容。然后将导线分成三个片段，使用埃尔莫尔模型估算传输延时。

解：总的导线电阻和电容及其单位取值为

$$R = \rho \frac{l}{wt} = 1.72 \times 10^{-6}\,\Omega \cdot \text{cm} \times \left[\frac{5 \times 10^3\,\mu\text{m}}{1\mu\text{m} \times 1\mu\text{m}}\right] \times 10^4\,\frac{\mu\text{m}}{\text{cm}} = 86\Omega$$

$$R_w = \frac{86\Omega}{5 \times 10^3\,\mu\text{m}} = 17.2\,\frac{\text{m}\Omega}{\mu\text{m}}$$

$$C_{total} = \varepsilon_r \varepsilon_0 \frac{A}{d} = 3.9 \times 8.854 \times 10^{-12} \times \left[\frac{1\mu\text{m} \times 5000\mu\text{m}}{0.5\mu\text{m}}\right] \times 10^{-6}\,\frac{\text{m}}{\mu\text{m}} = 345.4\text{fF}$$

120

$$C_w = \frac{345.3\text{fF}}{5\text{mm}} = 69.1\,\frac{\text{aF}}{\mu\text{m}}$$

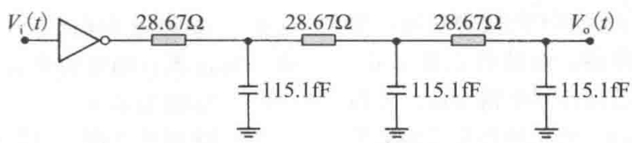
为了降低手算难度，我们将导线分为 3 段，尽管 10～20 段会更加精确。

那么每个片段的长度是 5000/3μm=1667μm，则每个片段的电阻 R_{seg} 为

$$R_{seg} = 17.2\,\frac{\text{m}\Omega}{\mu\text{m}} \times \left(\frac{5 \times 10^3\,\mu\text{m}}{3}\right) = 28.67\Omega$$

$$C_{seg} = 69.1\,\frac{\text{aF}}{\mu\text{m}} \times \left(\frac{5 \times 10^3\,\mu\text{m}}{3}\right) = 115.1\text{fF}$$

电路表示为

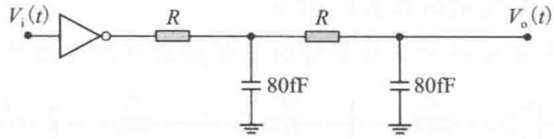


$$\tau_o = 28.67\Omega \times 115.1\text{fF} + (28.67\Omega + 28.67\Omega) \times 115.1\text{fF} + (28.67\Omega + 28.67\Omega + 28.67\Omega) \times 115.1\text{fF} = 19.8\text{ps}$$

而集总模型的计算结果为 $\tau_o = 29.7\text{ps}$，没有分布模型精确。◀

自测 4-17

要使导线传输延时为 $\tau = 5\text{ps}$，则 R 应取多少？



答案： 20.83Ω

自测 4-18

一根铝线长 $l = 10\text{mm}$，宽 $w = 1\mu\text{m}$，厚 $t = 1\mu\text{m}$。它的电介质为 SiO_2，有效电容板距离为 0.5μm。对比两种方法得到的传输延时：(a) 使用两个片段的埃尔莫尔模型计算；(b) 使用四个片段的埃尔莫尔模型估算。

答案： (a) $\tau = 146.0\text{ps}$。(b) $\tau = 121.7\text{ps}$

由此我们可以得出一个重要结论，长线随着长度的增加而使电性能呈指数恶化。一种解决方案是沿线增加缓冲反相器以放大信号。这种方法减小了整体的传输延时，但是代价是时钟线上较大的缓冲反相器($W/L = 20 \sim 50$)产热显著增加。这种方法之所以有效，是因为增加一个反相器，所引入的反相器传播延时要小于金属线整体减小的传播延时。较长的金属线通常出现在顶层金属层，而缓冲反相器在下方的硅中。这导致了布线量的增加，并减少了其他线的可用资源。然而，线缓冲器仍然是减小长互连线延时的一种常用解决方案。

121

4.5 小结

要理解互连线金属电阻、电容和电感的电学特性，需要从其物理性质入手。通过对电阻率、薄膜电阻、电阻热系数和介电常数的优化从而将信号延时降至最低。信号线上的电流和电压变化速率很快，导致现代集成电路中的 R、L、C 特性恶化，继而引入噪声变量。本节展示了互连线分布 RC 模型的重要性。

参考文献

[1] E.B. Rosa. The Self and Mutual Inductances of Linear Conductors. *Bulletin of the Bureau of Standards,* Vol. 4, No. 2, 1908, Page 301.

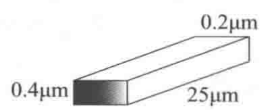
[2] W.C. Elmore, *J. Applied Physics,* **19**, pp. 55–63, 1948.

习题

除非特别指明，否则均使用表 4-1 和表 4-2 中的值。

金属电阻

4-1 尽管钨的电阻率很高，它仍然常被用作金属层 1 的材料。如果金属层 1 的线都很短，则 RC 时间常数可以控制，电路将正常工作。钨可以更好地保护晶体管不受铜污染。若钨线的等效电容为 10pF，线的物理尺寸如图所示，则 RC 时间常数是多少？



4-2 一根铜线长 1000μm，宽 0.5μm，高 0.8μm。

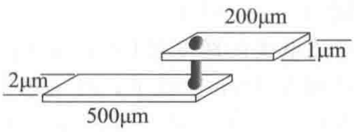
(a) 若它的等效电容是 20fF，则 RC 时间常数是多少？

(b) 设计者决定通过引入相同的并联线来减

小导线电阻，这种做法对整体时间常数有何影响？

4-3 铜线宽 200nm，高 500nm，若铜线电阻不得超过 12Ω，则长度的上限为多少？

4-4 已知 $\rho_{Cu}=1.72\mu\Omega\cdot cm$，$R_{via}=2\Omega$，金属层厚度为 1μm，通孔电阻为 2Ω，则互连线结构的总电阻为多少？



电阻与热效应

4-5 已知矩形铜互连线的高为 $t=0.5\mu m$，宽为 $w=1.5\mu m$，$\alpha=3.93\times10^{-3}$，$T_0=20℃$，$\rho_{Cu}=1.72\times10^{-6}\Omega\cdot cm$，$R(T=120℃)=10\Omega$，则互连线长度为多少？

4-6 两根尺寸相同的铜线在芯片上相距很远，其尺寸为 $l=200\mu m$，$w=0.2\mu m$，$t=0.5\mu m$。其中一条线处在 150℃ 的热点上，另一条线相对较冷，温度为 $T=50℃$。参考温度为 20℃。这两条相同金属线的电阻分别是多少？

4-7 钨线长 25μm，宽 200nm，高 400nm。两条相同的钨线也处于不同温度下。一条处于 50℃而另一条处于 150℃。这两条线的电阻分别是多少？

4-8 假设铝线和铜线的尺寸相同。在什么温度下，R_{Cu}将是 R_{Al}的 60%？

薄膜电阻

4-9 钨线长 10μm，宽 200nm，高 500nm。

(a) 薄膜电阻是多少？

(b) 导线电阻是多少？

4-10 金属层 2 的材料是 Cu，金属层高度为 750nm。金属层 1 的铜线高度为 400nm。

(a) 金属层 1 的薄膜电阻是多少？

(b) 金属层 2 的薄膜电阻是多少？

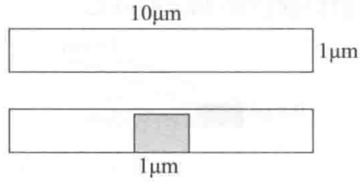
4-11 金属层 1 使用钨作为材料，高 400nm，宽 300nm。金属层 2 使用铜作为材料，高度为 600nm，宽度为 400nm。金属层 2 的线长为多少时，电阻将会和一条长 10μm 的金属层 1 导线电阻相等？使用薄膜电阻进行计算。

4-12 一根铜线长 180μm，宽 0.5μm，100℃时的电阻为 11.5Ω，则铜线高度为多少？

4-13 考虑一根铜线，长 100μm，宽 1μm，高 1μm。线上产生了一个宽度为线宽的 90%、长度为 1μm 的空洞。使用薄膜电阻方法：

(a) 计算没有空洞时的导线电阻。

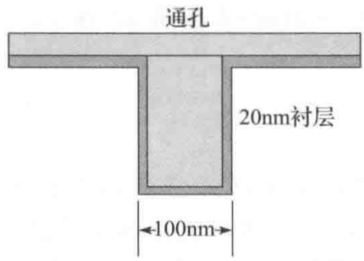
(b) 计算空洞部分的电阻，以及空洞存在时的导线电阻。



通孔电阻

4-14 在铝技术中，金属层 1 和金属层 2 的通孔直径为 500nm，高度为 1μm。更新的技术在金属层 1 和金属层 2 之间使用铜通孔，直径为 100nm，高度为 500nm。比较两种通孔的电阻大小。

4-15 一个蚀刻的铜通孔高 600nm，直径 100nm，覆有 200Å 的 TaN 衬层，TaN 的电阻率 $\rho_{TaN}=200\mu\Omega\cdot cm$，则通孔电阻为多少？



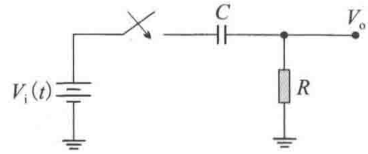
电容

4-16 一平行板电容器的板长为 100μm，高度为 2.0μm，介电间隔为 0.25μm，比较 SiO_2、SiOC 和空气作电介质时的电容。

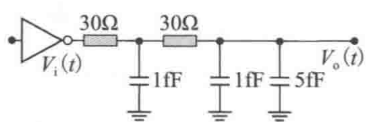
4-17 一个集成电路互连线使用 SiOC 作电介质。有效间隔是 200nm，线高是 1μm，电容不允许超过 10fF。则允许的线长最大为多少？

互连线 RC 模型

4-18 当 $t=0$ 时刻开关闭合，计算 V_o 的跳变响应。



4-19 假设反相器的传输延时为 0，使用埃尔莫尔关系估算 $V_i(t)$到 $V_o(t)$的传输延时。

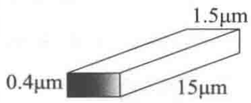


4-20 一铜线长 15mm，集总电容为 4.7pF。它的

厚度为0.4μm，宽度为1.5μm。

(a) 这根线的集总RC时间常数是多少?

(b) 将这个值与使用三段埃尔莫尔电路模型计算得到的值进行对比。



电感

122~124

4-21 要求一条直导线的电感小于30pH，其长度为100μm，则最小半径是多少?

4-22 一条直导线长2mm，直径约200nm，电压跳变需要多慢才能保证电感电压小于100mV?

4-23 集成电路的单根V_{DD}线的看入电感是1nH，100根相同的本地电源线并联产生的等效电感是多少?

4-24 集成电路的单根地线电感为125nH，若要使GND电感小于1nH，则需要多少地线并联?

4-25 若电感电流的跳变是10^8 A/s，电感电压需要控制在100mV以下，则电感值需要是多少?

第5章

CMOS反相器

氢、光子和电子反相器分别是元素、光和计算机的无形组成单元。

——佚名

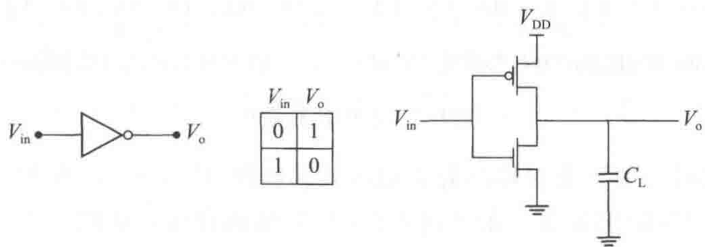
逻辑门电路始于反相器，虽然它只有两个晶体管，然而它简单的外表下隐藏了复杂的性质。反相器有十余项重要特性，这些特性在“与非”门(NAND)、“或非”门(NOR)等多输入逻辑门中同样存在。通过下文的讲解，我们将熟练掌握这些电路特性。

CMOS是指一种集成电路设计与制造的方法或技术。“互补”(complementary)是指逻辑门由若干对nMOS晶体管和pMOS晶体管相连而成。起初，CMOS集成电路使用金属作为晶体管的栅极材料。后来多晶硅取代了金属，并沿用了很多年。不过最新的技术又回归到金属栅极。CMOS是制造数字电路的几种技术之一。第一块CMOS集成电路是由RCA公司于1964年制造的。随着CMOS技术的慢慢普及，在20世纪80年代初期它成为了主流的数字技术。

5.1 CMOS反相器概述

反相器是数字集成电路中数量最多的逻辑门。一个反相器将输入的逻辑高电平(如$V_{DD}=1.5V$)翻转成0V的逻辑低电平，将输入的逻辑低电平翻转成逻辑高电平(即0V到1.5V)。V_{DD}是CMOS晶体管电源电压的标准符号。图5-1所示的为反相器的电路符号、真值表和电路图。逻辑表达式为$V_o=\overline{V_{in}}$。当V_{in}为高电平时，nMOS晶体管导通，pMOS晶体管截止，使得输出结点接地。输入为低电平时，pMOS晶体管导通，而nMOS晶体管截止，使得输出结点接高电平V_{DD}。这种“通-断”串接的操作保证了当逻辑值稳定时，V_{DD}与地(GND)之间不存在电流。因此低功耗是CMOS晶体管的一个显著特点。

当所有信号结点都处于稳定状态时，可以测得反相器的静态布尔值。在稳态下，只有一个晶体管处于导通状态，将输出端V_o连接至其中一条电源环。由于另一个晶体管是截止的，因此两个电源环之间不存在直流通路，电路中没有电流。图5-1所示的负载电容C_L在任何电路中都不可避免。这个电容是一个集总参数，涵盖了晶体管内部结点、负载连线，以及下游逻辑门的等效电容。C_L不会影响逻辑门的静态特性，但是会降低逻辑跳变的速度。我们将在后文分析动态操作时介绍。



V_{in}	V_o
0	1
1	0

a）符号　b）真值表　c）电路图

图5-1　反相器的符号、真值表和电路图

不同的应用场景以及不断进步的电路设计会采用不同的 V_{DD}。某些最前沿的电路中 V_{DD} 可能小于 1V，而仍在使用的一些旧的电路技术中，V_{DD} 在 1.2V 至 3.3V 不等。电池驱动的数字电路的电源电压 V_{DD} 通常为 1.5V 左右。本章的例题中将使用不同的电源电压，从而培养真实场景下的多样性思维。

逻辑门的输出电压对一定区间内的输入电压做出响应，但从功能上只将其映射到两个逻辑状态中的一个。例如，在 2.5V 电源电压技术中，标称的逻辑状态是 2.5V(高电平)和 0V(低电平)。当输入高电平处在 2～2.5V 区间内，反相器会稳定输出 0V 左右的逻辑低电平。当输入的逻辑 0 处在 0～0.5V 之间时，反相器会产生一个稳定的 2.5V 输出。这种将一个输入电压区间映射到稳定的输出状态的特性表明数字电路具有抗噪声能力。逻辑电路对噪声的抵抗力是设计规格之一。

还有第三个区间的电压值不会被映射到任何逻辑电平中，这就是电压跳变区间，它在逻辑状态翻转时产生。处在跳变中的结点电压没有任何逻辑意义，它介于逻辑 1 和逻辑 0 之间。然而由于跳变区间决定了逻辑状态变化的时间，因此它是一个至关重要的性质。

图 5-2 展示了一个反相器的晶体管截面图。n 型沟道的晶体管有 p 型体硅，可以吸引少数载流子。p 掺杂体硅也称为 p 阱。我们注意到，nMOS 晶体管的源极与接地的 p 阱相连，pMOS 晶体管的源极与衬底一起连至 V_{DD}。这张图描绘了一个 p 阱，在构造位于 n 阱中的 p 沟道晶体管时也用到 n 阱。p 沟道晶体管通过 n 型衬底吸引少数载流子。

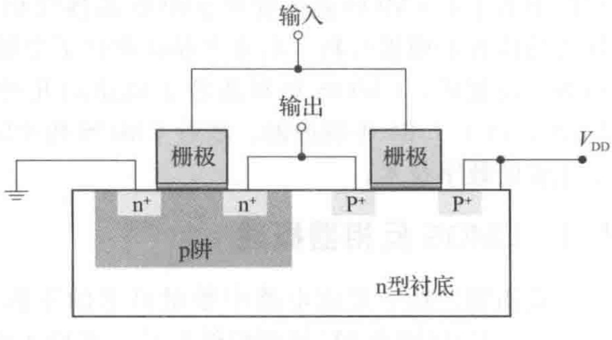
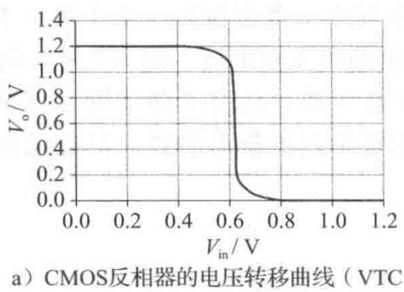


图 5-2 CMOS 反相器横截面

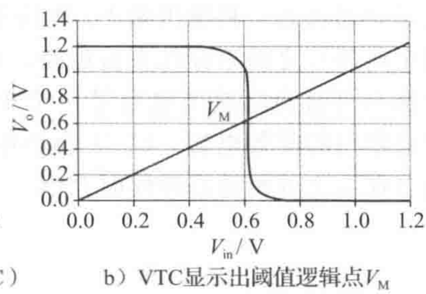
5.2 电压转移曲线

电压转移曲线(voltage transfer curve，VTC)描述了输出电压在输入电压区间上的响应。图 5-3a 显示当 $V_{in}=0V$ 时，$V_o=V_{DD}=1.2V$，当 $V_{in}=V_{DD}=1.2V$ 时，$V_o=0V$。当 V_{DD} 变化时，VTC 的 S 型翻转曲线大致不变。集成电路产品中的 V_{DD} 取值从 0.8V 到 5V 不等。当前技术的 V_{DD} 取值均比较低。此例中，我们选取 $V_{DD}=1.2V$ 作为典型取值。

126 ~ 127



a) CMOS反相器的电压转移曲线 (VTC)



b) VTC显示出阈值逻辑点 V_M

图 5-3 电压转移曲线

在设计反相器时一般追求对称的静态电压转移特性(图 5-3a)，在 $V_{DD}/2$ 处有 $V_o=V_{in}$。更准确地讲，$V_{in}=V_o$ 的图像是一条经过原点的 45°角的直线，如图 5-3b 所示。$V_{in}=V_o$ 处的电压是逻辑阈值电压 V_M。测量得到的 VTC 与 45°直线的交点就是 V_M。此例中的反相器 $V_M \approx 0.62V$。

VTC 曲线的中间部分可以传达反相器的很多动态特性(图 5-3)。在扫描过程中，晶体

管会经历截止、饱和，以及非饱和偏置态。当 $V_{in}=0$ 时，nMOS 晶体管截止，pMOS 晶体管完全工作在电阻态，此时 $V_{GSp}=-1.2V$。随着 V_{in} 的提高，当电压达到 V_{tn} 时，nMOS 晶体管不再截止。这时两个晶体管开始竞争输出电压的控制权。随着 V_{in} 继续升高，pMOS 晶体管的驱动变弱而 nMOS 晶体管的驱动增强，这时，nMOS 晶体管输出电压将逐渐拉低。最终当 $V_{in}=1.2V$ 时，输出电压被拉至 0V，在这一点 pMOS 晶体管是截止的，因为 $V_{GSp}=0V$。

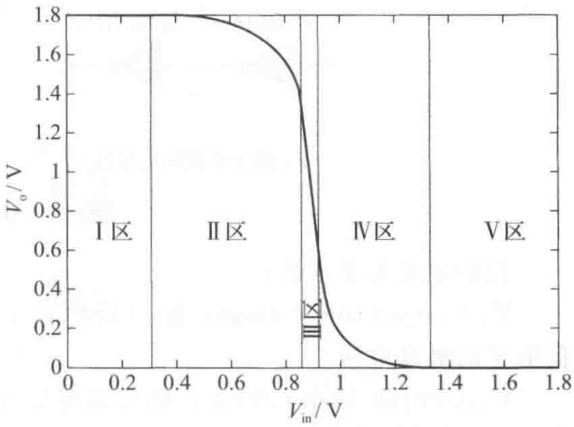


图 5-4　V_o 与 V_{in} 的电压转移曲线（VTC）的 5 种偏置状态；输入电压 V_{in} 在 $0\sim V_{DD}$ 之间扫描并测量 V_o

图 5-4 展示了反相器静态电压转移曲线的 5 个分区，这 5 个分区是根据晶体管的 5 种不同的偏置状态划分的。本例中 $V_{DD}=1.8V$。

图 5-4 中的 5 个偏置区描述如下。

Ⅰ区：nMOS 晶体管截止，pMOS 工作在电阻区。电压的取值范围是 $V_{in}<V_{tn}$。nMOS 晶体管截止，pMOS 晶体管被驱动至非饱和区，因为 $V_{GSp}\approx -V_{DD}<V_{DSp}+V_{tp}$。位于 pMOS 晶体管的漏极的 V_o 通过低阻抗的 pMOS 晶体管沟道被拉升至逻辑高电平 V_{DD}。

128

Ⅱ区：nMOS 晶体管饱和，pMOS 晶体管工作在电阻区。当 V_{in} 抬升至刚好超过阈值电压（$V_{in}>V_{tn}$）时，nMOS 晶体管刚好导通，且处于饱和区（$V_{in}<V_o+V_{tn}$）。现在两个晶体管中都有电流通过，V_o 随着 V_{in} 的升高而降低。pMOS 晶体管仍保持在电阻区，但是它的栅极驱动减弱。

Ⅲ区：nMOS 晶体管饱和，pMOS 晶体管饱和。当 $V_o<V_{in}-V_{tp}$ 且 $V_o>V_{in}-V_{tn}$ 时，nMOS 晶体管和 pMOS 晶体管均处于饱和区，这一区域中的图像呈一直线。由于 V_o 和 V_{in} 线性相关，在这个区域会发生模拟放大。输入波形的微小变化以直线的斜率为倍数被放大。MOS 晶体管模拟电路设计正是利用了这一特性。对于数字电路而言，这个特性也有好处，因为数字电路要求 V_{in} 跳变时，V_o 要迅速跳变。数字电路的设计的目标是使输出电压尽快穿过跳变区，而不要使电路产生放大器的效果。

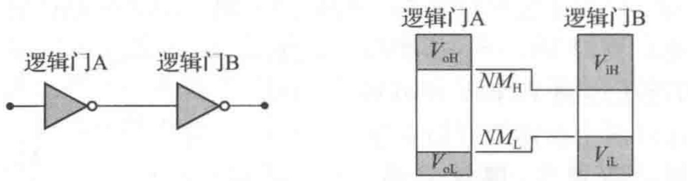
Ⅳ区：nMOS 晶体管工作在电阻区，pMOS 晶体管饱和。随着 V_{in} 的上升，V_{in} 与 V_{DD} 之差逐渐接近 pMOS 晶体管的阈值电压。这一区域与Ⅱ区类似，但是两个晶体管的角色互换了。pMOS 晶体管处在饱和区而 nMOS 晶体管处在非饱和区。

Ⅴ区：nMOS 晶体管工作在电阻区，pMOS 晶体管截止。当 V_{in} 趋向于逻辑高电平时，$V_{in}\gg V_o+V_{tn}$，nMOS 晶体管进入电阻区，将漏极电压下拉至地。pMOS 晶体管是截止的。

比逻辑高电平略低或比逻辑低电平略高的电压称作弱逻辑电压。弱逻辑状态可以被正确解读，然而会牺牲部分噪声容限和栅极驱动电压。反相器的翻转阈值电压（V_M），也即 $V_{in}=V_o$ 的点，是一个特殊情况，因为理论上逻辑状态是在 V_o 跨过 V_M 时发生变化的。线性区的反相器电压没有逻辑定义。

5.3　噪声容限

图 5-5 中的矩形表示电压水平以及逻辑高电平和逻辑低电平的取值范围，其中逻辑门 A 的输出驱动逻辑门 B 的输入。阴影部分表示逻辑高电平和逻辑低电平的区间，逻辑门必须将此区间内的电平识别为有效逻辑电平。



a）两个串联的反相器　　b）映射到逻辑布尔值的电压范围

图 5-5　噪声容限分析

我们定义如下术语：

V_{oL}(output low voltage，输出低电压)：为使负载逻辑门正确解读，逻辑门输出逻辑低电平的最高电压。

V_{oH}(output high voltage，输出高电压)：为使负载逻辑门正确解读，逻辑门输出逻辑高电平的最低电压。

V_{iL}(input low voltage，输入低电压)：能够被识别为逻辑低电平的最高输入电压。

V_{iH}(input high voltage，输入高电压)：能够被识别为逻辑高电平的最低输入电压。

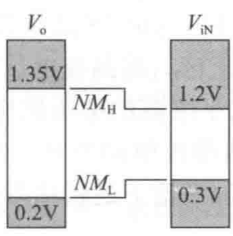
这些逻辑电压值定义了噪声容限(noise margin，NM)，即逻辑门相连时所需的抗噪声能力。上噪声容限和下噪声容限(NM_H，NM_L)是由这四个电压参数算出的，通常它们由制造商规定。逻辑高电平和逻辑低电平对应的 NM_H 和 NM_L 分别为：

$$NM_H = V_{oH} - V_{iH}$$
$$NM_L = V_{oL} - V_{iL} \tag{5-1}$$

为了使逻辑门正确工作，噪声容限必须为正，且噪声容限越大，电路的抗噪声能力越强。若输入高电压上升导致 NM_H 为负，那么噪声就可能造成逻辑状态的翻转。上述参数是集成电路生产测试中的关键测量。电路板设计人员需要知道这些互相连接的集成电路符合技术规格并且接口正确，才能进行设计。

噪声容限反映了设计和制造的水平，是制造商向消费者承诺的指标。另一种 NM 的定义是，找到 VTC 中斜率是−1 的两个点。这种取法看似没有依据，不过我们观察到当斜率的绝对值大于 1 时，就会发生 V_{in}的放大，从噪声的角度来讲这是不合适的。当逻辑信号进入斜率绝对值大于 1 的区间时会产生很高的风险。在求解后文关于 NM 的习题时，首先画出图 5-5 所示的 NM 矩形将会很有帮助。

例 5-1 一个集成电路的 $V_{DD}=1.5\text{V}$，$V_{oH}=1.35\text{V}$，$V_{oL}=0.2\text{V}$，$V_{iH}=1.2\text{V}$，$V_{iL}=0.3\text{V}$，求这个集成电路的 NM_L 和 NM_H。



解： 画出 NM 矩形，得

129 ~ 130

$$NM_H = (1.35 - 1.2)\text{V} = 150\text{mV}$$
$$NM_L = (0.3 - 0.2)\text{V} = 100\text{mV}$$

◀

自测 5-1

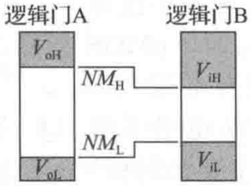
IC_A 和 IC_B 的 V_{DD}都是 2V，IC_A 向 IC_B 传送数据，它们的输入/输出(I/O)规格是：

IC_A：$V_{iH}=1.6V$，$V_{iL}=0.4V$，$V_{oH}=1.5V$，$V_{oL}=0.3V$

IC_B：$V_{iH}=1.6V$，$V_{iL}=0.5V$，$V_{oH}=1.5V$，$V_{oL}=0.3V$

(a) 计算说明电路是否存在问题。

(b) 如果存在问题应该怎么办？



答案：(a) 问题出在高电平上。(b) 在此不给出具体答案。

自测 5-2

(a) 若 $V_{DD}=1.8V$，$V_{oH}=1.75V$，$NM_H=130mV$，计算 V_{iH}。

(b) 若 $V_{iL}=0.35V$，$NM_L=180mV$，计算 V_{oL}。

答案：(a) $V_{iH}=1.62V$。(b) $V_{oL}=170mV$

5.4 对称电压转移曲线

为了形对称的电压转移特性，可以通过将输入电压设在 $V_M=V_{DD}/2$，并使 nMOS 晶体管和 pMOS 晶体管的饱和电流相等，求出晶体管的宽比 W_p/W_n。式(5-2)给出了实现对称反相器的 W_p/W_n，其中 $V_M=V_{DD}/2$。

$$\frac{W_p}{W_n}=\frac{\mu_n}{\mu_p}\left[\frac{1-\dfrac{2V_{tn}}{V_{DD}}}{1-\dfrac{2|V_{tp}|}{V_{DD}}}\right]^2 \tag{5-2}$$

式(5-2)中，当上拉(pull up，PU)和下拉(pull down，PD)电阻的电流驱动强度相等时，$V_M=0.5V_{DD}$，不过根据不同的设计情形，设计者可能需要令上拉更快或下拉更快。若 $V_M<0.5V_{DD}$，则 nMOS 下拉(PD)晶体管比上拉(PU)晶体管更强，VTC 向左偏移；当 $V_M>0.5V_{DD}$时，pMOS 上拉(PU)晶体管更强，VTC 向右偏移。在实际中，我们很难让 VTC 严格对称，这是因为迁移率不能确定，并且 W_p 的尺寸通常不会做成与 W_n 有关的一个小数。在例题中，我们假定严格对称是可以实现的。

131

例 5-2 对于 0.18μm 工艺，计算 nMOS 晶体管和 pMOS 晶体管的宽比，使得反相器的转移特性对称。其中 $\mu_n=360cm^2/(V\cdot s)$，$\mu_p=109cm^2/(V\cdot s)$，$V_{tn}=0.35V$，$V_{tp}=-0.4V$，$V_{DD}=1.8V$。

$$\frac{W_p}{W_n}=\frac{\dfrac{360cm^2}{V}}{\dfrac{109cm^2}{V}}\left[\frac{1-\dfrac{2(0.35)}{1.8}}{1-\dfrac{2|-0.4|}{1.8}}\right]^2=4.0$$ ◀

自测 5-3

推导式(5-2)。

自测 5-4

若 $\mu_n=360cm^2/(V\cdot s)$，$\mu_p=109cm^2/(V\cdot s)$，$V_{tn}=0.35V$，$V_{tp}=-0.4V$，$V_{DD}=1.8V$，则多大的 W_p/W_n 可以实现对称的 VTC?

答案：$\dfrac{W_p}{W_n}=4.31$

5.5 电流转移曲线

DC直流供电下的电流转移曲线(current transfer curve，ITC)同样很重要。图5-6所示为I_{DD}随V_{in}变化的特性曲线。在偏置Ⅰ区中，当$V_{in}<V_{tn}$时，nMOS晶体管截止，电路中没有电流；在偏置Ⅴ区中，当$V_{in}=V_{DD}$时，pMOS晶体管截止，电源与地之间同样没有电流。一般来说，对长沟道情况，在静态逻辑电平下的反相器电流应该低至皮安数量级，主要是漏极-衬底反偏饱和电流。截止电流如此小，基本上可认为在静态逻辑电平下没有功率消耗。

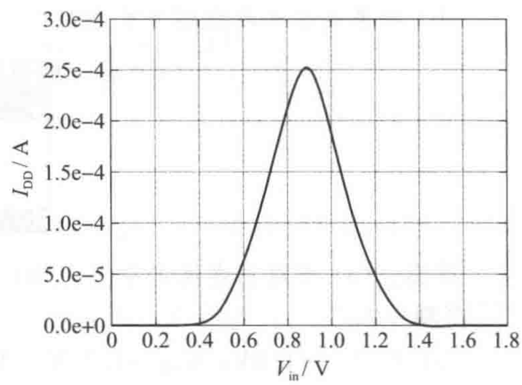
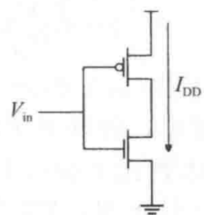


图5-6 反相器直流供电的电流转移曲线

$V_{DD}/2$附近的电流峰值大小取决于晶体管强度(如宽长比、阈值电压、载流子迁移率)。在电流峰值处，两个晶体管均处于饱和态。当反相器改变逻辑状态时，这个瞬时电流将造成功率浪费。大型微处理器设计中的总峰值电流高达几个安培，因为它是数百万个翻转的逻辑门电流之和。

峰值电流的计算很简单。nMOS晶体管和pMOS晶体管都处在饱和区，对于对称设计的反相器，电压就是$V_{DD}/2$。nMOS晶体管或者pMOS晶体管的饱和区方程都可以解出峰值电流。下面这个对称反相器的例题将说明如何求解。

例5-3 若$V_{DD}=2\text{V}$，$V_{tn}=0.5\text{V}$，$V_{tp}=-0.5\text{V}$，$K_n=75\mu\text{A/V}^2$，$K_p=50\mu\text{A/V}^2$，$(W/L)_n=2$，$(W/L)_p=3$，计算I_{peak}。



解： 由nMOS晶体管饱和态方程，得

$$I_{peak}=I_{Dn}=75\mu\text{A/V}^2\times\frac{2}{1}\times[1-0.5]^2=37.5\mu\text{A}$$

132~133

由pMOS晶体管饱和态方程，得

$$I_{peak}=I_{Dp}=50\mu\text{A/V}^2\times\frac{3}{1}\times[1-2+0.5]^2=37.5\mu\text{A}$$

◀

自测5-5

若$V_{DD}=1.5\text{V}$，$V_{tn}=0.4\text{V}$，$V_{tp}=-0.4\text{V}$，$K_n=100\mu\text{A/V}^2$，$K_p=50\mu\text{A/V}^2$，则：

(a) 峰值电流为35μA，出现在0.6V处，则$(W/L)_n$是多少？

(b) $(W/L)_p$是多少？

答案： (a) $\left(\frac{W}{L}\right)_n=8.75$。(b) $\left(\frac{W}{L}\right)_p=2.8$

自测5-6

已知一个反相器的$V_{tn}=0.6\text{V}$，$V_{tp}=-0.7\text{V}$，$\mu_n=1350\text{cm}^2/(\text{V}\cdot\text{s})$，$\mu_p=350\text{cm}^2/(\text{V}\cdot\text{s})$，$W_p/W_n=9$，计算对称CMOS反相器所需的$V_{DD}$。

答案： $V_{DD}=1.78\text{V}$

5.6　VTC 图形分析

5.6.1　静态电压转移曲线

图 5-7 所示将偏置态区域、电压转移方程以及两条 45°的直线联系起来。式(5-3)是 nMOS 晶体管的偏置边界条件，它对应于图 5-7 中的直线 a。这条靠下的单位斜率的直线 a 定义了 nMOS 晶体管饱和区和非饱和区的边界。转移曲线上所有直线 a 上方的点表示 nMOS 晶体管处在饱和区或截止区，直线 a 下方的所有点表示 nMOS 晶体管处在电阻区。V_{tn}是直线与 x 轴的截距。

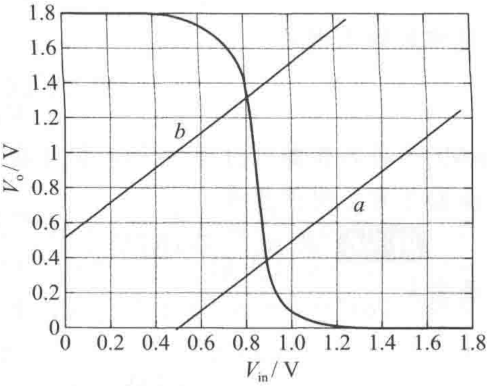


图 5-7　反相器 VTC 和晶体管状态

$$V_{GS} = V_{DS} + V_{tn} \tag{5-3}$$

即

$$V_{in} = V_o + V_{tn} \tag{5-4}$$

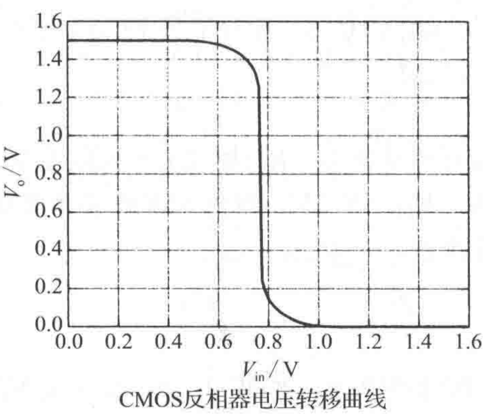
并有

$$当\ V_o = 0\ 时, V_{tn} = V_{in}$$

同理可以得出 pMOS 晶体管的偏置边界条件，它由式(5-5)给出，对应于图 5-7 中的直线 b。直线 b 与 y 轴的截距是 $V_o = -V_{tp}$。对所有直线 b 下方的点，pMOS 晶体管处于饱和或截止态，而对所有直线 b 上方的点，pMOS 晶体管处于电阻态。两条直线之间是一个很重要的区域，在这个区域，两个晶体管都处于饱和态。

$$V_{in} = V_o + V_{tp}$$
$$当\ V_o = 0\ 时, V_{tp} = -V_{in} \tag{5-5}$$

例 5-4 已知一条仿真得到的电压转移曲线。使用偏置直线法估算 V_{tn}和 V_{tp}。



CMOS反相器电压转移曲线

解： 在线性区的端点附近做一个小标记并画 45°直线，则直线与坐标轴的截距近似为阈值电压。$V_{tn} \approx 0.52V$，$V_{tp} \approx -0.43V$。◀

图形分析法将逻辑跳变时的晶体管状态可视化。当两个晶体管都饱和时产生最大增益区，它对应于图 5-7 中的两条偏置直线 a、b 之间的部分。上面的例子强化了这种思想。

134 ~ 135

例 5-5 当一个反相器的 V_o 从 V_{DD} 翻转到 0V 时，估算使 nMOS 晶体管处于饱和区的电压范围占 V_{DD} 的比例。

解： 设 $V_{tn} = 0.2V_{DD}$，$V_{tp} = -0.2V_{DD}$，记 $K'_n = K_n\ (W/L)_n$，$K'_p = K_p\ (W/L)_p$，且 $K'_n = K'_p$。

我们知道静态转移曲线上的所有点都有 $I_{Dn} = |I_{Dp}|$，包括直线 a 上 nMOS 晶体管离开饱和区的那一点。这个点是Ⅲ区和Ⅳ区的分界，我们在这一点计算 V_o。

$$K_n'(V_{GS}-V_{tn})^2 = K_p'(V_{GS}-V_{tp})^2$$

代入 $V_{GS}=V_{in}$，$K_n'=K_p'$，$V_{in}=0.2\times V_{DD}$，$V_{in}=V_o+V_{tn}$，得

$$K_n'(V_{in}-V_{tn})^2 = K_p'(V_{in}-V_{DD}-V_{tp})^2$$

$$V_o^2 = V_o^2 - 1.2V_{DD}(V_o) + 0.36V_{DD}^2$$

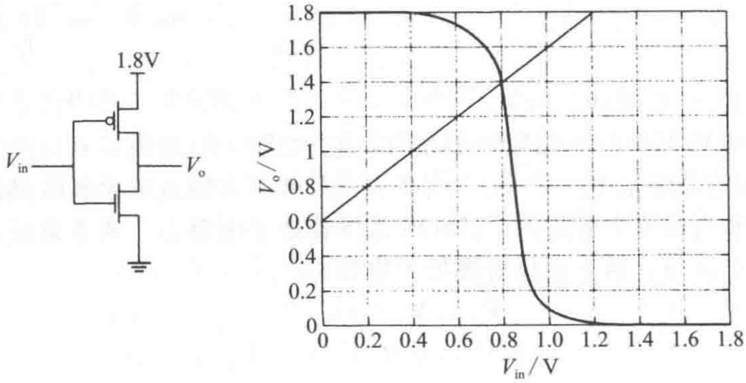
$$V_o = 0.3V_{DD}$$

饱和区的比例是

$$\frac{V_{DD}-V_o}{V_{DD}} = 0.7 = 70\%$$

nMOS晶体管翻转过程的70%都处在饱和区。当我们对反相器逻辑翻转速度建模时，饱和偏置态的影响很显著。◀

例 5-6 若 $K_p=55\mu A/V^2$，$V_{in}=1.0V$，$I_{DD}=15\mu A$，且反相器是对称的，则 $(W/L)_p$ 是多少？



136

解：使用VTC估算，得 $V_{tp}\approx -0.6V$

$$15\mu A = 55\mu A/V^2 \times (W/L)_p \times (1.0-1.8+0.6)^2$$

$$(W/L)_p = 6.8$$

◀

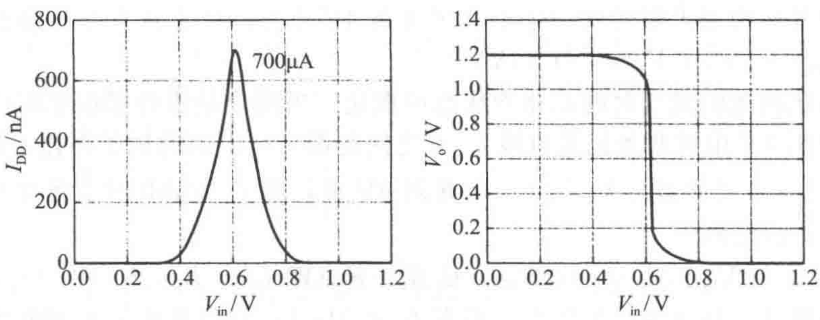
自测 5-7

一个CMOS反相器的晶体管参数为：$K_n(W/L)_n=265\mu A/V^2$，$K_p(W/L)_p=200\mu A/V^2$，$V_{tn}=0.55V$，$V_{tp}=-0.63V$，$V_{DD}=2.5V$。则使nMOS晶体管处于饱和区的电压范围占整个输出电压范围的比例是多少？

答案：75.4%

自测 5-8

一个反相器的ITC和VTC如图所示。若 $(W/L)_n=50$，估算 V_t 并利用结果求出 $K_n=\frac{\mu\varepsilon}{2T_{ox}}$。



答案：$K_n\approx 350\mu A/V^2$

自测 5-9

一个 CMOS 反相器的晶体管参数为：$K_n(W/L)_n=265\mu A/V^2$，$K_p(W/L)_p=200\mu A/V^2$，$V_{tn}=0.55V$，$V_{tp}=-0.63V$，$V_{DD}=2.5V$。则使 pMOS 晶体管处于饱和区的电压范围占整个输出电压范围的比例是多少？

答案： 71.8%

自测 5-10

一晶体管的转移曲线如图 5-7 所示，估算其模拟电压增益。

答案： $A_v\approx-13$

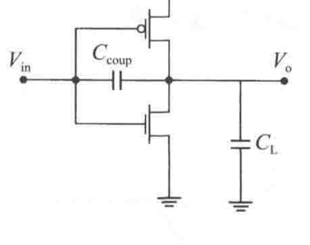
5.6.2 动态电压转移曲线

图 5-4 中的电压转移曲线给出了反相器的许多关键信息，然而是缓慢扫描得到的(静态曲线)。它不能反映快速翻转时的电路行为。对于如今的反相器，输入信号的开关时间可能只有几十皮秒，而晶体管的寄生电容以及外部连线负载会改变 V_{in} 和 V_o 之间的相位关系。图 5-8 展示了一个反相器，以及不同输入翻转速度下电压转移曲线的相位关系。由图 5-8可知，在高速翻转情形下，漏极电压的变化延迟于输入栅极电压的变化。

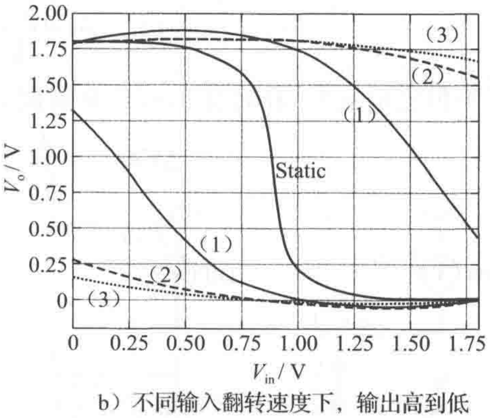
图 5-8a 所示的为反相器动态分析所用的电路模型，它考虑两个对翻转起到关键影响的寄生电容。C_L 代表了漏极扩散区电容、互连线，以及负载逻辑门输入电容的综合影响。另一个电容是输入/输出电容(称作耦合电容 C_{coup})，它极大地取决于偏置状态，是与 nMOS 晶体管和 pMOS 晶体管的栅-漏电容并联的一个电容。

图 5-8b 显示了仿真得到的静态电压转移曲线，以及输入电压分别以中速(曲线(1))、高速(曲线(2))和超高速(曲线(3))翻转时的电压转移曲线。曲线具有滞后现象。

图 5-8b 的上半部分代表 V_o 的正相 VTC 曲线，下半部分代表 V_o 的反相 VTC 曲线。图中的曲线(2)和曲线(3)表明当栅极输入已经基本完成低到高的翻转时，漏极输出仍然保持着较高的电平。当栅极从高到低快速翻转时也会产生同样的现象：直到栅极输入基本完成翻转，漏极还保持着较低的电平。这种相位关系是由电路寄生电容造成的。静态曲线的缓慢翻转，允许漏极电压及时跟随栅极输入电压的变化而变化。曲线(1)是一种折中的情形，当输入电压到达终值时，输出电压略大于 $V_{DD}/2$。即便如此，它和静态电压转移曲线也相差甚远。这些曲线主要是 C_L 以及开关速度的函数。



a）动态CMOS反相器电路模型



b）不同输入翻转速度下，输出高到低与低到高的电压转移曲线

图 5-8 CMOS 反相器动态转移曲线

图 5-9 描绘了当输入翻转时间被设定为一个恒定速率时，不同的 C_L 取值对输出电压时序响应的影响。曲线 V_{o3} 对应一个较小的输出电容，当输入到达 V_{DD} 时，输出电压几乎

到达0V。这种情况与静态电压转移曲线类似。负载电容增大，输出电压的翻转时间也增加(如曲线 V_{o2})。继续增大负载电容则会进一步增加翻转时间(如曲线 V_{o1})。无论何种情形，输出电压一开始都会产生一个高于 V_{DD} 的过冲，这是从输入端通过耦合电容 C_{coup} 注入的电荷导致的。在这一阶段，pMOS晶体管的输出端有少量电流流回电源端。

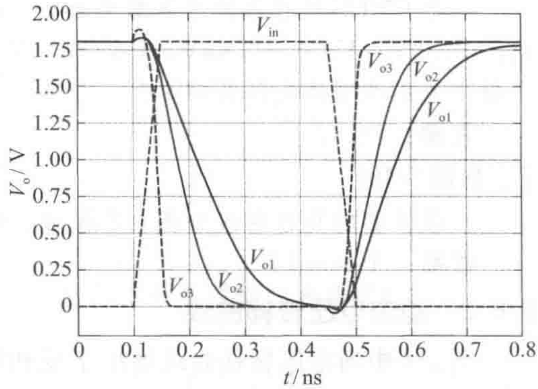


图5-9　动态反相器翻转在不同情形下的时序响应

高速翻转情况下，耦合电容 C_{coup} 试图维持输入和输出之间的初始电压差(低到高翻转时电压差为 $-V_{DD}$，高到低翻转时电压差为 V_{DD})。然而，当电荷经 C_{coup} 传送到结点 V_o 时，C_L 除了接收这些新电荷之外别无选择。电荷注入 C_L 的速率比 C_L 通过晶体管通路向电源环输送电荷的速率更快。输出结点的电压变化为 $dv=dq/C$，因此造成在输入上升沿，输出电压短暂超过 V_{DD}(过冲)，而在输入的下降沿，输出电压短暂低于地电平(欠冲)(如图5-9所示)。电路仿真器是计算时序波形的最佳工具。

138
~
139

5.7　反相器翻转速度模型

反相器传输延时的准确计算需要解一个复杂的微分方程。假设晶体管是理想电流源，即晶体管在翻转过程中一直处于饱和态，我们得到一个简单的模型。图5-10a中，左图的电流源 I_o 表示pMOS晶体管处于饱和态，因为饱和偏置态占据了大部分的翻转上升时间。C_L 是负载电容。对于此简单模型的上升时间，假设nMOS晶体管始终处于截止。pMOS上拉晶体管的饱和态模型是：

$$I_o = I_{Dp} = \frac{\mu_n C_{ox}}{2}\frac{W}{L}(V_{GS}-V_{tp})^2 \tag{5-6}$$

式中：

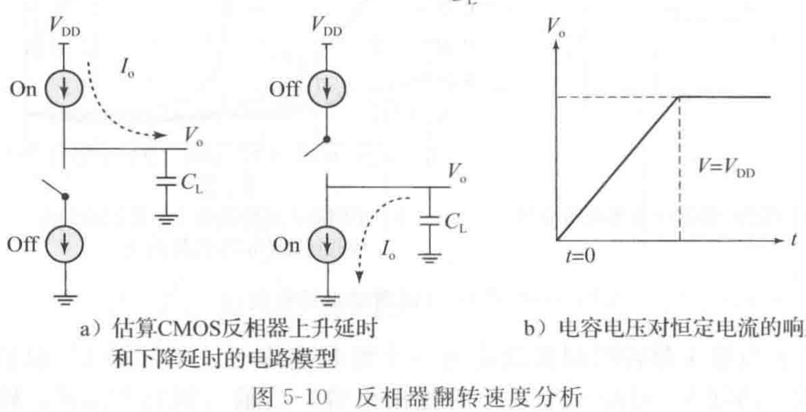
$$C_{ox}=\frac{\mu\varepsilon}{T_{ox}}$$

电容的电流、电压、时间关系是

$$i(t) = C_L\frac{dV(t)}{dt}$$

若 $i(t)=I_o$(一个恒定电流)，我们将 $dv(t)/dt$ 近似为 $\Delta v(t)/\Delta t$，则

$$\Delta V(t) = \frac{I_o}{C_L}\Delta t \tag{5-7}$$



a) 估算CMOS反相器上升延时和下降延时的电路模型　　b) 电容电压对恒定电流的响应

图5-10　反相器翻转速度分析

140

若 Δt 是信号上升到 $\Delta V(t)=V_{DD}$ 所需的上升时间 τ_r，如图 5-10b 所示，那么式(5-7)可以重新写成

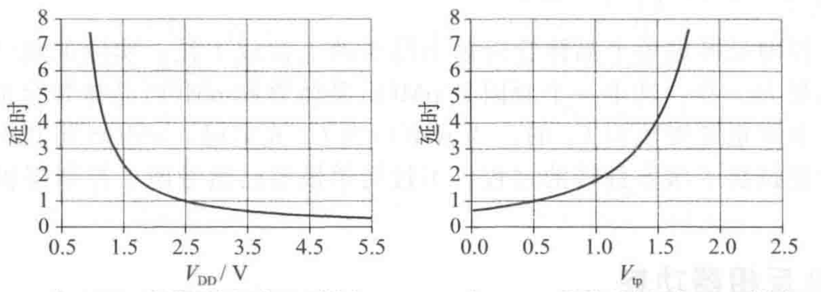
$$\tau_r = \frac{C_L V_{DD}}{I_o} \tag{5-8}$$

将式(5-6)代入式(5-8)，并令 $V_{GS}=V_{DD}$，得

$$\tau_r = C_L V_{DD}\left(\frac{2L}{W\mu_p C_{ox}}\right)\frac{1}{(-V_{DD}-V_{tp})^2} \tag{5-9}$$

式(5-9)表明延时与 V_{DD} 和阈值电压之差呈渐近相关。图 5-11a 画出了 $C_L=20\text{fF}$，$K_p=75\mu\text{A/V}^2$，$V_{tp}=-0.5\text{V}$，$W/L=2$ 时，延时与 V_{DD} 的关系。随着 V_{DD} 向 V_{tp} 靠近，延时渐进地趋向正无穷。曲线还显示出一个重要性质，当 $V_{DD}\gg|V_{tp}|$ 时，电源电压的微小扰动带来的延时变化是很小的。例如，若 V_{DD} 从 5V 降至 4.5V，只会造成很小的延时变化。这是一种重要的噪声保护机制，因为每个时钟周期电源电压和地电平都因噪声的存在而有所变化。

若 V_{DD} 恒定而 V_t 变化，可以得到类似的结果。图 5-11b 与图 5-11a 很相似，不过它描绘的是 $V_{DD}=2.5\text{V}$ 时，延时随 V_t 的变化而变化。此图表明电路延时在曲线特定区间对 V_{DD} 和 V_t 之差非常敏感。



a）式（5-9）的模型在恒定 V_t 下的归一化延时与电源电压的关系曲线　b）式（5-9）的模型在恒定 V_{DD} 下的归一化延时与阈值电压的关系曲线

图 5-11　延时与电源电压及阈值电压的关系

通过类似的方法可以求出 nMOS 晶体管的下拉延时或下降时间 τ_f：

$$\tau_f = C_L V_{DD}\left(\frac{2L}{W\mu_n C_{ox}}\right)\frac{1}{(V_{DD}-V_{tn})^2} \tag{5-10}$$

141

例 5-7 (a) 一个反相器的 $C_L=100\text{fF}$，电流驱动为 $I_o=400\mu\text{A}$，若要使信号上升时间为 300ps，则 V_{DD} 应取多少？

解：根据式(5-7)，有

$$V_{DD} = \frac{\tau_r \times I_o}{C_L} = \frac{300\text{ps}\times 400\mu\text{A}}{100\text{fF}} = 1.2\text{V}$$

(b) 若 $V_{DD}=1.5\text{V}$，则 τ_r 是多少？

解：
$$\tau_r = \frac{100\text{fF}\times 1.5\text{V}}{400\mu\text{A}} = 375\text{ps}$$

此例中 τ_r 增大到 375ps，这是因为翻转输出电压的幅度随 V_{DD} 的增加而增加。本例假设驱动电流是一个常数。◀

例 5-8 已知 $C_L=10\text{fF}$，$\mu\varepsilon/(2T_{ox})=59\mu\text{A/V}^2$，$W/L=6$，$V_{DD}=2.3\text{V}$，初始的 $V_{tn}=0.6\text{V}$。若 V_{tn} 减小为 0.2V，则下降时间减小的比例是多少？

解：将数值代入式(5-10)求出比例，或者用式(5-10)除以它自己并将 $V_t=0.6\text{V}$ 替换

为 $V_t=0.2\text{V}$，得

$$\frac{\tau_f(V_t=0.6\text{V})}{\tau_f(V_t=0.2\text{V})}=\frac{(2.3-0.2)^2}{(2.3-0.6)^2}=1.526$$ ◀

自测 5-11

一个 pMOS 晶体管的 $V_{tp}=-0.5\text{V}$，$K_p=70\mu\text{A/V}^2$，$(W/L)_p=4$，$V_{DD}=2\text{V}$。估算反相器负载电容为 100fF 时的上升延时。

答案： $\tau_r=317.5\text{ps}$

自测 5-12

一个 nMOS 晶体管的 $V_{tn}=0.35\text{V}$，$K_n=120\mu\text{A/V}^2$，$(W/L)_n=3$，$V_{DD}=1\text{V}$。估算反相器负载电容为 100fF 时的 90%下降延时($0.9V_{DD}$)。

142

答案： $\tau_f=59.2\text{ps}$

自测 5-13

一个 CMOS 反相器中的晶体管有 $C_L=50\text{fF}$，$V_{tn}=0.4\text{V}$，$V_{tp}=-0.4\text{V}$，$K_n=100\mu\text{A/V}^2$，$K_p=50\mu\text{A/V}^2$，$V_{DD}=1.5\text{V}$。两个晶体管的宽长比 W/L 分别为多少时，上升时间和下降时间都等于 200ps?

答案： $\left(\frac{W}{L}\right)_n=3.1$，$\left(\frac{W}{L}\right)_p=6.2$

这种简单模型只考虑单个晶体管对输出结点的上拉或下拉，实际的延时 τ 要比简单模型的计算结果大一些。其中一个原因是 pMOS 晶体管和 nMOS 晶体管会抽取对方的电荷，这些电荷本来也是要流向 C_L 的。当 pMOS 向 C_L 充电时，nMOS 将其中一部分电荷分流到地，于是拉长了状态翻转的过程。不过简单模型已然考虑了控制逻辑翻转的主要参数。

5.8 CMOS 反相器功耗

反相器的功耗分为动态和静态两种。动态功耗又分为两个主要部分：① 逻辑门负载电容充放电功耗(瞬态部分)；② 翻转过程中产生的电源和地之间的短路电流(图 5-6)。长沟道晶体管的静态功耗主要来自截止状态下的反偏压漏极-衬底(阱)pn 结泄漏电流。动态功耗的计算需要同时考虑瞬态部分和短路部分。尽管单个逻辑门的动态功耗通常很小，然而上百万个逻辑门同时进行开关操作的功耗就十分显著了。对于超短沟道晶体管，截止态泄漏是一个不可忽视的问题，不过这部分内容要在更高阶的课程中讨论。

5.8.1 瞬态功耗

在一个时钟周期 T_{clk} 内向电容 C_L 充放电的动态功耗 P_d 是

$$P_d=\frac{1}{T_{clk}}\int_0^{T_{clk}} i_{load}(t)v_o(t)\,dt \tag{5-11}$$

在一个周期内，输出电压从 0V 变化到 V_{DD}，再从 V_{DD} 变化到 0V。

143

将式(5-11)重写：

$$i_{load}=\frac{dq}{dt}=C\frac{dv_{load}}{dt}=C\frac{dv_o}{dt}$$

则

$$P_d=\frac{1}{T_{clk}}\left[\int_0^{V_{DD}}C_L v_o\,dv_o+\int_{V_{DD}}^0 C_L(V_{DD}-v_o)\,dv_o\right] \tag{5-12}$$

得到

$$P_d=\frac{C_L V_{DD}^2}{T_{clk}}=C_L V_{DD}^2 f_{clk} \tag{5-13}$$

式(5-13)说明，减小输出电容、电源电压或者工作频率都可以降低瞬态功耗。由于功耗依赖于电源电压的平方，因此相比于另外两个参数，降低V_{DD}对减小功耗更加有效。注意，式(5-13)，假设一个时钟周期内发生一次上翻转和一次下翻转。若一个时钟周期只发生一次翻转，则P_d减半。通常组合逻辑电路中的逻辑门一个时钟周期发生一次翻转，而时钟网络中的逻辑门一个周期发生两次翻转。式(5-13)常用于粗略估算集成电路功耗，尽管它得到的不是准确值，因为我们不知道有多少逻辑门在一个时钟周期发生两次翻转，甚至不知道有多少逻辑门会发生翻转。

当一个时钟脉冲驱动一个集成电路中的寄存器时，组合逻辑的负载逻辑门发生的是单次翻转。然而在集成电路中，并非每一个逻辑门都会发生翻转。通常在一个时钟周期内，集成电路中5%～30%的组合逻辑门会发生翻转并产生动态功耗。我们定义一个活跃系数α，它表示一个时钟脉冲到来时，集成电路中可能改变状态（翻转）的逻辑门所占的比例。功率表达式(5-13)在单次翻转的情形下变为：

$$P_d = \frac{1}{2}\alpha C_L V_{DD}^2 f_{clk} \tag{5-14}$$

在典型时钟网络中$\alpha=1$，不过在某些网络中，集成电路的时钟被门控切断，则它们的活跃系数为0。

例5-9 已知一个门控集成电路时钟网络的$V_{DD}=1.5\text{V}$，$\alpha=0.84$，总负载电容$C_L=5\text{nF}$，$f_{clk}=2.6\text{GHz}$，则时钟网络的功耗是多少？

$$P_d = 1\times 0.84\times 5\times 10^{-9}\times 1.5^2\times 2.6\times 10^9\,\text{W} = 24.57\text{W}$$ ◀

自测5-14

一个组合逻辑电路的$\alpha=0.2$，$C_L=150\text{fF}$，$V_{DD}=2\text{V}$，$f_{clk}=2\text{GHz}$。

(a) 计算电路功耗。

(b) 若$V_{DD}=1.5\text{V}$，计算电路功耗。

答案：(a) $P_d=120\mu\text{W}$。(b) $P_d=67.5\mu\text{W}$

144

自测5-15

某集成电路有6个组合逻辑模块，被同一个时钟驱动。每个模块的负载电容为750pF，$V_{DD}=1.1\text{V}$，$f_{clk}=3\text{GHz}$。若要求集成电路时钟网络的总功耗小于5W，则必须关掉几个模块？使用粗略估算，假设所有逻辑门每个时钟周期只进行一次充电或放电。

答案：每个模块的功耗是1.36W，因此每次只能开启3个模块。

自测5-16

一个$\alpha=1$的电路中，V_{DD}从1.2V变为$\frac{2}{3}V_{DD}$。

(a) 若$C_L=10\text{nF}$，$f_{clk}=1.5\text{GHz}$，计算两种V_{DD}取值下，一个组合逻辑门的功耗。

(b) 若$C_L=10\text{nF}$，$V_{DD}=1.2\text{V}$，$f_{clk}=1.5\text{GHz}$，计算一个时钟逻辑门的功耗。

答案：(a) $P=4.8\text{W}$，$P=10.8\text{W}$。(b) $P=21.6\text{W}$

5.8.2 短路功耗

在输入变化的过程中，翻转的电压处于V_{tn}和$V_{DD}-|V_{tp}|$之间时，两个晶体管都导通，于是V_{DD}和地之间（图5-1）产生了一个电流通路，它造成的功耗占总翻转功耗的5%～30%。短路功耗取决于器件电流强度、输入翻转时间，以及输出电容。若翻转时间很长，则CMOS晶体管短路电流有效的时间就相对较长。短路电流的精确计算十分复杂，因此我们给出一种近似方法。

考虑一个对称的反相器(即 $K'_n=K'_p$，$V_{tn}=-V_{tp}$)，假设没有输出负载，输入电压翻转时的上升时间和下降时间相等。如图5-12所示，两个晶体管都导通的时间区间是 t_1 到 t_3。在 $t_1\sim t_2$ 区间内，短路电流从0增加至最大值 I_{max}，其间nMOS晶体管处于饱和态，其漏极电流是

$$I_D = K_n \frac{W}{L}(V_i - V_{tn})^2 \quad (0 < I < I_{max})$$

由于我们假设反相器对称且无负载，最大电流应出现在 $V_{in}=V_{DD}/2$ 处，形状应关于 $t=t_2$ 对称。我们从 $t=0$ 到 $t=T$ 积分并除以周期 T，得到一个平均电流 I_{mean}。如图5-12所示，在周期 T 上的积分可以分成4个相等的电流面积，即

145

$$I_{mean} = \frac{1}{T}\int_0^T I(t)\mathrm{d}t = \frac{4}{T}\int_{t_1}^{t_2} K_n \frac{W}{L}(V_{in}(t) - V_{tn})^2 \mathrm{d}t \tag{5-15}$$

若输入电压是一个线性斜坡函数，斜坡持续时间为 τ，则

$$V_{in} = \frac{V_{DD}}{\tau}t \tag{5-16}$$

可以求出 t_1 和 t_2 为

$$t_1 = \frac{V_t}{V_{DD}}\tau, \quad t_2 = \frac{\tau}{2} \tag{5-17}$$

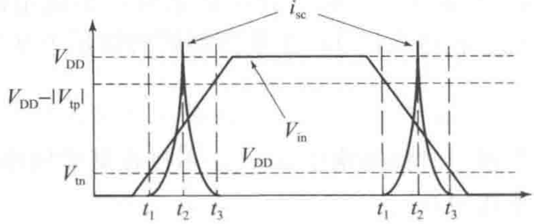


图5-12　一个时钟周期内短路电流功率贡献的简化视图

将式(5-16)和式(5-17)代入式(5-15)，得

$$I_{mean} = K_n\left(\frac{W}{L}\right)\frac{1}{T}\int_{\frac{V_t}{V_{DD}}\tau}^{\frac{\tau}{2}}\left(\frac{V_{DD}}{\tau}t - V_{tn}\right)^2 \mathrm{d}t \tag{5-18}$$

这个积分是 $\int x^2\mathrm{d}x$ 的形式，其中 $x=(V_{DD}/\tau)t-V_t$，故积分结果为

$$I_{mean} = \frac{1}{6}K_n\left(\frac{W}{L}\right)\frac{1}{V_{DD}}(V_{DD} - V_{tn})^3\frac{\tau}{T} \tag{5-19}$$

最终得到短路功耗为

146

$$P_{sc} = V_{DD}I_{mean} \tag{5-20}$$

例5-10 若 $V_{DD}=2\text{V}$，$V_{tn}=-V_{tp}=0.5\text{V}$，$T=500\text{ps}$，$f_{clk}=2\text{GHz}$，$K_n=140\mu\text{A/V}^2$，$W/L=2$，输入脉冲上升和下降时间均为100ps，则反相器短路功耗是多少？

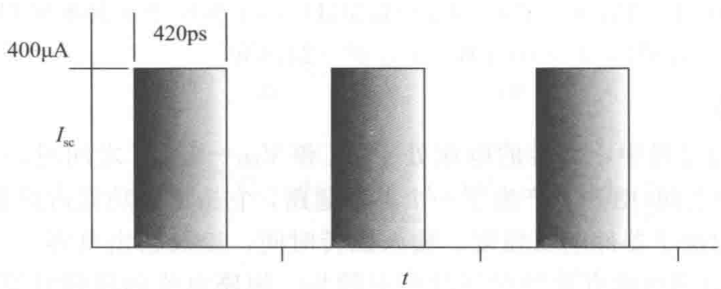
解： $$I_{mean} = \frac{1}{6}\times\frac{140\mu\text{A}}{\text{V}^2}\times\frac{2}{1}\times\frac{1}{2\text{V}}\times(2\text{V}-0.5\text{V})^3\times\frac{100\text{ps}}{500\text{ps}} = 15.75\mu\text{A}$$

故

$$P_{sc} = 2\text{V}\times 15.75\mu\text{A} = 31.5\mu\text{W}$$ ◀

自测5-17

一个CMOS反相器的短路电流脉冲被建模为矩形脉冲，脉冲峰值为400μA，脉宽为420ps。时钟频率是800MHz，$V_{DD}=1.2\text{V}$。使用式(5-18)计算短路功耗。



答案： $P_{sc}=161.3\mu\text{W}$

5.8.3 静态泄漏功耗

图 5-6 所示的电流转移曲线说明，在两种逻辑状态下(0 或 V_{DD})的静态电流非常小，低至纳安数量级。低泄漏晶体管使低功耗集成电路变为可能。然而，随着晶体管尺寸越来越小，其他的泄漏机制开始出现，导致泄漏可能呈数量级增长，以至于诸如互联网服务器这样的高频集成电路的直流泄漏高达 20～40A。这种现象称作短沟道泄漏。电池供电的集成电路无法承受这种程度的泄漏，人们提出很多方法控制泄漏电流。这个问题很复杂，不在此基础课程的范围之内。

5.9 功耗与电源电压调整

V_{tn}与 V_{DD}的比值影响反相器的很多特性。饱和区电流方程写作

$$I_D = \frac{\mu_n \varepsilon}{2T_{ox}} \frac{W}{L}(V_{GS} - V_{tn})^2 \tag{5-21}$$

147

对于逻辑电路，$V_{GS}=V_{DD}$，式(5-21)变为

$$I_D = \frac{\mu_n \varepsilon}{2T_{ox}} \frac{W}{L}(V_{DD} - V_{tn})^2 \tag{5-22}$$

当 V_{DD}减小时，会出现如下几种权衡。

- 式中括号里的电压差(栅极过载)减小，因此电流驱动减小，晶体管速度变慢。负载电容的充放电减慢。
- 随着 V_{DD}的减小，逻辑电平需要跨越的电压区间也减小，从而对翻转速度有轻微的补偿作用。

当 $V_{DD}<(V_t-V_{tp})\approx 2|V_t|$时，翻转会变慢，不过有趣的是这种情况下永远只有一个晶体管是导通的，因而不会产生瞬态电流尖峰。图 5-13 画出了 $V_{DD}=1$V 和 $V_{DD}=0.5$V 的电压转移曲线，其中晶体管的阈值电压约为 0.35V。对于 $V_{DD}=0.5$V 的情况，因为 $V_{DD}<V_{tn}+|V_{tp}|$，故没有电流尖峰产生。这种情形下功耗得以显著降低。低功耗、电池驱动的产品(如电子表以及植入式医疗设备)常使用这种技术。

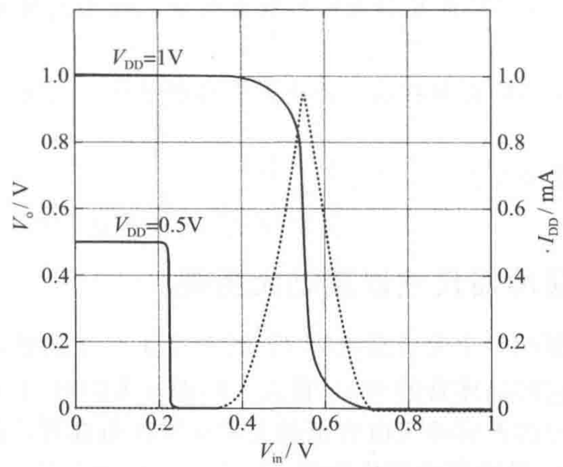


图 5-13 两种 V_{DD}取值下的反相器转移曲线

注：$V_{DD}=0.5$V 的曲线的 V_{in}扫描范围是 0.5～0V，注意，它没有短路电流尖峰；如果你尝试画一个 $V_{DD}=0.5$V 的反相器，你就可以理解这种低功耗操作的原理；当 V_{in}从 0V 向 0.5V 增大时，同时考察两个晶体管的通断状态。

例 5-11 $V_{tn}=0.4$V，$K_n'=400\mu A/V^2$，则一个对称反相器在翻转过程中的瞬间峰值功耗是多大？考虑两种电源电压取值：(a) $V_{DD}=2$V，(b) $V_{DD}=1.5$V。

解:

(a)
$$I_D = 400\mu A/V^2 \times \left(\frac{2.0V}{2} - 0.4V\right)^2 = 144\mu A$$
$$P_{SC} = 1V \times 144\mu A = 144\mu W$$

(b)
$$I_D = 400\mu A/V^2 \times \left(\frac{1.5V}{2} - 0.4V\right)^2 = 49\mu A$$
$$P_{sc} = 0.75V \times 49\mu A = 36.75\mu W$$

V_{DD}的降低显著，减小了峰值电流和功耗。◀

自测 5-18

一个反相器受 $V_{DD}=1.0V$ 的脉冲驱动。

(a) 若要保证每个脉冲之内的功耗小于 $1\mu W$，则平均漏极电流的上限是多少？

(b) 若一个芯片上有 10^5 个(a)中的反相器同时翻转，则一个时钟周期内芯片上的平均电流是多大？

答案: (a) $I_{mean}=1\mu A$。(b) $I_{mean}=100mA$

自测 5-19

一个对称反相器的参数是 $V_{tn}=0.6V$，$V_{tp}=-0.6V$，$K_n=100\mu A/V^2$，$K_p=50\mu A/V^2$，截止态泄漏电流是 1pA，$(W/L)_n=2$，$(W/L)_p=5$。对比如下情形的峰值电流和峰值功率。

(a) $V_{DD}=2V$。

(b) $V_{DD}=1.4V$。

(c) $V_{DD}=1.0V$。

148~149

答案: (a) $I_{peak}=32\mu A$，$P_{peak}=32\mu W$。(b) $I_{peak}=2\mu A$，$P_{peak}=1.4\mu W$。(c) $I_{peak}=1pA$，$P_{peak}=0.5pW$。

自测 5-20

图 5-13 展示了 $V_{DD}=0.5V$ 的反相器电压转移曲线，这个曲线实际上是 V_i 从 0.5V 到 0V 反向扫描得到的。

(a) 若 V_i 从 0V 到 0.5V 正向扫描，画出电压转移曲线。利用 1.0V 的 VTC 估算 V_{tp}，并假设 $V_{tn}=-V_{tp}$。

(b) 滞回区的宽度是多少？

答案: (b) 0.26V

5.10 调整反相器缓冲器尺寸以驱动大负载

当一个小逻辑门要驱动一个大负载电容 C_L 时会产生一个问题，大负载电容如果要快速充放电，就要求驱动它的晶体管的 W/L 很大。然而过大的 W/L 是不现实的，因为晶体管栅极面积越大，它自身的逻辑输入电容也越大，这样往前推算，就会导致它前面的逻辑门需要更大的 W/L。有一种更好的解决方案。

这种方案不增大晶体管的 W/L，而是将晶体管沟道宽度递增的逻辑门级联起来，使最后一级具有足够大的电流来驱动大型负载。驱动大负载的电路通常称作“缓冲器”(buffer)，而将尺寸递增的反相器级联起来构成的缓冲器称作“锥形缓冲器”(tapered buffer)(图 5-14)。若每一级的面积增大一个固定的比例，则称作“定比例锥形缓冲器”。

定比例锥形缓冲器结构是林霍尔姆(Linholm)于 1975 年提出的[1]。他使用了一个简

单的电容模型，令某一级的 W/L 与下一级的输入电容大小成正比，同时每个反相器的面积与晶体管的沟道宽度成正比。通过尽可能减小每一级的延时以优化缓冲器的整体延时。

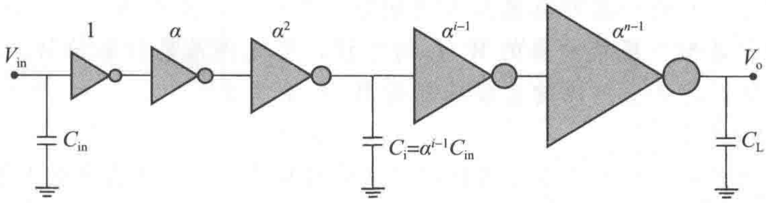


图 5-14 锥形缓冲器结构

如图 5-14，令缓冲器每一级的晶体管宽度比前一级增大一个比例系数 α。第一级反相器是最小的，它的输入电容是 C_{in}，那么第 i 级的输入电容就是

$$C_i = \alpha^{i-1} C_{\text{in}} \quad (i = 1, 2, \cdots, n)$$

级数 n 由下式决定：

$$C_{\text{L}} = \alpha^n C_n$$

于是

$$\alpha^n = \frac{C_{\text{L}}}{C_{\text{in}}}$$

得

$$n = \frac{\ln\left(\dfrac{C_{\text{L}}}{C_{\text{in}}}\right)}{\ln\alpha} \tag{5-23}$$

α 是通过优化延时计算得到的。假设第一级反相器驱动一个与自己一样的反相器的延时是 τ_0，则第 i 级的延时是

$$t_{\text{d}i} = \alpha\tau_0 \quad (i = 1, 2, \cdots, n)$$

全部 n 级的整体延时是

$$t_{\text{d}} = \sum_{i=1}^{n} t_{\text{d}i} = n\alpha\tau_0$$

得到

$$t_{\text{d}} = \ln\left(\frac{C_{\text{L}}}{C_{\text{in}}}\right)\frac{\alpha}{\ln\alpha}\tau_0 \tag{5-24}$$

将式(5-24)对 α 求导，并令导数为 0，得到最优的 α_{opt} 为

$$\alpha_{\text{opt}} = \text{e} \approx 2.7$$

则最优的级数 n_{opt} 为

$$n_{\text{opt}} = \ln\left(\frac{C_{\text{L}}}{C_{\text{in}}}\right) \tag{5-25}$$

本节想要表达的是，当我们设计一个逻辑门来驱动大电容时必须要小心。当集成电路驱动片下电路板上的电容或者片上的总线等大型容性负载时都会出现这种情况。

150 ~ 151

例 5-12 若驱动逻辑门的输入电容是 $C_{\text{in}} = 25\text{fF}$，要最优地驱动一个 1pF 的负载，需要多少级缓冲器？

解：

$$n = \ln\left(\frac{C_{\text{L}}}{C_{\text{in}}}\right) = \ln\left(\frac{1\text{pF}}{25\text{fF}}\right) = 3.7$$

因此，总共需要 4 级缓冲器。 ◀

自测 5-21

一个含有锥形缓冲器的集成电路驱动一个100pF的板上电容。产生信号的逻辑门的输入电容是100fF，它的栅极$W/L=4$。

(a) 要利用定比例锥形缓冲器模型最优地驱动负载，则需要多少个缓冲逻辑门？

(b) 写出计算最后一级缓冲器的W/L的方程，用比例系数和原始W/L表示。

(c) 驱动电路板的最后一级输出缓冲器的W/L是多少？

答案： (a) $n=6.9$

总共需要7级缓冲。除了原本的逻辑门以及输出驱动之外，还需要插入5级锥形结构。

(c) $W/L=1614$

自测 5-22

一个锥形缓冲器的输入电容是20fF，负载电容是5pF。

(a) 要使传输延时最小化，需要多少级缓冲？

(b) 若第一级的传输延时是1.5ns，则总的传输延时是多少？

答案： (a) $n_{opt}=5.52 \Rightarrow 6$级。(b) $T_d=24.5\text{ns}$

5.11 小结

本章详细分析了反相器的电子特性。反相器的特性也是下一章将要讲解的“与非”门、“或非”门以及其他多输入逻辑门所共有的。静态和动态电压转移曲线能反映集成电路的许多速度和功耗行为。设计中常使用锥形缓冲器将小逻辑门驱动和大输入电容的逻辑门相匹配。下一章将扩展这些概念，通过反相器引出多输入逻辑门的知识。

152

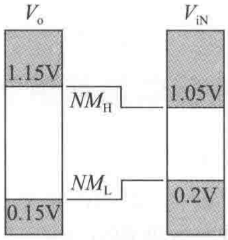
参考文献

[1] F. A. Linholm IEEE J. Solid State Circuits, SC-10, 2, pp. 106–109, April 1975.

习题

反相器静态电压特性

5-1 一个CMOS反相器的$V_{DD}=1.2\text{V}$，$V_{oH}=1.15\text{V}$，$V_{oL}=0.15\text{V}$，$V_{iH}=1.05\text{V}$，$V_{iL}=0.2\text{V}$。计算NM_H、NM_L，画出噪声容限映射图并标出具体数值。



5-2 一个逻辑门的噪声容限参数是$V_{iH}=1.6\text{V}$，$V_{iL}=0.3\text{V}$，$V_{oH}=1.7\text{V}$，$V_{oL}=0.2\text{V}$。

(a) 计算NM_H。

(b) 计算NM_L。

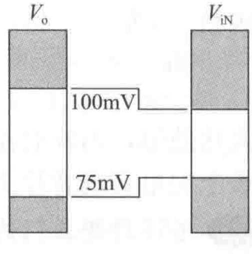
(c) 输入电压最低为1.7V，且有−50mV的噪声尖峰出现，则电路保真度有没有问题？

(d) 输入电压最低为1.7V，且有−150mV的噪声尖峰出现，则电路保真度有没有问题？

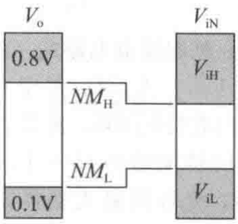
5-3 已知逻辑门的噪声容限：$NM_H=100\text{mV}$，$NM_L=75\text{mV}$，且$V_{DD}=2\text{V}$。

(a) 若$V_{iH}=1.75\text{V}$，则V_{oH}是多少？

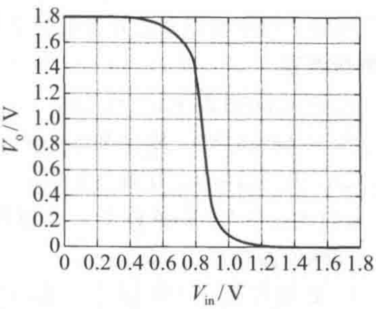
(b) 若$V_{iL}=0.3\text{V}$，则V_{oL}是多少？



5-4 一个CMOS反相器使用$V_{DD}=0.9\text{V}$，它的$V_{oH}=0.8\text{V}$，$V_{oL}=0.1\text{V}$。若噪声容限必须达到V_{DD}的20%，则V_{iL}和V_{iH}是多少？画出噪声容限映射图并标出数值。

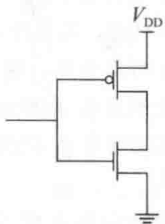


5-5 若下图中的转移曲线的中间部分向右偏移 0.2V，使用图像法求出 CMOS 反相器的逻辑阈值电平的变化。



5-6 (a) 设计能使 CMOS 反相器电压转移特性对称的 W_p/W_n 比例。$\mu_n=1400\text{cm}^2/(\text{V}\cdot\text{s})$，$\mu_p=500\text{cm}^2/(\text{V}\cdot\text{s})$，$V_{tn}=0.35\text{V}$，$V_{tp}=-0.35\text{V}$，$V_{DD}=1.3\text{V}$。

(b) 若 $V_{tp}=-0.45\text{V}$，重新设计该比例。



5-7 一个电压转移曲线对称的反相器有 $W_p/W_n=4.6$，$V_{DD}=1.2\text{V}$，$\mu_n=1530\text{cm}^2/(\text{V}\cdot\text{s})$，$\mu_p=540\text{cm}^2/(\text{V}\cdot\text{s})$，$V_{tp}=-0.4\text{V}$，求满足条件的 V_{tn}。

5-8 一个 CMOS 反相器的晶体管参数为：$K_n(W/L)_n=100\mu\text{A/V}^2$，$K_p(W/L)_p=300\mu\text{A/V}^2$，$V_{tn}=0.7\text{V}$，$V_{tp}=-0.75\text{V}$，$V_{DD}=2.5\text{V}$。则使 nMOS 晶体管处于饱和态的电压区间占输出电压总范围的比例是多少？

5-9 一个 CMOS 反相器的 nMOS 晶体管处于非饱和态，pMOS 晶体管处于饱和态。已知 $K_n=50\mu\text{A/V}^2$，$K_p=25\mu\text{A/V}^2$，$V_{tn}=0.5\text{V}$，$V_{tp}=-0.6\text{V}$，$(W/L)_n=2$，$(W/L)_p=4$，$I_{DD}=11\mu\text{A}$，$V_{DD}=2\text{V}$，计算反相器输出电压 V_o。

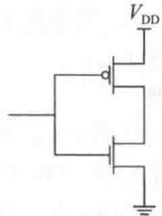
反相器静态电流特性

5-10 已知反相器 $V_{DD}=1.5\text{V}$，$V_{tn}=0.4\text{V}$，$V_{tp}=-0.4\text{V}$，若 $(W/L)_n=3$，$(W/L)_p=7.5$，$K_p=50\mu\text{A/V}^2$，$K_n=125\mu\text{A/V}^2$，计算翻转过程的峰值电流。

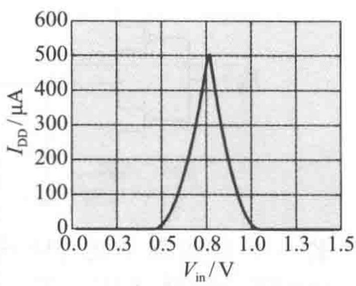
5-11 一个反相器 $V_{DD}=2\text{V}$，$V_{tn}=0.5\text{V}$，$V_{tp}=-0.5\text{V}$，$K_n=300\mu\text{A/V}^2$，$K_p=200\mu\text{A/V}^2$，$(W/L)_n=2$，$(W/L)_p=3$。

(a) 若 $V_{in}=0.8\text{V}$，则 I_{DD} 是多少？

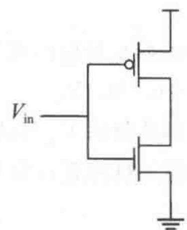
(b) (a)中求得的 I_{DD} 值在电流转移曲线中出现两次。使用 pMOS 方程计算另一个满足(a)中结果的 V_{in}。

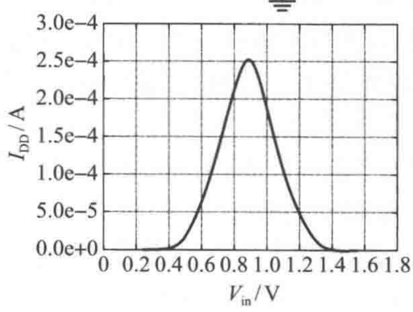


5-12 已知 $V_{DD}=1.5\text{V}$，$K_p=70\mu\text{A/V}^2$，$K_n=120\mu\text{A/V}^2$，$(W/L)_p=150$，$(W/L)_n=75$，利用 ITC 计算 V_{tp}。



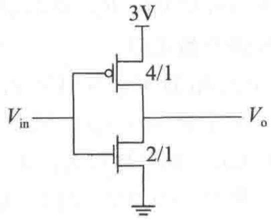
5-13 已知 $V_{DD}=1.8\text{V}$，$V_{tn}=0.5\text{V}$，$K_n=100\mu\text{A/V}^2$，则 nMOS 晶体管的 W/L 是多少？





5-14 $I_{DD}=40\mu\text{A}$，$(W/L)_n=2$，$K_n=100\mu\text{A/V}^2$，$V_{tn}=0.5\text{V}$，$K_p=100\mu\text{A/V}^2$，$V_{tp}=-0.5\text{V}$，

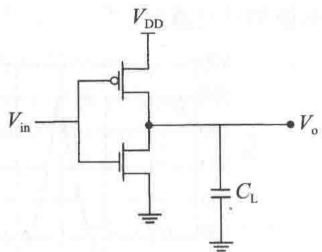
若$V_{in}<1.5V$，则V_{in}是多少？



5-15 已知一个反相器，$V_{tn}=0.4V$，$V_{tp}=-0.35V$，$K_n=200\mu A/V^2$，$K_p=100\mu A/V^2$，$(W/L)_n=2$，$(W/L)_p=3$，计算(a) $V_{DD}=1.5V$以及(b) $V_{DD}=1.0V$情况下，翻转过程中的峰值漏极电流I_{peak}。

反相器速度特性

5-16 采用$C_L=30fF$，$V_{DD}=1.5V$，$(W/L)_n=2$，$K_n'=100\mu A/V^2$，$(W/L)_p=5$，$K_p'=25\mu A/V^2$，$V_{tp}=-0.35V$，$V_{tn}=0.35V$的翻转延时模型，若工作在0～1.5V之间，则上升时间与下降时间之差为多少？



5-17 若一个反相器中的pMOS晶体管有$\mu\varepsilon/(2T_{ox})=28\mu A/V^2$，$V_{tp}=-0.6V$，$W/L=6$，则当$C_L=25fF$时，将$V_{DD}$从2.5V降至1.8V带来的额外上升延时是多少？

5-18 一个CMOS反相器的两个晶体管都有$W/L=6$。$V_{tn}=0.6V$，$V_{tp}=-0.6V$，$V_{DD}=2.3V$。若两个晶体管的V_t都减小到$|V_t|=0.2V$，则晶体管速度降低百分之多少？

153～156

反相器功耗

5-19 一个心脏起搏器电路的$f_{clk}=32.6kHz$，$\alpha=0.1$，$V_{DD}=1.5V$，每个门的$C_L=300fF$，逻辑门数目是10k，计算它的功耗。

5-20 一个时钟网络的$C_L=10nF$，$\alpha=1$，$V_{DD}=1.2V$，允许的最大功耗是5W，则最高时钟频率是多少？

5-21 利用图5-12，给定$V_{DD}=0.9V$，$V_{tn}=0.2V$，$V_{tp}=-0.2V$，$f_{clk}=3GHz$，$W/L=3$，$K_n=250\mu A/V^2$，$t_r=t_f=40ps$。计算逻辑翻转过程的平均电流以及芯片消耗的平均功率。

电源电压调整

5-22 已知某反相器$V_{tn}=0.4V$，$V_{tp}=-0.4V$，$K_n=200\mu A/V^2$，$K_p=100\mu A/V^2$，$(W/L)_n=2$，$(W/L)_p=3$。计算(a) $V_{DD}=1.5V$以及(b) $V_{DD}=1.0V$条件下，反相器翻转过程的峰值漏极电流I_{peak}。

5-23 P_{sc}必须控制在1W以下。某芯片的$V_{DD}=1.5V$，含有一百万个晶体管，$\alpha=0.1$。为了分析方便，我们假设每10^6个晶体管等效为500k个反相器，则每个反相器的平均漏极电流是多少？

尺寸调整与反相器缓冲器

5-24 一个输出缓冲器的输入电容是95fF，负载电容是100pF，若使用定比例锥形设计，并使传输延时最小化，则需要几个反相器？

5-25 一个定比例锥形缓冲器的输入电容为1pF，若输出级需要驱动54pF的负载，则需要几级缓冲？

5-26 一个待设计的锥形缓冲器必须控制在5级以内，以满足芯片面积约束。

(a) 若输入门电容是50fF，则最大可驱动多大的负载电容？

(b) 最后一级反相器的宽W_L与第一级反相器的宽W_{in}的比值是多少？

第6章

CMOS“与非”门、“或非”门和传输门

只给我反相器和“与非”门，我就能造一台计算机。事实上，只给我“与非”门就足够了。

——佚名

多输入逻辑门，比如“与非”门(NAND)、“或非”门(NOR)、“异或”门(XOR)等各有特点，但均与反相器有很多共同的性质。我们将继续使用自底向上的晶体管级方法来理解这些逻辑运算电路。本章末尾将介绍由两个晶体管构成的CMOS传输门(T-gate)，它是绝大多数触发器设计的基础。我们首先观察一下在一个集成电路中不同种类的逻辑门的分布情况。

图6-1所示为现有集成电路设计中逻辑门种类的典型分布。最常见的四种逻辑门按照数量多少排序依次为反相器、触发器、二输入“与非”门和二输入“或非”门。实际上，反相器的使用量应该比图中所示的更多，因为一个触发器通常含有四个反相器。本章讨论的逻辑门在集成电路设计中极为常用。

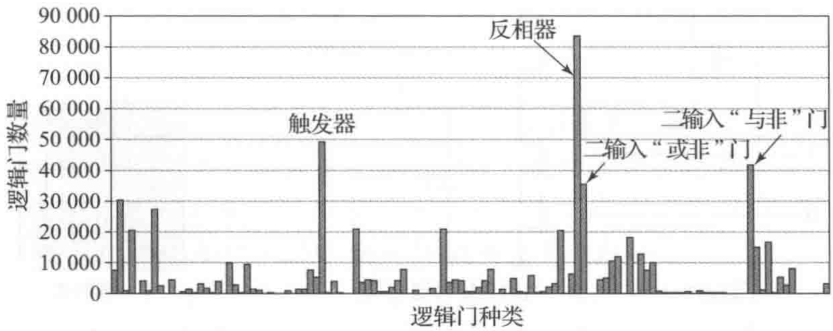


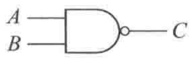
图6-1　一个ASIC设计中的逻辑门种类直方图(经LSI公司授权转载)

6.1　“与非”门

CMOS电路的原理决定了它实现的是反逻辑，如反相器。这意味着逻辑门的输出信号是对一个或多个输入信号取反的结果。最简单的例子就是反相器、“与非”门和“或非”门。“与”门(AND)和“或”门(OR)实现的是正逻辑，它们的输出信号与输入信号同相。不过CMOS“与”门和“或”门是在“与非”门和“或非”门的基础上增加一个反相器实现的，是一种双取反逻辑。

图6-2a和图6-2b所示的是二输入“与非”门的符号和真值表。二输入“与非”门有两个值得注意的特性。第一，只要输入有逻辑0，输出就是逻辑1。第二个特性更加细微，但对集成电路的逻辑设计、调试和测试很重要。一些特定的电平被称为“非控制状态”，如真值表第3行和第4行中$A=1$时，输出的C就是B的反或B的补($C=\overline{B}$)。即当$A=1$时，C的值只取决于B。类似地，若$B=1$，则C是A的补。在激活一个事件之前，通常将控制信号设置在非控制逻辑状态。有时，我们需要将电路深层的某个信号经一系列逻辑

门传递到电路外部的可观测结点(如输出引脚)上进行观察，这个性质就可以派上很大用场。设计师和测试工程师在调试电路或编写测试程序时常使用这个性质来检测潜在的故障信号结点。



a）二输入“与非”门符号

A	B	C
0	0	1
0	1	1
1	0	1
1	1	0

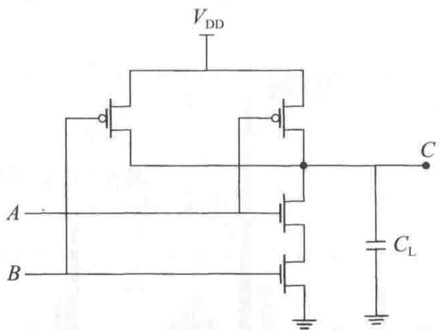
b）真值表

图 6-2　二输入“与非”门符号及真值表

6.1.1 电路行为

图 6-3a 所示为二输入“与非”门的晶体管电路图。电路行为符合图 6-3b 所示的真值表。任何一条输入线上输入逻辑 0 都会造成 nMOS 下拉晶体管截止，切断输出 C 和地之间的通路。而输入逻辑 0 保证至少有一个 pMOS 晶体管是导通的，从而将 V_{DD} 传至输出端。因此，只要任何一个输入端是逻辑 0，输出就是逻辑 1，即 $V_C=V_{DD}$。若两个输入都是逻辑 1($V_A=V_B=V_{DD}$)，则两个 nMOS 晶体管都导通，两个 pMOS 晶体管都截止，有 $V_C=0$V。

157~158



a）一个静态CMOS“与非”门的晶体管级结构

A	B	C
0	0	1
0	1	1
1	0	1
1	1	0

b）真值表

图 6-3　一个静态 CMOS“与非”门的晶体管级结构及真值表

6.1.2 “与非”门的非控制逻辑状态

当“与非”门的输入结点设为非控制逻辑 1 时，我们可以将图 6-3a 中相关的 nMOSFET 用一根线短路，并将截止状态的 pMOSFET 删掉，这与非控制逻辑 1 是等效的。若将图 6-3 中的结点 B 设为非控制状态，即 $V_B=V_{DD}$，对结点 A 进行电压扫描，则可以得到与反相器类似的静态和动态晶体管曲线。若结点 A 与结点 B 短接，也可以得到类似的扫描响应。第 5 章介绍的反相器的大多数性质在“与非”门中依然成立。

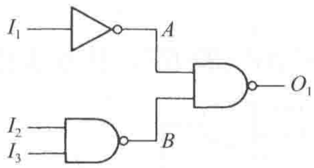
“与”门可以通过在“与非”门的输出端增加一个反相器实现，因此“与”门的非控制逻辑状态也是逻辑 1。下面的例子将展示如何根据所选的不同传输信号来设置相应的非控制逻辑状态。

例 6-1 我们要在电路输出结点 O_1 观察一个电路内部结点的状态。

(a) 要读取结点 B 的状态，则结点 I_1 应设为多少？

(b) 要读取结点 A 的状态，则 I_2 和 I_3 应设为多少？

(c) 要在输出结点 O_1 读取结点 I_3 的状态，则 I_1 和 I_2 应设为多少？



解：

(a) 要将结点 B 的信号传递到输出结点 O_1，就要求结点 A 设置在逻辑 1 的非控制逻辑状态。因此 I_1 必须为逻辑 0。

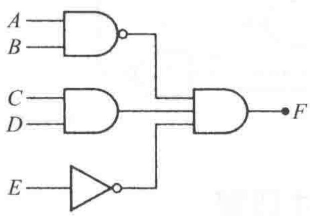
(b) 要将结点 A 的信号传递到输出结点 O_1，就要求结点 B 设置在逻辑 1 的非控制逻辑状态。因此 I_2I_3 必须取 00、01 或 10。

(c) 要将结点 I_3 的信号传递到输出结点 O_1，要求 I_2 设置为逻辑 1，I_1 设置为逻辑 0。◀

例 6-2 写出 $AB\,CD\,E$ 的二进制序列使得

(a) $F=f(D)$。

(b) $F=f(A)$。



解：

(a) E 必须设置为三输入“与”门(3AND)的非控制逻辑状态，故 $E=0$。二输入“与非”门(2NAND)的运算结果也必须是三输入“与”门的非控制逻辑状态，不妨令 $AB=00$。结点 C 设为 1。符号 X 表示两种逻辑状态均可。使得 $F=f(D)$ 的完整二进制字是 $ABCDE=001X0$。注意到 $AB=01$ 或 $AB=10$ 也满足 $F=f(D)$。

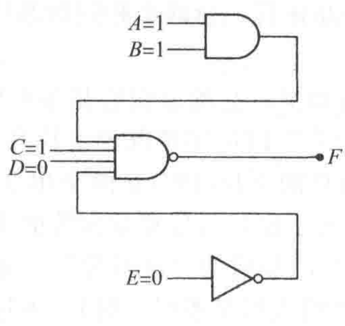
(b) 二输入“与”门必须传递一个非控制逻辑状态给三输入“与”门，因此 $CD=11$。结点 E 取逻辑 0，结点 B 取逻辑 1。使得 $F=f(A)$ 的完整二进制字 $ABCDE=X1110$。◀

非控制逻辑状态的性质在人工分析逻辑电路时也很有帮助。若多输入逻辑门的一个或多个输入端是非控制逻辑状态，则分析时可以忽略那些端口。我们看下面的例子。

159
~
160

例 6-3 工程师很可能会读到与本例类似的小电路。输出的逻辑信号是什么？找出非控制逻辑状态的信号，并重点关注其他控制逻辑信号。

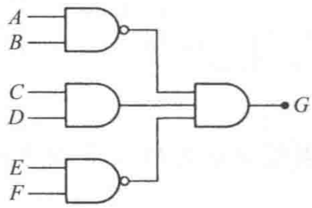
解： 注意，四输入“与非”门(4NAND)的 3 个输入都是逻辑 1，因此是非控制逻辑状态，则结点 D 是唯一对结点 F 产生影响的信号，故 $F=\overline{D}=1$。



◀

自测 6-1

写出使 $G=f(F)$ 的二进制序列 $AB\ CD\ EF$。使用非控制逻辑状态的概念。

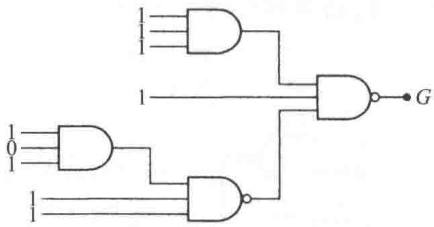


答案： $AB\ CD\ EF=00\ 11\ 1X$。

其中 AB 可以取如下三种组合之一：00，01，10。

自测 6-2

使用非控制状态的性质分析结点 G 的逻辑状态。



161

答案： $G=0$

6.2 "与非"门晶体管尺寸调整

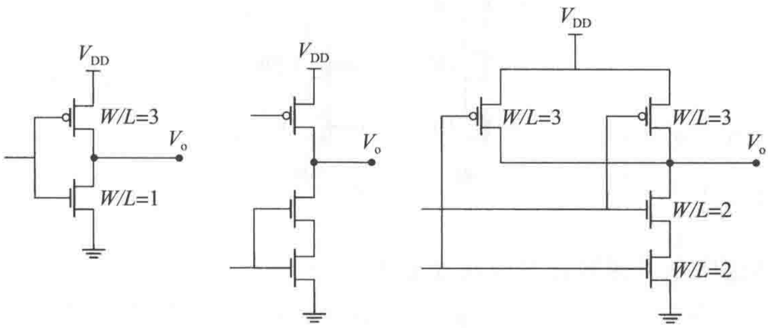
"与非"门和反相器有一个主要的区别，体现在上升时间和下降时间的匹配方法上。为了实现反相器上升时间和下降时间的匹配，我们采用了对称的晶体管设计，即 $K_n=K_p$，$V_{tn}=-V_{tp}$。然而，pMOS 晶体管的载流子迁移率较低，为了进行补偿，在这种对称设计方法中 $(W/L)_p>(W/L)_n$，倍数约为 2.0～3.0。这样使得反相器在两种逻辑跳变过程中可以实现上拉和下拉的强度相等。

然而，如图 6-3 所示，"与非"门的情况更为复杂。因为要实现相等的上升时间和下降时间，需要考虑更多种输入可能性。上拉电流驱动强度取决于导通的 pMOS 晶体管的数目。两个并联的 pMOS 晶体管的上拉(pull-up，PU)强度是单个 pMOS 晶体管的 2 倍。另一方面，当下拉(pull-down，PD)路径导通时，两个串联 nMOS 晶体管的电流驱动强度只有单个 nMOS 的一半。

我们应该如何处理这个问题呢？由于无法保证所有逻辑状态都具有对称的上升时间和下降时间，因此需要采用另外的方法。一种实用的设计思路是，按照平衡的反相器的方法调整"最坏上升时间"和"最坏下降时间"，调准的准则基于这样的特性：两个相同的晶体管并联可以看作一个 $2W/L$ 的晶体管，而两个相同的晶体管串联近似为一个 $W/2L$ 的晶体管。

图 6-4a 所示为一个平衡的反相器，它的 p 沟道晶体管的 W/L 尺寸被设置为 n 沟道晶体管的 3 倍。图 6-4b 展示了"与非"门最坏情况的上拉和下拉设置。最坏的上拉(PU)就是只有一个 pMOS 晶体管，而最坏的下拉(PD)是两个串联的 nMOS 晶体管。因为上拉强度还与反相器的情况相同，所以为了保持与反相器相等的下拉强度，n 沟道晶体管的 W/L 必须要加倍。图 4-6c 所示为 W/L 调整后的"准对称"二输入"与非"门。这种设计会造成最好情况的上拉时间较快(两个输入都是逻辑 0 时)，不过这种非平衡通常是预料之内且

可以接受的。



a）平衡的反相器　b）二输入“与非”门的最坏上拉和下拉设置　c）调整二输入“与非”门尺寸使之与 a）中的平衡反相器等效

图 6-4 “与非”门晶体管尺寸调整示例

计算一系列串联晶体管的等效沟道宽度的算式如下：

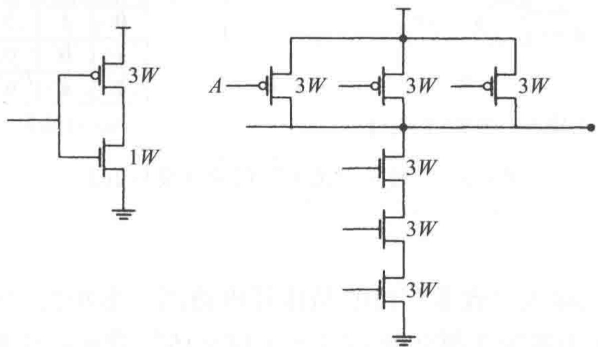
$$W_{eq}=\left[\frac{1}{\frac{1}{W_1}+\frac{1}{W_2}+\cdots+\frac{1}{W_n}}\right] \tag{6-1}$$

对于每个“与非”门，我们都使用这个式子计算其晶体管宽度，使之与反相器的参考值匹配。图 6-4 中的 nMOS 晶体管等效宽度是

$$W_{eq}=\left[\frac{1}{\frac{1}{W_1}+\frac{1}{W_2}}\right]=\left[\frac{1}{\frac{1}{2}+\frac{1}{2}}\right]=1$$

于是图 6-4a 和图 6-4c 中的上拉和下拉强度就等效了。

例 6-4 调整一个三输入“与非”门的尺寸，使它的最坏上拉和下拉强度近似与图中的反相器的。其中反相器的 p 沟道晶体管 $W/L=3$，n 沟道晶体管 $W/L=1$。



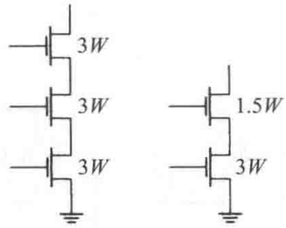
解： 最坏上拉是只有一个 p 沟道晶体管的情况，最坏下拉是 3 个 n 沟道晶体管串联的情况。三输入“与非”门的 p 沟道晶体管的 W/L 还保持为 3，因为要与原来的反相器上拉强度相等。三输入“与非”门的 n 沟道晶体管的 W/L 也必须调整到整体下拉强度与原反相器的相同。根据式(6-1)算出 nMOS 晶体管的 W/L 应该增大为 3。

$$W_{eq}=\left[\frac{1}{\frac{1}{W_n}+\frac{1}{W_n}+\frac{1}{W_n}}\right]=\left[\frac{W_n}{3}\right]=1,\quad W_n=3$$ ◀

162~163

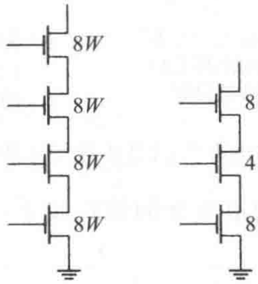
自测 6-3

利用式(6-1)证明如下两图的下拉强度相等。



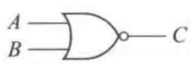
自测 6-4

利用式(6-1)证明如下两图的下拉强度相等。



6.3 “或非”门

“或非”门的符号和真值表如图 6-5a 和图 6-5b 所示。“或非”门也有两个重要性质。第一，任何一个输入为逻辑 1 都导致输出为逻辑 0。第二是非控制逻辑状态。“或非”门的非控制逻辑状态不同于“与非”门和“与”门的。真值表第 1 行和第 2 行 $A=0$，则输出 C 是 B 的补($C=\overline{B}$)。第 1 行和第 3 行 $B=0$ 时，也有类似的性质，输出 $C=\overline{A}$。“或非”门以及“或”门的非控制逻辑状态是逻辑 0。



a）二输入“或非”门符号

A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

b）真值表

图 6-5　二输入“或非”门符号及真值表

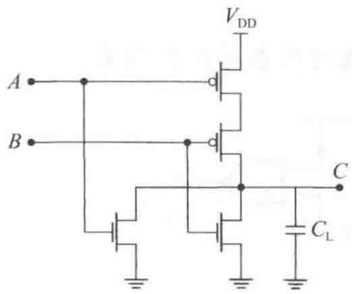
6.3.1 电路行为

图 6-6a 所示的是二输入“或非”门的晶体管电路图。电路行为遵从图 6-6b 所示的真值表。任何一条输入线为逻辑 1 都会使 pMOS 上拉晶体管截止，并断开输出 C 与 V_{DD} 的通路。另一方面，逻辑 1 使得 nMOS 晶体管导通，将输出与地连通。因此，对于任何的逻辑 1 输入，“或非”门输出都是逻辑 0，即 $V_C=0$。若输入均为 0($V_A=V_B=0$)，则两个 nMOS 晶体管都截止，两个 pMOS 晶体管都导通，有 $V_C=V_{DD}$。

6.3.2 “或非”门的非控制逻辑状态

图 6-6a 所示的说明，若“或非”门的一个输入端设为逻辑 0，则可以将这个信号结点的影响排除，只考虑其他输入线上的信号。一个逻辑 0 使一个 pMOS 晶体管导通，同时使与之互补的 nMOS 晶体管截止，它的效果等同于将 pMOS 晶体管用一根短路线替代，并将 nMOS 晶体管从电路中删除，这样并不会改变电路的结果。“或”门可以通过在“或非”

门的输出端加一个反相器实现，因此“或”门的非控制逻辑状态也是逻辑 0。



a）二输入“或非”门的晶体管级电路

A	B	C
0	0	1
0	1	0
1	0	0
1	1	0

b）真值表

图 6-6 二输入“或非”门的晶体管级电路及真值表

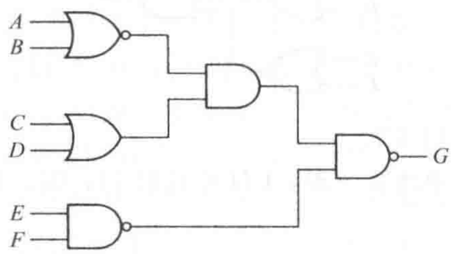
“或非”门也具有反相器的静态和动态属性。可以将一路输入设为非控制逻辑状态并测量另一个端口的转移曲线，或者将两个输入端口短接来观察这些性质。

164~165

例 6-5 写出二进制序列 $AB\ CD\ EF$ 使得

(a) $G=f(D)$。

(b) $G=f(F)$。



解：

(a) E 和 F 的取值必须成为输出端的二输入“与非”门的非控制逻辑状态，因此$EF=$ 00、10 或 01。二输入“或非”门的结果必须作为二输入“与”门的非控制逻辑状态，因此 $AB=00$。结点 C 应取 0。用 X 表示可变状态(结点 D 可取逻辑 0 或逻辑 1)，则一组完整的二进制字是

$$AB\ CD\ EF = 00\ 0X\ 00$$

(b) 上方的“或”门、“或非”门以及“与”门必须传递一个非控制逻辑状态到输出端的二输入“与非”门，因此 $AB=00$、10 或 01，$CD=11$、10 或 01。结点 E 取逻辑 1。一组完整的二进制字是

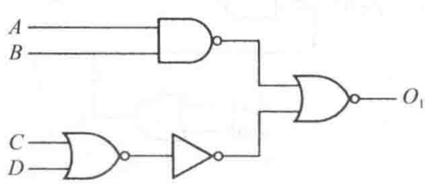
$$AB\ CD\ EF = 00\ 11\ 1X$$ ◀

自测 6-5

使用非控制逻辑状态的概念求解以下问题。

(a) 确定输入信号的取值，使得结点 C 的值可以在结点 O_1 测量。

(b) 改成测量结点 B，重做上一问。

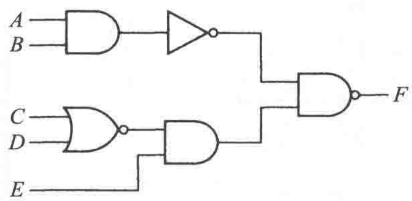


166

答案：(a) $ABCD=11X0$。(b) $ABCD=1X00$

自测 6-6

(a) 确定输入信号的取值，使得结点 C 的值可以在结点 F 测量。



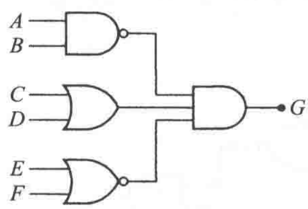
(b) 改成测量结点 B，重做上一问。

(c) 改成测量结点 A，重做上一问。

答案：(a) $AB\,CDE=0000X$。(b) $AB\,CDE=00X01$。(c) $AB\,CDE=X1001$

自测 6-7

写出使得 $G=f(F)$ 的二进制序列 $AB\,CD\,EF$。使用非控制逻辑状态的方法。

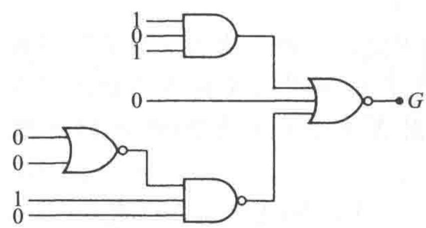


答案：$AB\,CD\,EF=00\ 11\ 0X$。

AB 可以取 00、01、10 中的任一组，CD 可以取 11、01、10 中的任一组。

自测 6-8

使用非控制逻辑状态的性质分析并写出结点 G 的逻辑状态。

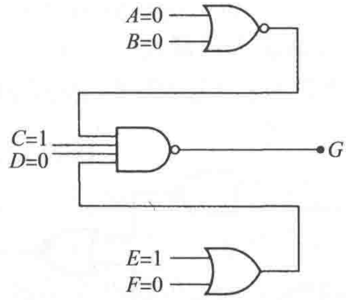


167

答案：$G=0$

自测 6-9

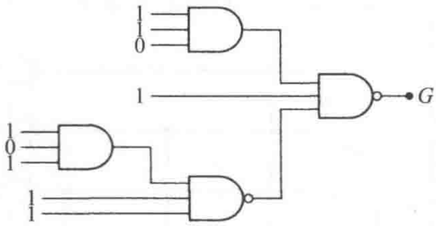
输出的逻辑信号是什么？找出非控制逻辑状态的信号，并重点关注其他控制逻辑信号。



答案：$G=1$

自测 6-10

使用非控制逻辑状态的性质分析并写出结点 G 的逻辑状态。

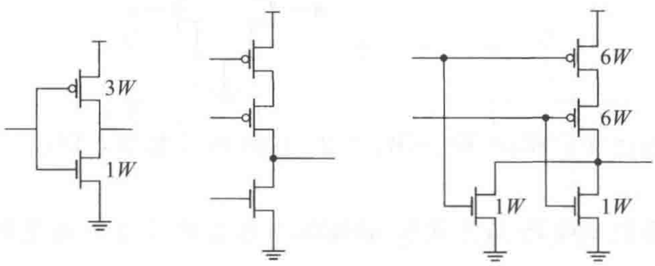


答案：$G=1$

6.4 “或非”门晶体管尺寸调整

图 6-6 所示的“或非”门电路图表明，任何一个输入是逻辑 1 都使 nMOS 晶体管导通，将输出结点 C 的电压强行拉至 0V。若两个输入都被高电平 V_{DD} 驱动，则下拉的强度翻倍，因为 nMOS 晶体管是并联的。同理，两个 pMOS 晶体管串联则很可能大大减慢上拉速度。因此我们需要增大 pMOS 晶体管的尺寸以实现相等的上升和下降时间。

“或非”门的 W/L 调整方法大体上跟“与非”门的相同。调整“或非”门晶体管尺寸也是为了保证最坏情况下的上拉和下拉强度与平衡反相器的等效。图 6-7a 所示的为一个平衡的反相器，它的 p 沟道晶体管 W/L 尺寸被设为 n 沟道晶体管的 3 倍。图 6-7b 展示的是“或非”门的最坏上拉与下拉设置。需要将单个晶体管的下拉强度与两个串联晶体管的上拉强度相匹配。为了维持和反相器相同的上拉强度，p 沟道晶体管的 W/L 必须加倍，变成 $W/L=6$。下拉晶体管则保持 $W/L=1$ 即可实现与反相器下拉强度相同。图 6-7c 所示的为二输入“或非”门 W/L 调整的结果。“或非”门面临的一个问题是上拉晶体管尺寸较大。若一个电路需要较快的下拉速度，而对上拉要求不高，则可以适当放宽对 pMOS 晶体管尺寸的要求。 168



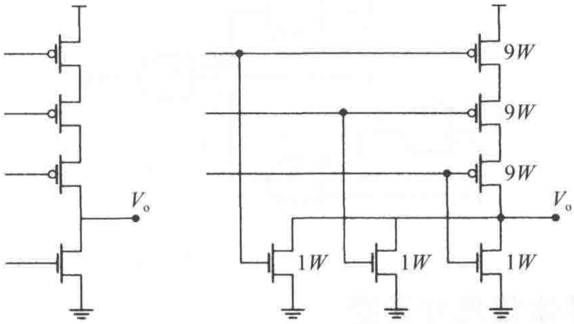
a）平衡的反相器 b）二输入“或非”门的最坏上拉和下拉设置 c）调整二输入“或非”门尺寸使之与 a）中的平衡反相器等效

图 6-7 或非门晶体管尺寸调整示例

例 6-6 画出三输入“或非”门的最坏上拉和下拉设置，并调整“或非”门的尺寸，使它的上拉和下拉强度等同于一个 p 沟道晶体管 $W/L=3$、n 沟道晶体管 $W/L=1$ 的反相器。

最坏情况的上拉是 3 个 p 沟道晶体管串联，最坏情况的下拉是单个 n 沟道晶体管。要与原反相器的上拉强度相等，三输入“或非”门的 p 沟道晶体管的整体 W/L 应该等效为 $W/L=3$。因此串联 p 沟道晶体管的 W/L 应该等于 9。

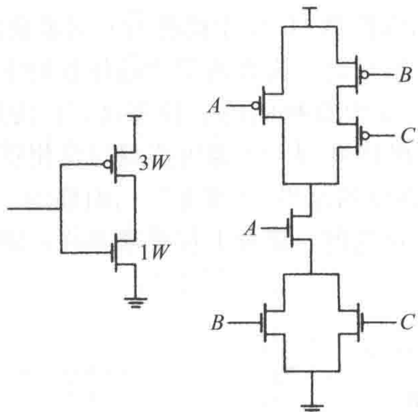
$$W_{eq}=\left[\frac{1}{\frac{1}{W_p}+\frac{1}{W_p}+\frac{1}{W_p}}\right]=\left[\frac{W_p}{3}\right]=3,\quad W_p=9$$



三输入“或非”门的n沟道晶体管下拉强度应该与原反相器的下拉强度相同，故$W/L=1$。我们再次注意到，三输入“或非”门尺寸调整后的晶体管较大，会造成门电容和芯片面积的增大。一个三输入“或非”门的总面积要明显大于一个三输入“与非”门的总面积。◀

自测 6-11

若一个对称的反相器的pMOS晶体管和nMOS晶体管宽之比为3∶1，要使右边逻辑门的上拉与下拉强度与反相器等效，则这个多输入逻辑门的晶体管尺寸应该如何调整？

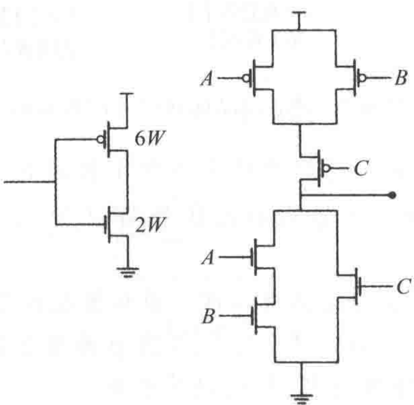


169
~
170

答案： nMOS晶体管：$W_A=W_B=W_C=2$。pMOS晶体管：$W_A=3$，$W_B=W_C=6$

自测 6-12

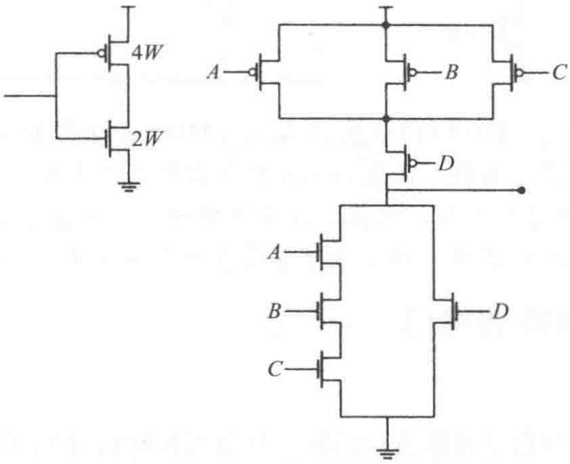
已知对称反相器的pMOS晶体管和nMOS晶体管的尺寸，则逻辑门的晶体管尺寸应该如何调整？



答案： nMOS 晶体管：$W_A = W_B = 4$，$W_C = 2$。pMOS 晶体管：$W_A = W_B = W_C = 12$

自测 6-13

已知对称反相器的 pMOS 晶体管和 nMOS 晶体管的尺寸，则逻辑门的晶体管尺寸应该如何调整？

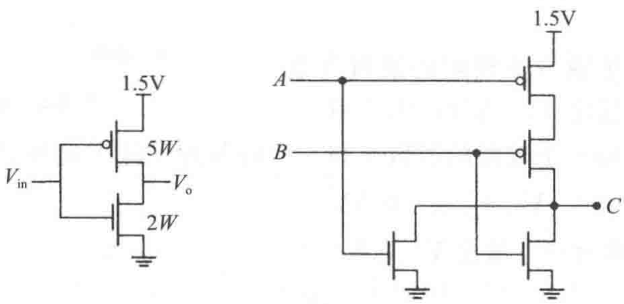


答案： nMOS：$W_A = W_B = W_C = 6$，$W_D = 2$。pMOS：$W_A = W_B = W_C = W_D = 8$

171

在前面的例题中，我们都是将平衡反相器的上拉和下拉强度作为参考进行设计的。然而在某些局部设计中，可能只有上拉或只有下拉对速度敏感。这种情况下，设计者可以对不敏感的跳变沿采用较小的 W/L 以节约芯片面积。

例 6-7 (a) 左图是一个平衡的反相器。若 $K_n = 90\mu A/V^2$，$V_{tn} = 0.4V$，$V_{tp} = -0.4V$，则电流驱动常数 K_p 是多少？



(b) 若二输入“或非”门中的每种晶体管都与反相器中的同种晶体管的 W/L 相等，则会对二输入“或非”门的速度造成什么影响？

解：

(a) 使用 p 沟道和 n 沟道晶体管的饱和区模型，选择一个偏置电压。设输入信号为 $V_{DD}/2$。

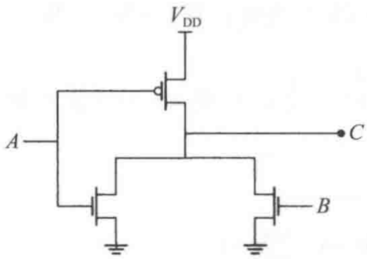
$$90\mu A \times 2 \times (0.75 - 0.4)^2 = K_p \times 5 \times (0.75 - 1.5 + 0.4)^2$$

$$K_p = 36\mu A/V^2$$

(b) 二输入“或非”门的 nMOS 晶体管的 $W/L = 2$，因此最坏下拉情况不受影响。pMOS 晶体管的 $W/L = 5$，因此上拉速度减慢为原来的一半。 ◀

172

例 6-8 设每个晶体管的电流驱动强度是相同的，分析其逻辑函数。详述所发现的异常情况。



A	B	C
0	0	1
0	1	$0.5V_{DD}$
1	0	0
1	1	0

解： 第二个逻辑状态($AB=01$)造成 A 端的 pMOS 晶体管和 B 端的 nMOS 晶体管竞争。由于晶体管的驱动强度相等，因此当两晶体管饱和态的上拉和下拉平衡时，$C=0.5\times V_{DD}$。在这个偏置区，电路作线性放大器，没有逻辑函数。并且它的两个输入信号(A，B)都是由电源环驱动的。A 和 B 发生微小的信号变化都会导致 I_{DD} 和 V_o 的改变。◀

6.5 通过门与 CMOS 传输门

6.5.1 通过门

很多时候我们需要对信号通路进行门控。只有当控制信号允许时，信号才会传递到下一级。传输门(T-gate)实现的正是这一功能。由单个晶体管构成的传输门称作“通过晶体管”(pass transistor)，不过它有一个缺点。

如图 6-8a 所示，一个 n 沟道晶体管驱动 C_L，结点 A 接 V_{DD}。当控制输入端 G 是高电平时，通过晶体管将电荷从结点 A(漏极)传输至电容 C_L。当结点 B(源极)的电压上升到比 V_G 低一个阈值电压时，n 沟道晶体管截止，导致结点 B(源极)的电压无法继续上升至 V_G-V_{tn} 以上。

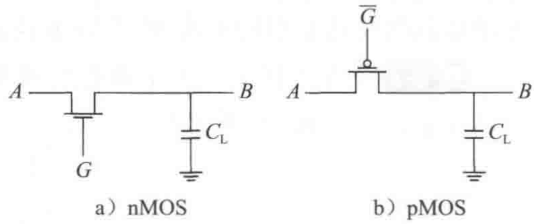
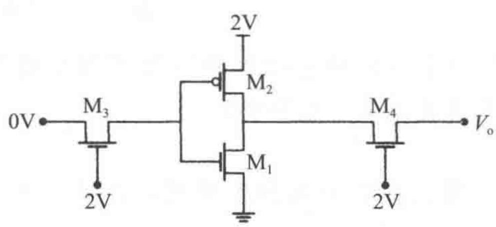


图 6-8 通过晶体管

n 沟道晶体管会传输一个较弱的逻辑高电平和一个较强的逻辑低电平。同理，图 6-8b 中的 p 沟道晶体管会传输一个较强的逻辑 1 和一个较弱的逻辑 0(比地高一个阈值电压)。

例 6-9 已知 $V_{tn}=0.5V$，$V_{tp}=-0.5V$：

(a) 忽略晶体管体效应，输出 V_o 是多少？



(b) 若输入由 0V 变为 2V，则 V_o 是多少？

解：

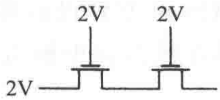
(a) 输入的逻辑 0 经过 M_3 无衰减。逻辑 0 经过反相器变成一个很强的逻辑 1。这个很强的逻辑 1 通过晶体管 M_4 之后衰减了一个阈值电压，因此

$$V_o=(2-0.5)V=1.5V$$

(b) 2V 的输入通过晶体管 M_3 衰减到 1.5V。反相器把这个较弱的 1.5V 输入加强为接近 0V 的弱逻辑 0。弱逻辑 0 通过 M_4 无衰减，因此 $V_o\approx 0V$。◀

自测 6-14

已知通过晶体管的阈值电压是 $V_{tn}=0.5V$。忽略体效应。则输出电压是多少？

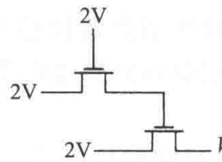


173 ~ 174

答案： $V_o=1.5V$

自测 6-15

已知通过晶体管的阈值电压是 $V_{tn}=0.5V$。忽略体效应。则输出电压是多少？

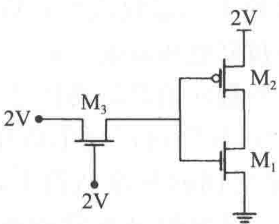


答案： $V_o=1.0V$

自测 6-16

已知 $K'_n=200\mu A/V^2$，$K'_p=400\mu A/V^2$，$V_{t0}=\pm 0.5V$，$\gamma=0.3$，$\phi_F=0.35V$，且有

$$V_t = V_{t0} \pm \left(\sqrt{(2\phi_F)+V_{SB}} - \sqrt{2\phi_F}\right)$$



M_1 和 M_2 的源极接衬底，M_3 的体接地，源极接反相器信号输入。

(a) 计算反相器输入结点的电压。

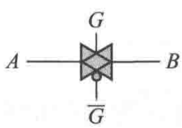
(b) 计算 I_{DD}。

答案： (a) $V_{SB}=1.324V$。(b) $I_D=12.4\mu A$

6.5.2　CMOS 传输门

CMOS 传输门可以解决单个通过晶体管弱逻辑电平的问题。图 6-9 所示的是 CMOS 传输门的符号、真值表和电路图。nMOS 晶体管传输强逻辑为 0，而 pMOS 晶体管传输强逻辑为 1，因此简单的做法就是将两个晶体管并联。如图 6-9 所示，信号传输是由门控信号 G 控制的。当 $G=1$ 时，两个晶体管都导通，信号可以无衰减地传输到输出结点 B。当 $G=0$ 时，两个晶体管都截止，没有信号可以通过。

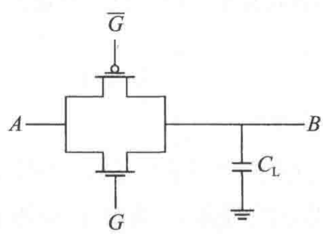
175



a）传输门符号

A	*B*	*C*
0	1	0
1	1	1
0	0	*Z*
1	0	*Z*

b）真值表



c）晶体管级表示

图 6-9　传输门

图6-9c所示的传输门可能在组合逻辑中产生电路问题，因为它在控制信号无效时会产生高阻态(也称悬空、高Z或三态)。悬空态可导致负载晶体管的栅极电压漂移，造成逻辑状态错误。不过CMOS传输门在CMOS触发器设计中非常常见，通常一个触发器含有4个CMOS传输门，而一个集成电路中有数百万个触发器。这些设计都考虑到了高阻态结点的存在，因而不会造成电路不稳定。

6.5.3 三态逻辑门

当我们将许多逻辑门的输出连接到同一根线(如数据总线或地址线)的时候，就有必要利用高阻态。若同时有多个逻辑门试图控制总线，就会产生电位冲突。一种解决方案是使用可控的高阻态电路。此外，也可以使用多路选择器(multiplexer)从多条可用线中选择一路输出。只要有一个逻辑门将一个结点驱动到强逻辑状态，那么与之并联的其他高阻态逻辑门就不会造成结点的悬空。

有两种方法可以在CMOS逻辑门的输出端产生高阻态。第一种方法是在逻辑门的输出端连一个传输门以制造三态(图6-10)。控制信号C将传输门设置在导通态，从而将反相器的非三态输出$\overline{out}$传输至三态输出结点out。当传输门关断($C=0$)时，它的输出是高阻态，即悬空态；而当$C=1$时，传输门导通，其输出是由反相器驱动的。

在输出端接传输门可以提供三态能力，然而也会消耗不必要的功率。以图6-10所示的设计为例，当传输门关断，电路处于三态模式时，输入和输出($\overline{out}$)每次翻转也会带来动态功耗。寄生电容在这个过程中被充电或放电。由于当输出处于三态时，输入端的逻辑行为并不会影响逻辑结果，因此这些翻转消耗的功耗是完全浪费的。

176

将传输门与反相器的晶体管“串联”可以减小功耗(图6-11)。图中传输门的pMOS晶体管和nMOS晶体管在电源和地之间的导电通路上，与反相器的晶体管成串联关系。当$C=0$时，逻辑门进入三态模式，里面的晶体管的源极结点悬空。只要逻辑门处在高阻态($C=0$)，反相器的输出结点就不会产生功耗。当$C=1$时，外面的反相器晶体管将正常工作。

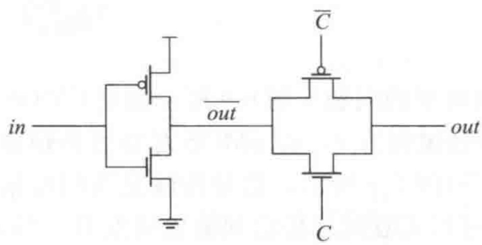


图6-10 反相器接传输门以提供三态输出

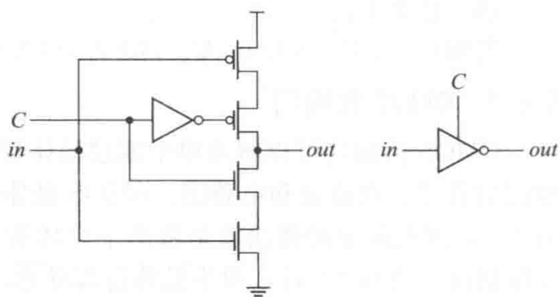


图6-11 反相器“内嵌”传输门以提供三态输出：电路图和符号

6.6 小结

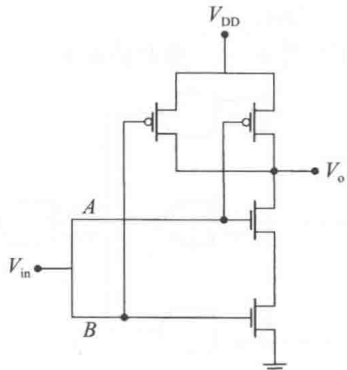
本章详细讨论了“与非”门、“或非”门，以及其他多输入逻辑门的电学特性，介绍了非控制逻辑状态的性质，讲解了晶体管尺寸调整的难点和设计步骤。最为关键的是要从晶体管电路的层面理解“与非”门、“或非”门，以及传输门的工作原理。下一章将拓展这些概念，并讲解如何设计更高级的逻辑功能。

177

习题

“与非”门

6-1　设此二输入“与非”门中的所有晶体管都有 $K_n'=K_p'=K$，输入 A 和 B 绑定在一起，$V_{DD}=2.0\text{V}$，$V_{tn}=0.5\text{V}$，$V_{tp}=-0.5\text{V}$。电压转移曲线中存在一个点，在这个点 nMOS 晶体管处于饱和与非饱和的边界，而 pMOS 晶体管饱和。这个点是图 5-3 所示偏置分区的Ⅲ区和Ⅳ区的分界点。



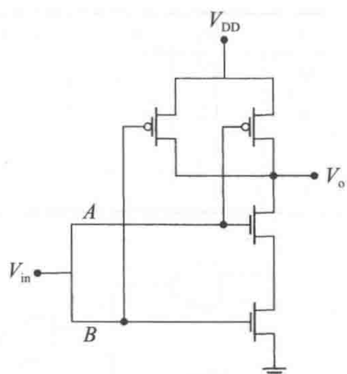
计算这个偏置点对应的 V_{in} 和 V_o。

提示：两个并联晶体管的等效电流驱动强度是单个晶体管的两倍，两个串联晶体管的等效电流驱动强度是单个晶体管的一半。

6-2　若 $K_p'=K_n'=400\mu\text{A/V}^2$，计算上一题中的偏置点对应的电源驱动电流 I_{DD}。

6-3　设此二输入“与非”门中的所有晶体管都有 $K_n'=K_p'=K$，输入 A 和 B 绑定在一起，$V_{DD}=2.0\text{V}$，$V_{tn}=0.5\text{V}$，$V_{tp}=-0.5\text{V}$。电压转移曲线中存在一个点，在这个点 pMOS 晶体管处于饱和与非饱和的边界，而 nMOS 晶体管饱和。这个点是图 5-3 所示偏置分区的Ⅱ区和Ⅲ区的分界点。

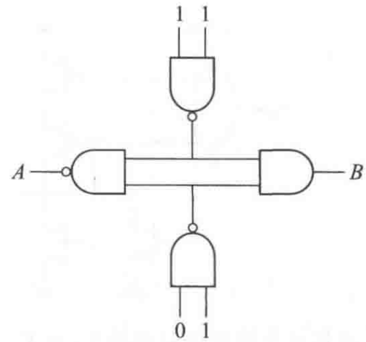
计算这个偏置点对应的 V_{in} 和 V_o。



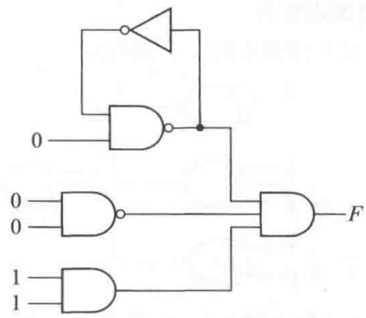
6-4　若 $K_p'=K_n'=400\mu\text{A/V}^2$，计算题 6-3 中的偏置点对应的电源驱动电流 I_{DD}。

6-5　题 6-1 中的二输入“与非”门电压转移曲线为什么会从对称位置向右偏移？

6-6　使用你掌握的非控制逻辑状态的技巧求出结点 A 和结点 B 的逻辑状态。



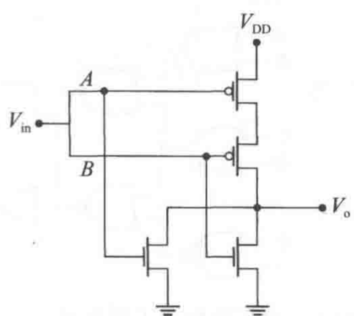
6-7　使用你掌握的非控制逻辑状态的技巧求出结点 F 的逻辑状态。



“或非”门

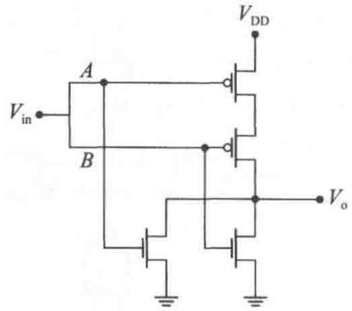
6-8　设此二输入“或非”门中的所有晶体管都有 $K_n'=K_p'=K$，$V_{DD}=2.0\text{V}$，$V_{tn}=0.5\text{V}$，$V_{tp}=-0.5\text{V}$。电压转移曲线中存在一个点，在这个点 nMOS 晶体管处于饱和与非饱和的边界，而 pMOS 晶体管饱和。这个点是图 5-3 所示偏置分区的Ⅲ区和Ⅳ区的分界点。

计算这个偏置点对应的 V_{in} 和 V_o。



6-9　若 $K_p'=K_n'=400\mu\text{A/V}^2$，计算上一题中的偏置点对应的电源驱动电流 I_{DD}。

6-10 设此二输入“或非”门中的所有晶体管都有 $K_n'=K_p'=K$，$V_{DD}=2.0V$，$V_{tn}=0.5V$，$V_{tp}=-0.5V$。电压转移曲线中存在一个点，在这个点 pMOS 晶体管处于饱和与非饱和的边界，而 nMOS 晶体管饱和。这个点是图 5-3所示偏置分区的Ⅱ区和Ⅲ区的分界点。

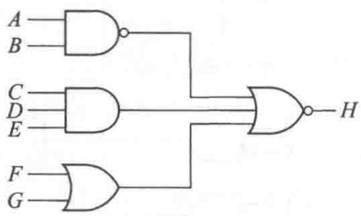


计算这个偏置点对应的 V_{in} 和 V_o。

6-11 若 $K_p'=K_n'=400\mu A/V^2$，计算上一题中的偏置点对应的电源驱动电流 I_{DD}。

非控制逻辑状态

6-12 已知逻辑电路如下图所示。

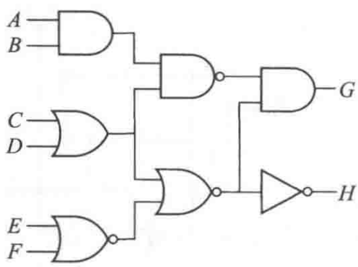


(a) 要在输出结点 H 读取结点 C 的值，需要如何设置输入结点的信号逻辑值？

(b) 要在输出结点 H 读取结点 G 的值，需要如何设置输入结点的信号逻辑值？

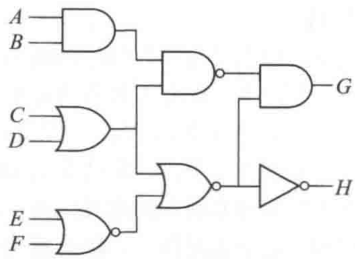
6-13 (a) 若结点 E 为逻辑 1，写出在结点 H 读取结点 E 的输入信号配置。结点 H 的逻辑值是多少？

(b) 写出在结点 H 读取结点 A 的输入信号配置。



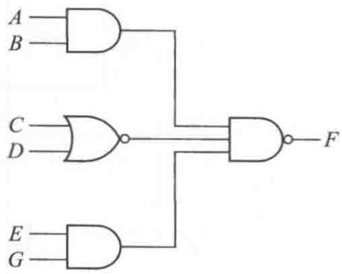
6-14 (a) 一个工程师为了检查结点 D，需要从结点 G 将其读取出来，则输入向量应该怎么取？

(b) 若要在结点 G 读取结点 E，则输入向量应该怎么取？

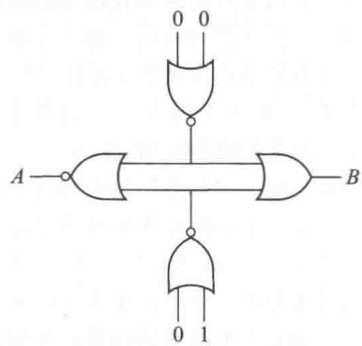


6-15 (a) 写出正确的输入信号取值，使得 $F=f(E)$。

(b) 若 $E=1$，则 F 是多少？

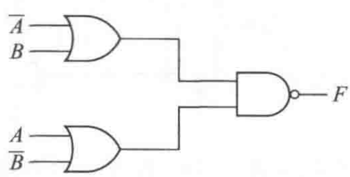


6-16 使用你掌握的非控制逻辑状态的技巧求出结点 A 和结点 B 的逻辑状态。



6-17 使用真值表，利用你掌握的非控制逻辑状态的技巧求出结点 F 的逻辑状态。F 执行的是什么逻辑函数？

A	B	$\overline{A}+B$	$A+\overline{B}$	F
0	0			
0	1			
1	0			
1	1			



6-18 仿照题 6-17，自己出一道非控制逻辑状态的题目。你的电路需要包含至少 4 个多输入逻辑门。

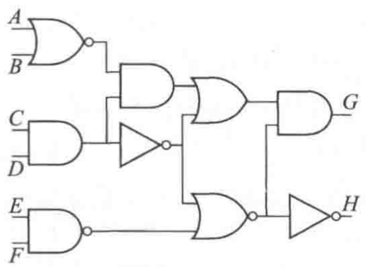
6-19 将 $AB\,CD\,EF$ 的逻辑值填入表中，使得

(a) $G=f(E)$

(b) $G=f(F)$

使用这些逻辑符号：

1，0，X，$\overline{X}$



	A	B	C	D	E	F	G	H
$G=f(E)$								
$H=f(F)$								

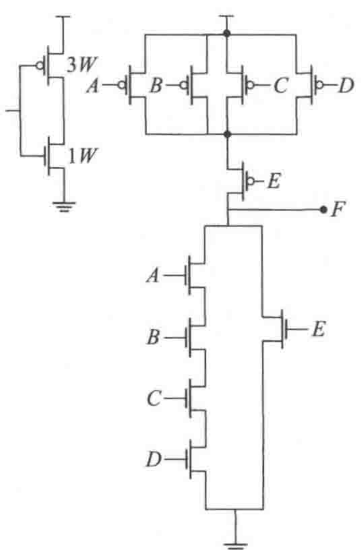
组合逻辑中的尺寸调整

6-20 考虑如下电路，

(a) 写出这个电路实现的逻辑函数。

提示：你可以列出真值表，或者分析每个晶体管的行为。

(b) 调整晶体管的尺寸，使其延时等效于一个 $W_p=3W_n$ 的 CMOS 反相器。

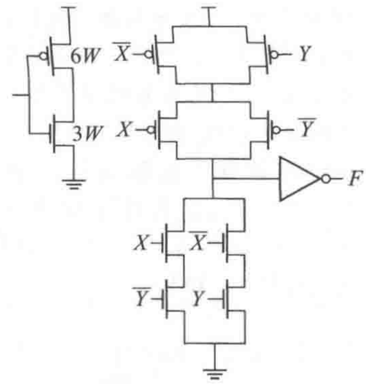


6-21 已知逻辑函数：$F=(\overline{C}+\overline{A})(B+AC)+AC$。

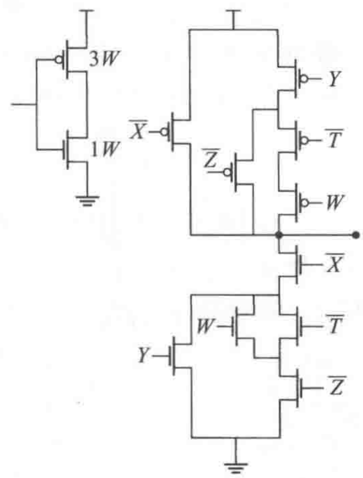
(a) 将此函数化简至最简布尔表达式。

(b) 画出晶体管级电路图，并以电压转移曲线对称的反相器为参照，调整晶体管尺寸，使其最坏下拉和上拉强度等效于 $W_p=3W_n$ 的反相器的强度。

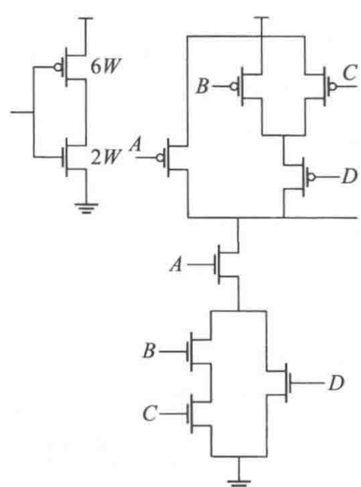
6-22 以此对称反相器为参照，调整如下电路的晶体管尺寸。



6-23 以此对称反相器为参照，调整如下电路的晶体管尺寸，其中反相器的 pMOS 晶体管与 nMOS 晶体管的宽比为 3。



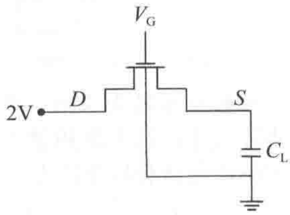
6-24 给定左图的对称反相器。调整右边电路的晶体管尺寸，使其最坏上拉和下拉与反相器的电流驱动强度匹配。



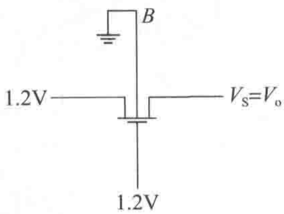
6-25 自己出一道 CMOS 组合逻辑电路尺寸调整的问题。你的电路必须包含 5 个 nMOS 晶体管和 5 个 pMOS 晶体管。

传输门

6-26 图中给出了一个单晶体管传输门。$t=0$ 时，栅极电压 V_G 变为 2V。负载电容 C_L 的初始电压为 0V。随着源极结点电容充电，V_{GS} 不断变小，直到小于 V_{tn} 时，晶体管截止，这时源极电压比漏极低一个阈值电压，$V_S=V_D-V_{tn}$。若体系数为 $\gamma=0.2V^{1/2}$，$\phi_F=-0.35V$，$V_{t0}=0.4V$，计算电容完全充电时的 V_{GS} 和 V_S。

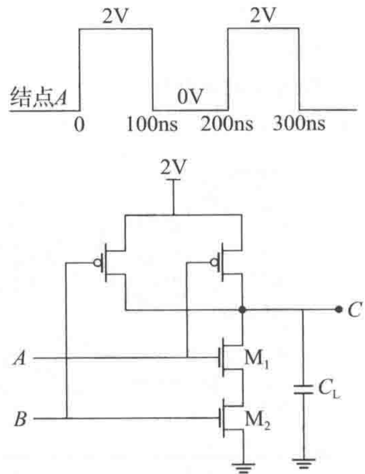


6-27 已知 $V_{t0}=0.25V$，$\phi_F=0.35V$，$C_{ox}=3.9\times10^{-7}$，$N_A=8\times10^{16}cm^{-3}$，计算 V_o。



178 ~ 184

6-28 在 200nm 到 300ns 这段时间里，M_1 的 V_{tn} 和 V_{S1} 是多少？为了便于分析，假设 V_{S1} 处于稳态。已知 $V_{t0}=0.5V$，$\gamma=0.2V^{1/2}$，$\phi_F=0.35V$。



第7章 CMOS 电路设计风格

第 6 章介绍了基础的 CMOS 逻辑门，着重分析了它们的电学参数特性。下面将讨论 CMOS 电路的设计风格。对于任意给定的逻辑函数，不同的设计风格采取不同的实现方法。每种设计风格都有各自的优势所在，如电路速度、功耗，或管芯的物理尺寸。任何一种设计风格都不可能在这三方面同时做到最好。

CMOS 组合逻辑电路有多种设计风格，其中最常用的是互补静态(complementary static)设计风格(第 6 章)。这是一种鲁棒性好、功耗低的设计。然而，高性能电路可能会使用动态设计风格，这种风格适用于高速运算而较少考虑功耗。集成电路中含有一些需要重复高速运算的较小电路，如算术逻辑单元(ALU)，它们可能会使用动态逻辑进行设计。第三种设计风格使用通过晶体管(pass transistor)或通过门(pass gate)作为基本开关元件，这样可以使用较少的晶体管实现一个逻辑函数。我们需要了解这些组合逻辑设计风格及其优缺点，这是设计师、测试工程师、失效分析师以及可靠性工程师必备的知识。

7.1 布尔代数到晶体管电路图的转换

静态、全互补的 CMOS 设计使用反相器、“与非”门、“或非”门和传输门作为更复杂逻辑电路的组成模块。本章将讲解如何将这些简单的设计扩展成为复杂的组合逻辑电路，实现任意给定的布尔函数。这种互补设计的噪声容限较好，静态功耗较低。CMOS 静态互补逻辑门包括两个晶体管网络(nMOS 和 pMOS)，它们的拓扑结构是相互关联的(图 7-1)。正如第 6 章的简单逻辑门那样，每个 nMOS 晶体管都有一个与之对应的 pMOS 晶体管。pMOS 晶体管网络连在电源和逻辑门输出之间，而 nMOS 晶体管网络连在输出和地之间。

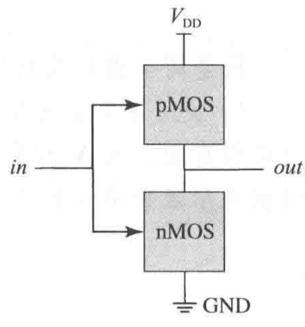


图 7-1 CMOS 互补逻辑门的标准结构

nMOS 晶体管网络又称为下拉(PD)网络，pMOS 晶体管网络又称为上拉(PU)网络(图 7-1)。当 pMOS 晶体管网络导通时，输出结点被上拉到 V_{DD}，而当 nMOS 晶体管网络导通时，输出结点被下拉到地。接下来我们将学习把任意布尔函数转换为 CMOS 晶体管电路图的算法。

一个布尔函数转换为晶体管逻辑图的设计步骤简单明确。

1) 根据下列规则得到 nMOS 晶体管拓扑结构。

- 布尔函数中的乘积项(“与”运算)通过 nMOS 晶体管串联实现。
- 布尔函数中的求和项(“或”运算)通过 nMOS 晶体管并联实现。

2) pMOS 晶体管网络的拓扑结构与 nMOS 晶体管网络对偶，或称互补，也就是说，nMOS 晶体管网络中的串联晶体管转换成 pMOS 晶体管网络中的并联晶体管，而 nMOS 晶体管网络中的并联关系则转换成 pMOS 晶体管网络中的串联关系。

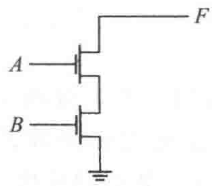
3) 若需要实现非取反逻辑(正逻辑)，则在输出端口再加一个反相器。“与非”和“或

185 ~ 186

非”函数加一个反相器就变成“与”和“或”函数。本章有一些例题就需要添加一个反相器，以实现该逻辑函数。

我们通过3个例子讲解上述设计步骤。

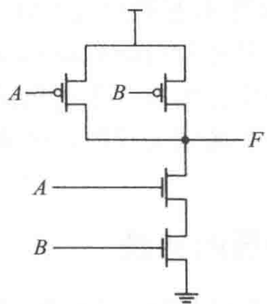
例 7-1 设计一个晶体管级的互补静态CMOS二输入“与非”门。



解： 根据前文给出的规则，$F=\overline{AB}$对应于两个nMOS晶体管串联，而两个pMOS晶体管的拓扑结构与nMOS互补，所以是并联。

第1步：画出nMOS晶体管网络的两个串联晶体管。

第2步：添加互补的pMOS晶体管网络，即两个并联晶体管。



例 7-2 设计一个晶体管级的互补静态CMOS“异或”门(XOR)。

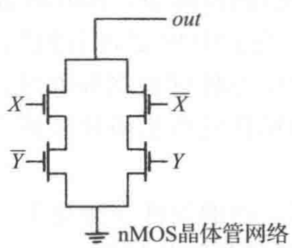
解：“异或”门的布尔表达式F有4个逻辑变量，写作

$$F = X \oplus Y = X\overline{Y} + \overline{X}Y$$

F是两个乘积项的和，设计步骤如下。

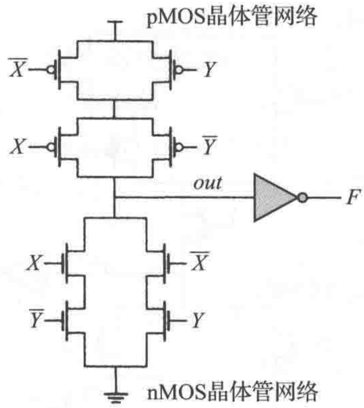
1）使用4个晶体管组成nMOS晶体管拓扑结构，每个晶体管对应布尔表达式中的一个逻辑变量。由X和$\overline{Y}$驱动的两个晶体管串联，同理由$\overline{X}$和Y驱动的两个晶体管也串联。根据布尔函数中的加法关系，这两组晶体管再并联，因此最终的nMOS晶体管网络是

187



2）pMOS晶体管网络的拓扑结构与nMOS晶体管网络的对偶。由X和$\overline{Y}$驱动的晶体管是并联的，由$\overline{X}$和Y驱动的晶体管同理。由于nMOS晶体管网络中这两组晶体管是并联的，则在pMOS晶体管网络中将它们串联起来。此时输出结点得到的是取反逻辑$\overline{F}$。

3）添加一个反相器以得到函数F。因此$F=\overline{out}=X\overline{Y}+\overline{X}Y$。为了电路图的整洁，这里省略的输入信号的互联关系。此外我们也省略了为得到$\overline{X}$和$\overline{Y}$所需要的反相器。



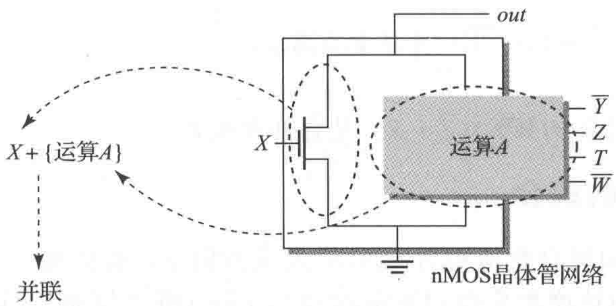
对于任何的布尔函数，无论其形式多么复杂，都可以按照以上步骤1)～3)进行设计，得到含有CMOS晶体管互补结构和反相器的电路。下面给出一个更复杂的例子。 ◀ 188

例7-3 设计布尔函数 $F=X+\{\overline{Y}[Z+T\overline{W}]\}$ 的nMOS晶体管网络。

解： nMOS晶体管网络连在输出和地之间。函数 F 的最高级是两个加和项，不妨写作

$$F = X + \{\text{运算 } A\}$$

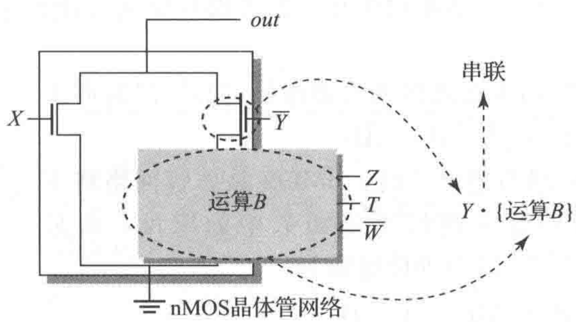
式中：运算 A 代表 F 的大括号中的逻辑。这个加和关系的晶体管级实现为



接下来我们再设计运算 A 模块的晶体管拓扑结构，其中作用在 $\overline{Y}$ 的运算是"与"运算，即

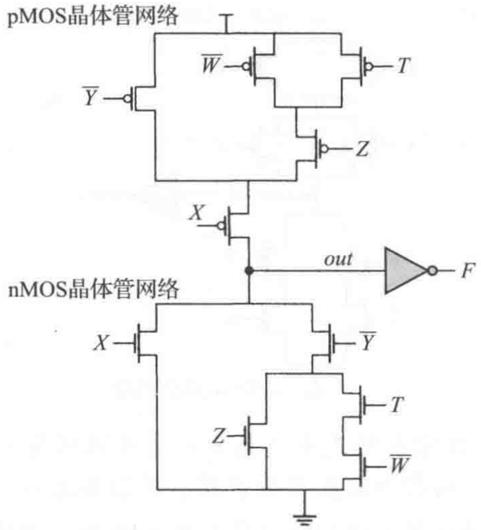
$$\text{运算 } A = \overline{Y}\cdot[\text{运算 } B]$$

故其拓扑结构是输入 $\overline{Y}$ 控制的晶体管与实现运算 B 的模块串联，即



然后我们再设计运算 B 的拓扑结构。它是输入 Z 控制的晶体管与另外两个串联的晶体管并联：其中一个由输入 T 控制，另一个由输入 $\overline{W}$ 控制。完整的nMOS晶体管网络见下图。

pMOS晶体管网络模块的拓扑结构与nMOS晶体管网络对偶，然后在输出端接一个反相器就可以实现正逻辑 $F=X+\{\overline{Y}[Z+T\overline{W}]\}$。 189



自测 7-1

(a) 设计 $F=\overline{ABCD+E}$的晶体管电路。

(b) 讨论上升和下降时间。

自测 7-2

设计 $F=\overline{(A+B)(C+D)+E}$的晶体管电路。

自测 7-3

设计 $F=(X+Y)[Z+(WT)(\overline{Z}+X)]$的晶体管电路。

7.2　德摩根电路的综合

至此我们学习了如何自然地构造 CMOS 取反逻辑 $\overline{F}$，再添加一个反相器以实现函数 F。还有一种方法利用德摩根定律(DeMorgan's Law)将"与非"门转换成等效的"或"门，将"或非"门转换成等效的"与"门。这种方法与前文例题所介绍的方法类似，然而可以省去输出的反相器。德摩根定律的"与非"门和"或"门等价关系为：

190

$$F=\overline{AB}=\overline{A}+\overline{B}$$

德摩根等价式等号右边的部分将我们的注意力集中到 pMOS 晶体管网络上，这里任何一个输入为逻辑 0 都得到 $F=1$。于是我们现在只思考哪些输入 0 能使 pMOS 晶体管导通并造成输出为逻辑 1。

类似地，将"或非"门表达式转换为德摩根"与"门的形式：

$$F=\overline{A+B}=\overline{A}\overline{B}$$

等式右侧表明当 A 和 B 都为逻辑 0 时，pMOS 晶体管网络将 F 驱动至逻辑 1。现在我们感兴趣的不是函数中的取反，而是"与"的形式。德摩根"与"门的等价电路为：

$$F=AB=\overline{\overline{A}+\overline{B}}$$

等号右侧的函数整体取反，对应于一个以 $\overline{A}$ 和 $\overline{B}$ 为输入的晶体管"或非"下拉网络。而上拉网络则为两个串联的 pMOS 晶体管，其输入也是 $\overline{A}$ 和 $\overline{B}$。电路图如图 7-2 所示。这个电路无需采取"与非"门加反相器的形式就可以实现逻辑函数 $F=AB$。将"或非"门的信号极性提前取反，就可以实现和原来的"与"门

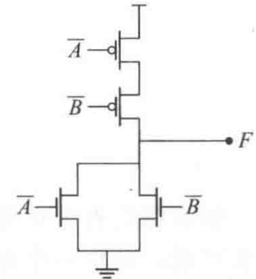


图 7-2　一个"与"门的等效德摩根"或非"门

等价的逻辑功能。

乍看之下，我们似乎需要两个额外的反相器来产生输入信号 $\overline{A}$ 和 $\overline{B}$。在某些情况下可能是这样，不过输入结点的信号极性并不总是统一的正相，它们可能本来就以互补的形式存在。一个触发器本身就能提供一个逻辑信号以及它的互补信号。德摩根电路需要额外反相器对输入项取反的假设，就如同我们说“与非”门和“或非”门需要信号极性修正才能得到正确的输入项一样，对于集成电路来说，都是没有意义的。一种硬件实现能否节省晶体管取决于局部的信号状态，我们想要强调的是通过灵活的设计方法来优化局部的逻辑门设计时，设计者需要酌情慎重选取不同的设计方法。

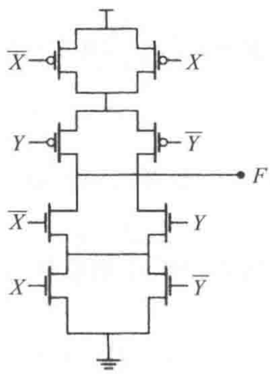
191

例 7-4 使用德摩根转换方法重做“异或”门的设计，不通过输出端加反相器的方法实现函数，并用真值表验证逻辑运算。

$$F = X \times Y = X\overline{Y} + \overline{X}Y$$

解： 德摩根等价式为

$$F = X\overline{Y} + \overline{X}Y = \overline{(\overline{X} + Y)(X + \overline{Y})}$$



这个电路图表明，当信号极性取反时，pMOS 晶体管网络导通，使得 $F = X\overline{Y} + \overline{X}Y$ 的输出为逻辑 1。真值表与电路的运算结果相符。

X	Y	$\overline{X}$	$\overline{Y}$	$F = X\overline{Y} + \overline{X}Y$
0	0	1	1	0
0	1	1	0	1
1	0	0	1	1
1	1	0	0	0

注意，例 7-2 中的 nMOS 晶体管网络结构就是本例的德摩根设计中的 pMOS 晶体管结构。同样，例 7-2 中的 pMOS 晶体管网络结构就是德摩根设计中的 nMOS 晶体管网络结构。只不过每个信号的极性都取反了。◀

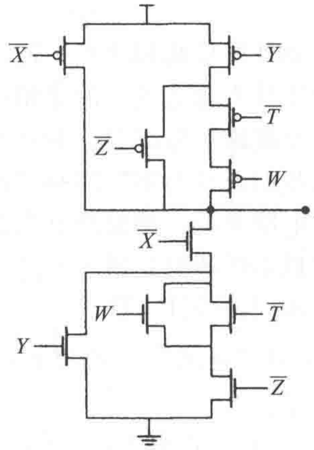
192

例 7-5 不使用任何反相器重新设计 $F = X + \{\overline{Y}[Z + T\overline{W}]\}$。将你的结果与例 7-3 比较。

解： 德摩根等价式为

$$F = \overline{\overline{X}[Y + \overline{Z}(\overline{T} + W)]}$$

其电路图如下。



自测 7-4

输出端不使用反相器实现 $F=A+B$ 的等价 CMOS 晶体管电路。

自测 7-5

输出端不使用反相器设计 $F=(X+Y)[Z+(WT)(\overline{Z}+X)]$的晶体管级电路。将你的结果与自测 7-3 对比。

自测 7-6

设计 $F=\overline{A}+(B+C)\overline{D}E$ 的等价德摩根逻辑门电路。

自测 7-7

193

设计 $F=W\overline{XY}+\overline{W}X\overline{Y}+\overline{WX}Y$ 的等价德摩根逻辑门电路。它实现的是什么功能?

7.3 动态 CMOS 逻辑门

前面的设计方法说明，传统的 CMOS 组合逻辑电路不使用时钟信号。若输入保持不变，只要电源持续供电，输出状态就保持不变(所有逻辑结点都保持在有效的静态逻辑电平上)。动态电路需要一个时钟信号，不过它们更快、更小，且适用于集成电路中集中进行数据处理的子模块。下面将讲解动态 CMOS 逻辑电路设计风格及其优势和劣势。

7.3.1 动态 CMOS 逻辑门的特性

动态 CMOS 逻辑门通过一个晶体管模块(通常是 nMOS 晶体管，因其载流子迁移率更大)实现逻辑功能。输出结点通过此 nMOS 晶体管逻辑模块以及一个单独的 nMOS 求值晶体管(evaluation transistor)与地相连(图 7-3)。输出结点和电源之间有一个 pMOS 预充电晶体管(precharge transistor)。逻辑门的工作可以分为两个阶段：预充电阶段和求值阶段。预充电晶体管和求值晶体管由一个全局时钟控制。在预充电阶段，全局时钟为低电平，使得 pMOS 晶体管导通而 nMOS 晶体管截止。逻辑门输出电压升高(因为它正在被预充电)，同时 nMOS 晶体管模块处于截止状态。在预充电过程中，nMOS 逻辑模块的所有输入必须是逻辑 0，从而将逻辑模块中的晶体管与预充电的输出结点断开。

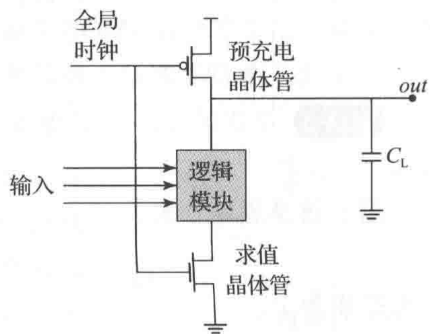


图 7-3 动态 CMOS 逻辑门的基本结构

在求值阶段，全局时钟为高电平，pMOS 晶体管截止而 nMOS 晶体管导通。这时输出与地之间的通路阻抗大小取决于逻辑模块的输入信号取值。若输入的逻辑信号不能使 nMOS 逻辑模块导通，输出与地之间

没有通路，那么输出结点还将悬浮在预充电时的逻辑高电平上。若 nMOS 逻辑模块在输出与地之间形成通路，则输出结点变为逻辑 0。 194

预充电晶体管和求值晶体管永远不会同时导通，因此消除了导通电流所引起的功率和速度损耗。这种设计还可以减小输出结点的电容，因为它只有一个 pMOS 晶体管。以静态互补“与非”门为例，它的输出结点并联了多个 pMOS 晶体管，因此具有更大的漏极负载电容。动态逻辑门的方便之处在于，若由输入决定的逻辑结果是逻辑 1(V_{DD})，那么上升时间就等效为 0。动态逻辑电路的电容更小，输出逻辑 1 的上升时间接近于 0，跳变时的导通电流更小，逻辑门面积更小，这些优点使它成为高速应用场景下最受欢迎的设计方法。

具有 n 个输入的动态电路只需要 $n+2$ 个晶体管，而静态互补 CMOS 逻辑门则需要 $2n$ 个。不过动态逻辑门也有缺点。如图 7-3 所示，当输出的求值结果为高时，输出结点实际处于高阻态，因为它与 V_{DD}或地之间都没有导电通路。这样一来，输出结点就很容易出现泄漏引起的电压漂移、噪声波动，或与逻辑模块共享电荷，从而造成电压的降低。晶体管截止状态的泄漏电流会造成输出结点负载电容缓慢地放电，并可能导致逻辑状态的丢失。因此动态逻辑电路在低频运算时的性能受到限制。nMOS 晶体管的输入只能在求值阶段改变，因为当输出电压为高电平时，输出电容和 nMOS 逻辑模块内部结点的电荷重分配可能会造成输出结点的电压下降。我们将在下一节分析电荷共享的问题。

动态 CMOS 逻辑电路的特性总结如下。

优点

- 动态逻辑门使用更少的晶体管，因此相比于互补晶体管设计，它占用的面积更小。
- 由于晶体管更少，前级逻辑门所驱动的输入电容更小，因此能够提供更快的翻转速度。
- 门电路的设计和晶体管尺寸的调整都以高速翻转特性为目标。高性能电路会使用动态逻辑门进行设计。
- 输出电压由低到高的转换实际上不需要经过跳变，因为输出结点在事件发生前就经过预充电，因此我们认为，由低到高跳变的上升时间为 0。
- 不存在导通或短路电流，因此电路的功耗下降而速度提升。

缺点

- 每个门都需要一个时钟信号，在整个电路中部署时钟线需要非常精确的时序控制。
- 时钟电路持续运行，因此会产生显著的功耗。
- 当时钟停止时，电路状态会丢失。
- 动态电路对噪声更敏感。
- 时钟和数据必须要严格同步，以避免出现错误状态。 195

接下来深入分析动态电路的电荷共享特性，并讲解动态逻辑中的一种——多米诺(domino)逻辑——是如何解决这些问题的。

7.3.2 动态电路中的电荷共享

电荷共享问题涉及开关和充电电容，它是预充电的电容在开关闭合时的电荷重分配过程。开关过程将一定量的电荷暴露在另一个不同的容性环境下，从而造成结点电压的变化。动态逻辑电路中会出现电荷共享现象。电路首先预充电到高电平，接着进入求值模式，当 nMOS 逻辑模块中的部分晶体管导通，但是和地之间又没有导电通路时，部分预充的电荷就可能流到 nMOS 逻辑模块中，造成输出结点的电压下降。当开关将电路隔离时，电路中的电荷量守恒。下面的分析基于此原理。电荷量 $Q=CV$，其中，Q 在封闭系统中是

一个常量，其单位是库仑(C)。

图 7-4 所示是一个三输入“与非”门(3NAND)的动态电路设计。在 $Clk=0$ 的预充电阶段，输出结点的电容被充电。C_L 在预充电阶段得到初始电荷 $Q_{init}=C_LV_{DD}$。当时钟回到逻辑高电平时，电路进入求值模式，若有路径导通，那么初始电荷就会流入 nMOS 逻辑模块中。假设在求值时只有最上面的晶体管导通了，那么电容 C_1 将从输出结点接受电荷。系统中的总电荷与初始电荷相等，因此最终电压的计算如下：

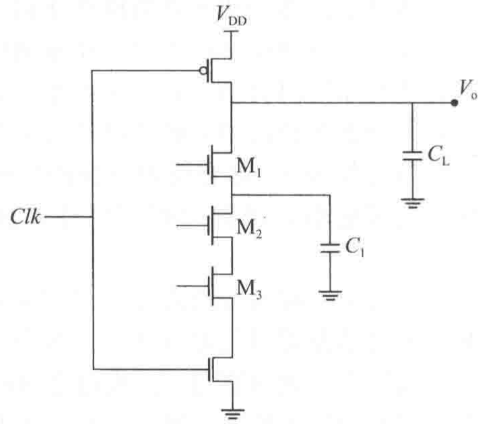


图 7-4　动态 CMOS 三输入与非门

$$Q_{init}=C_LV_{DD} \tag{7-1}$$

当 M_1 导通时，

$$Q_{init}=Q_{final}=C_LV_{DD}=C_LV_{final}+C_1V_{final} \tag{7-2}$$

$$V_{final}=\frac{C_L}{C_L+C_1}V_{DD} \tag{7-3}$$

当 M_1 的源极电压即将超过 $V_{DD}-V_{tn}$ 时，晶体管 M_1 截止。V_{S1} 无法超过 $V_{G1}-V_{tn}=V_{DD}-V_{tn}$。当电路中的电荷转移结束时，晶体管中不存在电流，故 $V_D=V_S$。下面的例子将讲解如何处理这种情况。

例 7-6　动态三输入“与非”门已经预充电，最上面的晶体管 M_1 导通。已知 $V_{DD}=1.5V$，$V_{tn}=0.4V$，$C_L=150fF$，$C_1=25fF$，$C_2=50fF$，则最终电压为多少？

解：

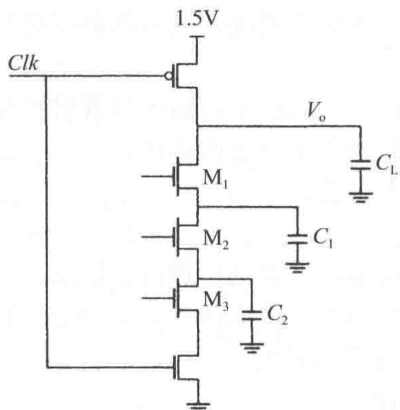
$$Q_{init}=C_LV_{DD}=150fF\times1.5V=225fC$$

$$Q_{final}=Q_{init}=225fC=C_LV_{final}+C_1V_{final}$$

$$225fC=150fF\times V_{final}+25fF\times V_{final}$$

则

$$V_{final}=\frac{225fC}{175fF}=1.286V$$



196
~
197

然而，当 M_1 的源极电压向 1.286V 攀升时，会在 $V_G-V_{tn}=(1.5-0.4)V=1.1V$ 处停下。因此，$V_{final}=1.286V$ 是不正确的。当 $V_{S1}=1.1V$ 时，M_1 截止，此时的 $V_{D1}=V_{final}$。漏极的电荷相比 Q_{init} 减少的部分就是泄漏到 C_1 的部分。泄漏的电荷是

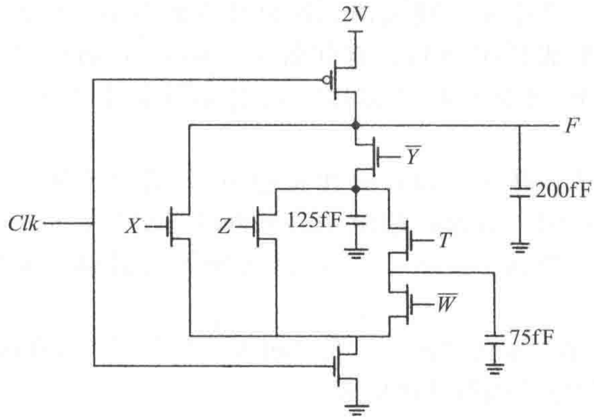
$$Q_1=1.1V\times25fF=27.5fC$$

则

$$V_{D1}=\frac{Q_{final}}{150fF}=\frac{225fC-27.5fC}{150fF}=1.317V$$ ◀

自测 7-8

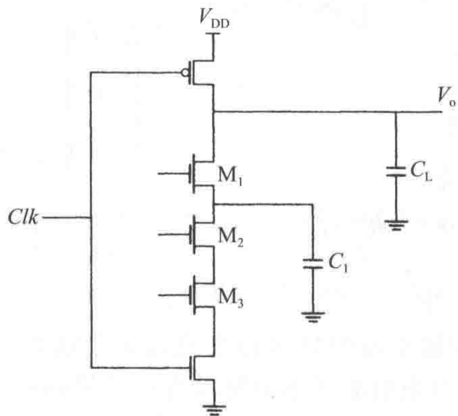
$V_{DD}=2V$，$V_{tn}=0.5V$。在求值阶段，$\overline{Y}$ 和 T 有效。则当求值阶段到达稳定时，电压终值是多少？写出 F 的布尔表达式。



答案： $V_{final}=1V$，这是一个无效逻辑状态。

自测 7-9

若电压到达终值时 M_1 刚好截止，求 C_1。已知 $C_L=175fF$，$V_{DD}=1.5V$，$V_{tn}=0.4V$。　198



答案： $C_1=63.6fF$

7.4　多米诺 CMOS 逻辑门

多米诺 CMOS 逻辑电路不仅解决了电荷共享问题，还有其他优点。多米诺逻辑门是在 1982 年提出的[1]。图 7-5 展示了一个多米诺设计。全局时钟、预充电晶体管和求值晶体管，以及 nMOS 逻辑模块和以前一样工作，不过在 $\overline{out}$ 结点增加了一个反相器和一个上拉晶体管。反相器将多米诺的输出端驱动至一个强逻辑状态，使预充电阶段的电路强制输出为 0V。这正是多米诺电路的优势之一，由于下一阶段要用的输入信号在预充电阶段必须为逻辑 0，以防出现到 GND 的通路，而反相器可以自然地实现这一点。

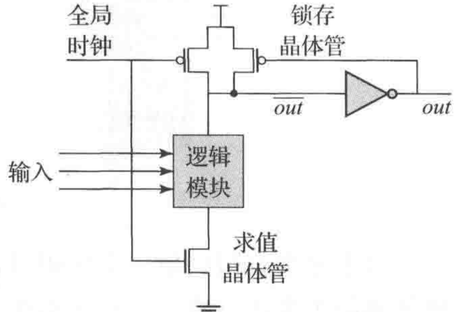


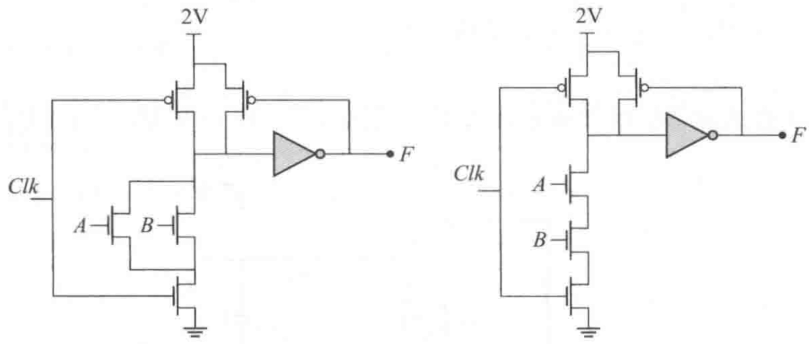
图 7-5　含有一个 pMOS 弱反馈晶体管的多米诺 CMOS 逻辑门

增加的 pMOS 弱反馈晶体管可以在 $\overline{out}$ 为高点平时，将内部的悬空结点锁存在高电平（图 7-5）。

锁存晶体管将$\overline{out}$的值维持在V_{DD}，使其电压不因求值阶段逻辑模块中晶体管的电荷共享或泄漏电流而产生下滑。若求值阶段nMOS逻辑模块将$\overline{out}$结点放电至GND（图7-5），则反相器输出out变为高电平，使反馈pMOS晶体管截止。若$\overline{out}$结点求值结果为高，或预充电至高电平，则晶体管输出变为低电平，使得反馈pMOS晶体管导通，在$\overline{out}$和V_{DD}之间形成低阻通路。这样就可以防止$\overline{out}$结点悬空，降低电路对结点电压漂移、噪声以及电流泄漏的敏感度。锁存晶体管和反相器形成了一个正反馈回路。

相比于nMOS下拉晶体管，锁存晶体管的W/L必须要做得很小，以尽量减少由高到低跳变时竞争的影响。多米诺结构是动态逻辑门中最常用的一种设计，它的速度性能可以比静态逻辑门提高20%～50%，是快速加法器和算术逻辑单元中常见的子电路。

图7-6所示为多米诺二输入"或"门及二输入"与"门。nMOS晶体管下拉网络与前文介绍的互补CMOS晶体管网络设计相同。



a）二输入"或"门　　b）二输入"与"门

图7-6　多米诺结构

199
~
200

多米诺CMOS逻辑门的输出反相器可以实现逻辑门级联，因为反相器使得预充电阶段所有的输入都自然归零，从而避免了不同延时造成的错误求值(图7-7)。在预充电阶段，所有逻辑模块的输入都必须为零，以防$\overline{out}$和地之间形成通路。

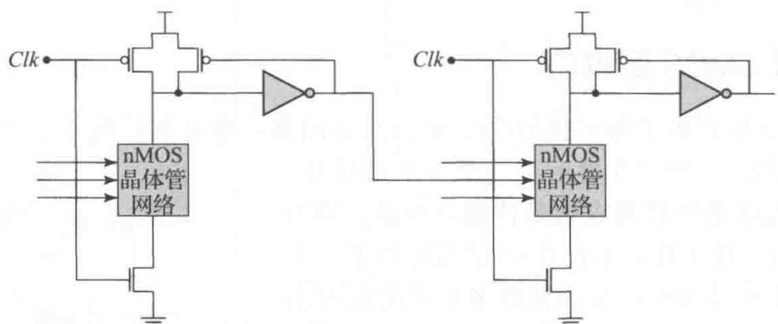
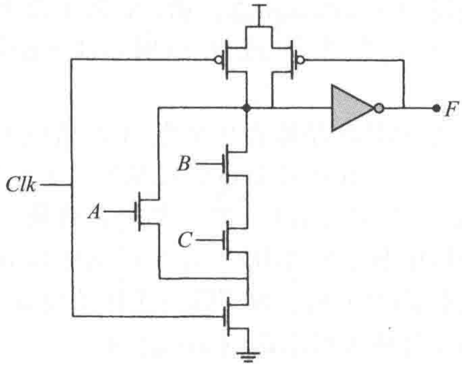


图7-7　级联多米诺电路

多米诺逻辑门只使用非反相门，故它是一个不完整的逻辑家族。可以使用一些技术实现反相的多米诺电路，不过这不在本书的讨论范围内。

例7-7 画出$F=A+BC$的多米诺晶体管电路图。

解：



◀

自测 7-10

画出 $F=(A+B)C(ED+G)$ 的多米诺电路原理图。

201

自测 7-11

一个多米诺电路能实现 $F=[AC+(BC)(AC)]B$。

(a) 画出晶体管电路图。

(b) 将函数化至最简再重画晶体管电路图。

答案： $F=ABC$

自测 7-12

一个多米诺电路实现 $F=AB$，画出函数的实现电路。能否将 nMOS 逻辑模块转换成德摩根等价电路并实现“与”运算？利用真值表给出你的结果。

7.5 NORA CMOS 逻辑门

多米诺 CMOS 逻辑门有一个变种，它去除了输出缓冲器，但不会造成动态门级联时的时钟和数据竞争问题。这便是 NORA(no race，无竞争)CMOS 逻辑，它可以避免交替级联的 nMOS 逻辑门和 pMOS 逻辑门求值模块出现竞争，代价是需要对两个互补的时钟信号进行布局和控制。级联 NORA 门结构如图 7-8 所示。pMOS 逻辑模块的输出是从求值晶体管的漏极引出的。当全局时钟(GC)是低电平($\overline{GC}$是高电平)时，nMOS 逻辑模块的输出结点预充电到高电平，使得 pMOS 逻辑模块中的晶体管截止。pMOS 逻辑模块的门输出在 nMOS 预充电晶体管的漏极被预充为低电平。这样，直到时钟改变极性之前，所有逻辑模块都处于预充电状态。当时钟变为求值模式时，第一个 nMOS 逻辑模块首先被驱动，然后顺次开始后面的逻辑运算。

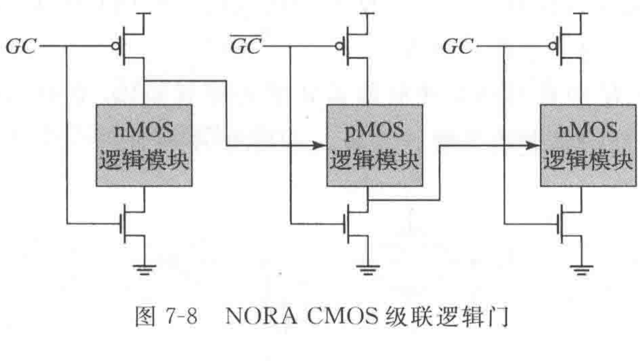


图 7-8　NORA CMOS 级联逻辑门

202

7.6 通过晶体管逻辑门

通过晶体管逻辑门使用单个晶体管或者传输门作为开关来控制结点与结点之间的信号

传递，而不是将输出结点直接与 V_{DD}或地相连。图 7-9 所示为 $F=AB$ 的一个通过晶体管逻辑电路。当 $A=B=1$ 时，$F=1$；当 $A=0$ 或 $B=0$ 时，通过晶体管将结点 F 接地以防止其悬空。

通过门的缺点很明显，当 nMOS 晶体管从结点 A 向结点 F 传送一个逻辑 1 时，结点 F 要承受一个压降 $V_F=V_{DD}-V_{tn}$。在通过晶体管后端加一个反相器可以恢复强逻辑电平。

图 7-10 展示了一个三输入"与"门设计的一部分，将第一级晶体管的输出连接至负载晶体管的栅极，以实现逻辑函数 $F=ABD$。结点 C 的电压是 $V_{DD}-V_{tn}$。而完成全部逻辑运算后输出结点 F 处的逻辑高电平则会再下降一个阈值电压。最终输出的弱逻辑 1 只有 $F=V_{DD}-2V_{tn}$。设计者必须要仔细考虑电路应如何连接。

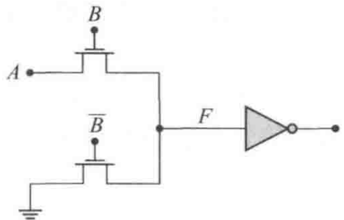


图 7-9 通过晶体管的逻辑"与"门

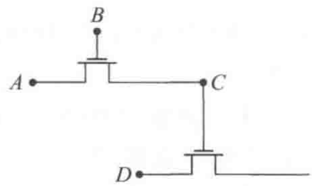


图 7-10 将通过晶体管源极输出与负载晶体管的栅极输入连接成链

"与"门也可以是多个晶体管串联的形式，每个输入对应一个晶体管栅极。图 7-11 展示了一个四输入"与"门 $F=ABCD$ 的逻辑设计。三个并联的晶体管在 F 为逻辑 0 时将它下拉至地。通过晶体管逻辑门的形式简单，尤其是和静态互补 CMOS 晶体管网络设计相比。但是它有两个缺点，都与传输延时有关。第一个缺点是晶体管链向信号通路引入很大的负载阻抗，降低电路的高频性能。第二个缺点也与速度有关，那就是驱动信号可能不是来自电源环的强电平，而是一个减弱了的逻辑电平，如图 7-11 所示。尽管存在这些缺点，通过晶体管结点的较小电容有时能够提供与互补 CMOS 晶体管网络逻辑可比拟的速度特性。通过晶体管逻辑门也是一种可选的设计方法。

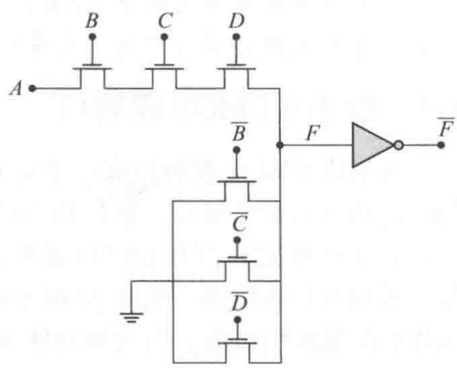
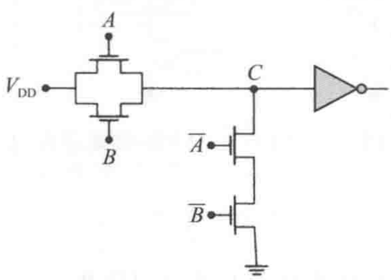


图 7-11 通过晶体管逻辑门，$F=ABCD$

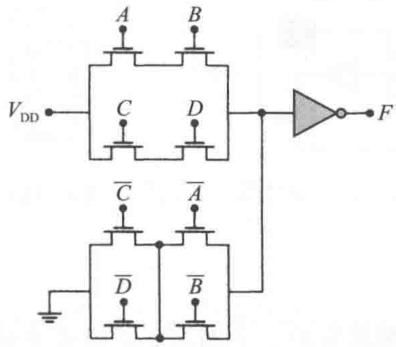
例 7-8 使用通过晶体管设计一个二输入"或"门，实现 $C=A+B$。包含一个下拉网络以应对逻辑 0 状态时的悬空输出结点。

解： 将信号 A 和 B 加载到两个并联的晶体管的栅极。V_{DD}加载到两个晶体管的漏极。下拉网络使用两个串联的通过晶体管，其输入分别为 $\overline{A}$ 和 $\overline{B}$。



例 7-9 画出 $F=\overline{AB+CD}$ 的通过晶体管电路图。包含防止结点悬空以及保护弱逻辑状态的电路。

解：



自测 7-13

若图 7-10 中的 $ABCD$ 都是 1.5V，$V_{tn}=0.5V$，则结点 F 的电压是多少？

答案： $V_F=0.5V$。这意味着什么？

自测 7-14

设计"异或"门 $F=\overline{X\overline{Y}+\overline{X}Y}$ 的通过晶体管实现。不要出现悬空结点。

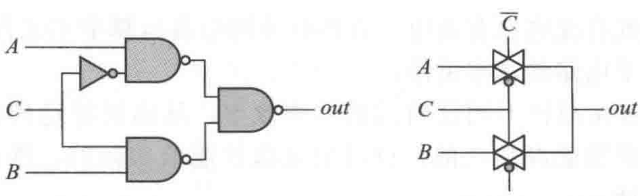
自测 7-15

设计 $F=\overline{AXYZ+W}$ 的通过晶体管实现。不要出现悬空结点。

7.7 CMOS 传输门逻辑设计

CMOS 传输门由两个晶体管组成，避免了单个通过晶体管的弱逻辑电平问题。门级多路选择器(multiplexer，MUX)是一种典型的 CMOS 传输逻辑门设计，例如，图 7-12a 所示的 2 选 1 多路选择器。多路选择器从一组逻辑输入中选择一路连至输出。在图 7-12a 所示电路中，逻辑信号 C 从 A 或 B 中选择一个来激活输出结点(out)。图 7-12b 所示的是使用传输门实现的多路选择器。使用互补 CMOS 逻辑门实现(图 7-12a)需要 14 个晶体管(每个"与非"门用 4 个晶体管，反相器用 2 个晶体管)，而使用传输门设计只需要 6 个晶体管(传输门共用 4 个晶体管，反相器用 2 个晶体管)。

205



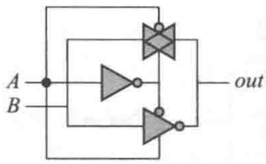
a) 标准2选1多路选择器设计　　b) 基于传输门的设计

图 7-12　CMOS 传输门设计

图 7-12b 中的每个传输门有两个晶体管，再加上控制信号需要的反相器的两个晶体管。控制信号的不同极性可以通过一个主电路产生，主电路同时驱动很多子电路的控制信号，因此晶体管数量还可以减少。

另一个基于传输门的设计实例是"异或"门。当两个输入中只有一个是逻辑高电平时，"异或"门才会产生逻辑 1 输出。若两个输入都是逻辑 1 或逻辑 0，则输出是 0。图 7-13所示为一个 8 晶体管"异或"门，它包含一个三态缓冲器和一个传输门，它们的输

出端相连。每一个门被同一个输入通过一个互补反相器控制(本例中的输入 A)。使用基本逻辑门构成的标准 CMOS“异或”门设计需要 12 个晶体管，而图 7-13 所示的设计只需要 8 个晶体管。



A	B	out
0	0	0
0	1	1
1	0	1
1	1	0

图 7-13　8 晶体管“异或”门及其真值表

7.8　功耗及活跃系数

功耗是几乎所有集成电路都面临的一个问题。高性能集成电路需要很多晶体管，可能产生 100～200W 的功率，这些功率的绝大部分都被浪费掉了，对实际计算没有任何帮助。有些电池驱动的低功耗集成电路只消耗毫瓦数量级的能量，而且要求能够连续工作数年而无需更换电池。本节对组合逻辑门功耗进行的估算都是假设所有功耗都是由负载电容充放电造成的。这里忽略了短路电流和泄漏电流的功耗，简要分析了能够降低功耗的最主要的变量。本节的目的是加深读者对功耗性质的理解和敏感度。集成电路负载电容充放电的功耗模型是

206

$$P_{IC} = \frac{1}{2}\alpha C_L V_{DD}^2 f_{clk} \tag{7-4}$$

这里的 P_{IC}是在负载电容时钟变化沿充电或放电所消耗的功率，α 是集成电路中的平均翻转活跃系数，C_L 是集成电路中所有信号翻转结点的集总电容，f_{clk}是时钟频率。在每个时钟脉冲内，全部组合逻辑门中只有比例 α 这么多的门会发生翻转，其负载电容要么充电，要么放电，而不会既充电又放电。对于各种集成电路中的组合逻辑门，α 通常在 5%～30%这个数量级内。

一个时钟网络中的逻辑门电容充放电功率是

$$P_{IC} = \alpha C_L V_{DD}^2 f_{clk} \tag{7-5}$$

式中：$\alpha=1$，因为时钟脉冲是确定的，每个周期一定会发生。系数$\frac{1}{2}$不见了，因为在时钟电路中每个时钟周期既有充电也有放电。有些时钟网络将运算中不工作的子电路中进行时钟门控，从而可以将子电路的功率关停。

我们从门级计算 α 来对比不同逻辑门的功率效率，从而更好地理解降低功率的方法。集成电路产品可能是高性能高功耗的，也可能是低性能低功耗的，然而无论是哪种产品，都要尽可能地降低功耗。

假设电路的主要功耗发生在时钟的一次有效翻转中。输出信号从 0 翻转到 1 的概率是 $\alpha_{0\to1}$，计算式为

$$\alpha_{0\to1} = p_0 p_1 = p_0(1-p_0) \tag{7-6}$$

式中：p_0 是输出为逻辑 0 的概率；p_1 是输出为逻辑 1 的概率。输出信号从 1 翻转到 0 的概率是

$$\alpha_{1\to0} = p_1 p_0 = p_0 p_1 = p_1(1-p_1) \tag{7-7}$$

因此

$$\alpha_{1\to0} = \alpha_{0\to1}$$

若输入逻辑状态是随机的，那么我们就可以确定 p_0 和 p_1。设 N_0 为使逻辑门输出逻辑 0 的可能状态数，N_1 为使逻辑门输出逻辑 1 的可能状态数，N 为逻辑电路的输入信号个数，则输入逻辑的状态数为 2^N。于是

$$p_0 = \frac{N_0}{2^N}$$

$$p_1 = \frac{N_1}{2^N}$$

207

翻转活跃系数为

$$\alpha_{0\to1} = p_0 p_1 = \frac{N_0}{2^N}\frac{N_1}{2^N} = \frac{N_0 N_1}{2^{2N}} = \frac{N_0(2^N - N_0)}{2^{2N}} \tag{7-8}$$

式中：$N_0 + N_1 = 2^N$。

我们将组合逻辑门的输入看作随机的。一个随机信号输入到反相器，考虑到若出现两个连 0 或两个连 1 的情况不会造成逻辑翻转，则反相器随机输入造成 0→1 或 1→0 翻转的概率是

$$\alpha_{\text{Inv}} = \alpha_{0\to1} + \alpha_{1\to0} = p_0 p_1 + p_1 p_0 = \frac{1}{2}\cdot\frac{1}{2} + \frac{1}{2}\cdot\frac{1}{2} = 0.5$$

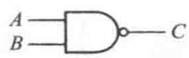
一个随机输入的反相器有 0.5 的概率会发生翻转，从直观上想也是这样。

例 7-10 (a) 计算一个二输入“与非”门的翻转活跃系数 $\alpha_{0\to1}$。使用真值表确定状态数。

(b) 若二输入“与非”门的时钟频率为 1GHz，电源电压为 1.5V，负载为 2fF，则逻辑门由 0→1 翻转的预期功耗是多少？

(c) 若一个集成电路中有 100 万个这种逻辑门，活跃系数为 20%，则此集成电路的组合逻辑门的工作功耗是多少？

A	B	C
0	0	1
0	1	1
1	0	1
1	1	0



解：

(a) $N_0 = 1$，$N_1 = 3$，因此

$$\alpha_{0\to1} = \frac{N_0 N_1}{2^{2N}} = \frac{1\times3}{2^{2\times2}} = \frac{3}{16} = 0.1875$$

(b) $P = \frac{1}{2}\alpha_{0\to1} C_L V_{DD}^2 f_{clk} = \frac{1}{2}\times\frac{3}{16}\times200\times10^{-15}\times1.5^2\times10^9 = 42.2\mu W$

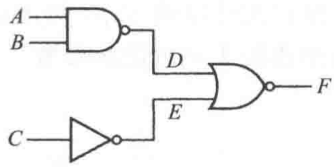
(c) 每个逻辑门既可能发生由 0→1 翻转也可能发生由 1→0 翻转。因此 $\alpha = 2\times0.1875 = 0.375$。又因为 100 万个逻辑门中有 20% 发生翻转，则

$$P_{IC} = 0.20\times42.2\mu W\times10^6 = 8.44W$$

注意，我们处理上百万的逻辑门时，功耗是如何上升的，而较低的活跃系数又是如何减缓其上升的。◀ 208

例 7-11 设每个信号输出结点的 $C_L = 50fF$，$V_{DD} = 2.0V$，$f_{clk} = 1.5GHz$。列出电路的真值表并计算：

(a) 电路的翻转活跃系数 $\alpha_{0\to1}$，包括所有逻辑门输出结点的活跃系数。



提示：你需要算出每一个信号结点(D、E和F)的翻转概率并求和。

(b) 计算0→1翻转的预期功耗。

解：

(a)

A	B	C	D	E	F
0	0	0	1	1	0
0	0	1	1	0	0
0	1	0	1	1	0
0	1	1	1	0	0
1	0	0	1	1	0
1	0	1	1	0	0
1	1	0	0	1	0
1	1	1	0	0	1

$$(\alpha_{0\to1})_D = (p_0 p_1)_D = \frac{2}{8}\times\frac{6}{8} = \frac{12}{64} = 0.1875$$

$$(\alpha_{0\to1})_E = (p_0 p_1)_E = \frac{4}{8}\times\frac{4}{8} = \frac{16}{64} = 0.25$$

$$(\alpha_{0\to1})_F = (p_0 p_1)_F = \frac{7}{8}\times\frac{1}{8} = \frac{7}{64} = 0.109$$

$\alpha_{0\to1}$翻转的概率总和是

$$0.1875 + 0.25 + 0.109 = 0.5465$$

209

(b) $P_{DEF} = \frac{1}{2}\times[0.1875 + 0.25 + 0.109]\times 50\text{fF}\times(2)^2\times 1.5\text{GHz} = 82.0\mu\text{W}$ ◀

例7-12 已知 $F=A(B+CD)$，$V_{DD}=1.2\text{V}$，$C_L=100\text{fF}$，$f_{clk}=1.5\text{GHz}$。

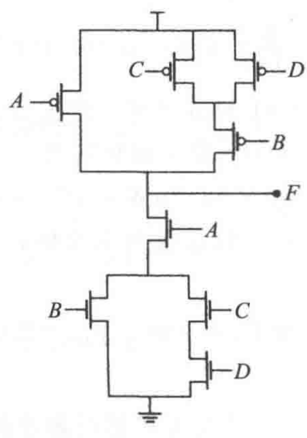
(a) 画出静态CMOS逻辑门的晶体管电路图。

(b) 使用真值表计算两种翻转的活跃系数。

(c) 计算预期功耗。

解：

(a) 电路如图所示。



(b) 真值表为

A	B	C	D	$F=A(B+CD)$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

210

则

$$\alpha_{\text{total}} = \alpha_{0\to1} + \alpha_{1\to0} = p_0 p_1 + p_1 p_0 = \frac{11}{16}\times\frac{5}{16}+\frac{5}{16}\times\frac{11}{16} = 0.430$$

(c) 总功耗是

$$P = \frac{1}{2}\alpha C_L V_{DD}^2 f_{clk} = \frac{1}{2}\times 0.430\times 100\times 10^{-15}\times(1.2)^2\times 1.5\times 10^9 = 46.4\mu\text{W}$$ ◀

自测 7-16

验证“二输入‘与’门”和“二输入‘或非’门”的活跃系数 $\alpha_{0\to1}$ 相等。

自测 7-17

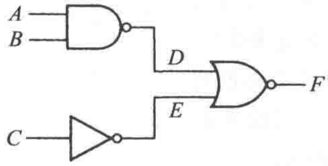
画出以下电路的真值表并求翻转活跃系数。

(a) 结点 F 的 $\alpha_{0\to1}$；

(b) 结点 F 的 $\alpha_{1\to0}$；

(c) 结点 D 的 $\alpha_{0\to1}$；

(d) 结点 E 的 $\alpha_{0\to1}$。



答案：

(a) $(a_{0\to1})_F=0.234$

(b) $(a_{1\to0})_F=0.234$

(c) $(a_{0\to1})_D=0.1875$

(d) $(a_{0\to1})_E=0.25$

7.9 小结

本章介绍了如何根据布尔代数表达式设计复杂的CMOS组合电路逻辑门，以及更简洁的动态逻辑和通过晶体管逻辑门的设计方法。不同的设计有不同的功耗和速度特性，它们在现代CMOS集成电路都有所应用。通过活跃系数的计算和功耗的求取，本章还讲解了低功耗设计理论。

211

参考文献

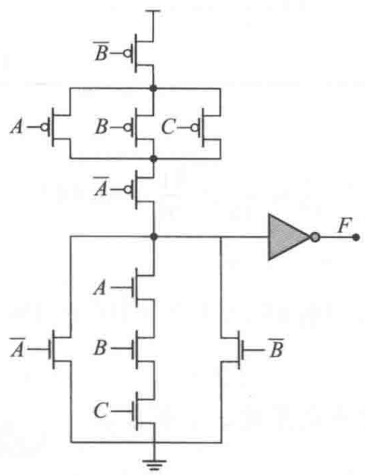
[1] R. H. Krambeck, et al. "High Speed compact circuits with CMOS", *IEEE Journal of Solid State Circuits*, Vol. 17, No. 3, June 1982.

习题

复杂组合逻辑门

7-1 已知布尔函数 $F=Z[\overline{X}YZ+X\overline{Z}]$，画出最简形式的静态CMOS晶体管电路。

7-2 写出如下电路输入信号的布尔函数表达式 F。



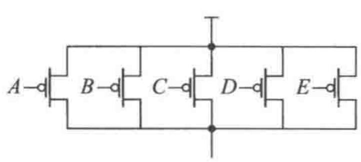
7-3 画出布尔函数 $F=\overline{(G+F)(M+N)}$ 的静态CMOS晶体管电路。

7-4 画出函数 $F=\overline{(AB+C)D}$ 的静态CMOS晶体管逻辑门电路图。

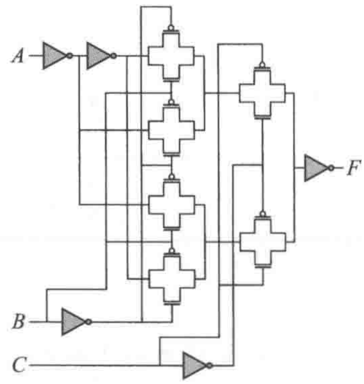
7-5 已知电路图如下。

(a) 若它对应一个静态电路中的CMOS上拉网络，则计算的布尔函数表达式 F 是多少？

(b) 若p沟道和n沟道晶体管的尺寸调整到每个晶体管的驱动电流相等，讨论上拉网络会比下拉网络更快还是相等。

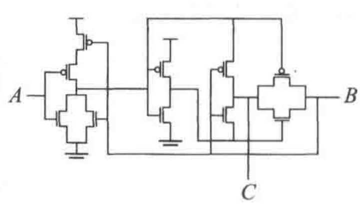


7-6 使用真值表确定此电路的逻辑函数。



A	B	C	F'	F
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

7-7 确定此电路的布尔函数。A 和 B 是输入信号，C 是输出。



真值表(请填写)：

A	B	C
0	0	
0	1	
1	0	
1	1	

德摩根电路综合

7-8　使用德摩根等价电路实现 $F=XY+Z$，不要引入反相器。

7-9　使用德摩根等价电路实现 $F=X\overline{Y}\overline{Z}+\overline{X}YZ$，不要引入反相器。

7-10　根据德摩根等价表达式画出函数 $F=MNO+(\overline{P}+Q)\overline{D}$ 的晶体管级 CMOS 组合逻辑电路。

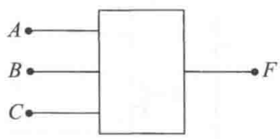
7-11　使用德摩根等价电路实现 $F=(X+Y)\overline{Z}$，不要引入反相器。

7-12　根据德摩根等价表达式画出函数 $F=(A\overline{B}+C)(\overline{D}+E)$ 的晶体管级 CMOS 组合逻辑电路，不要在输出端加反相器。

7-13　如图所示，一个开关网络有 3 个输入。A、B 和 C 分别代表二进制数 N1 的第一、第二和第三位。只有当 N1 的平方根大于等于 1 且小于等于 2 时，电路的输出(F)为 1。

(a) 画出真值表。

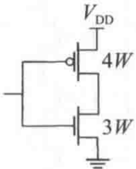
(b) 画出实现此函数的一个 CMOS 晶体管电路。



A	B	C
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

组合逻辑尺寸调整

7-14　$F=AB+CD+E$。画出不使用反相器的晶体管电路，并参照下面反相器的电流强度调整晶体管的尺寸。

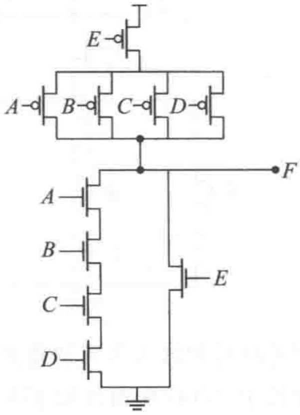


7-15　考虑如下电路。

(a) 写出这个电路实现的逻辑函数。

提示：你可以通过画真值表或者分析每个晶体管的行为来求解。

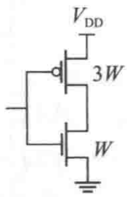
(b) 调整晶体管尺寸使得电路延时与一个 $W_p=3W_n$ 的平衡 CMOS 反相器相等。



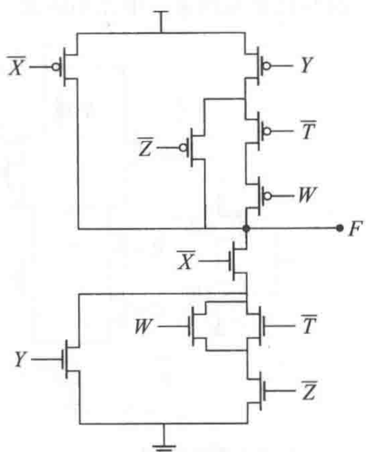
7-16　已知函数：$F=(\overline{C}+\overline{A})(B+AC)+AC$。

(a) 将此函数化简并用最简布尔表达式表示。

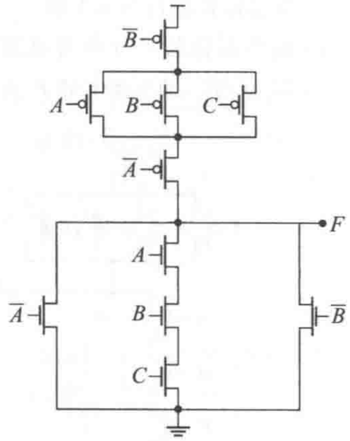
(b) 画出晶体管电路并调整晶体管尺寸，使最坏上拉和最坏下拉与下面的反相器等价。



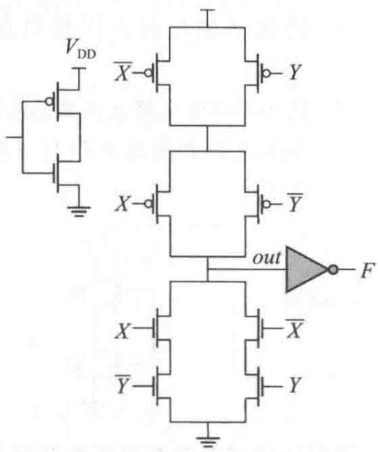
7-17　以对称反相器为参照调整此电路中晶体管的尺寸。对称反相器的 pMOS 晶体管宽度是 nMOS 晶体管宽度的 3 倍，且 $W_n=1\mu m$。



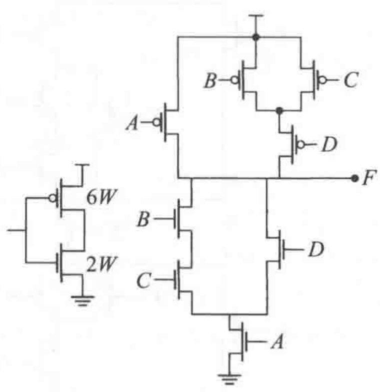
7-18　以对称反相器为参照调整此电路中晶体管的尺寸。对称反相器的 pMOS 与 nMOS 的宽长之比为 3。



7-19 以对称反相器为参照调整此电路中晶体管的尺寸。对称反相器的 pMOS 晶体管宽度是 nMOS 晶体管宽度的 3 倍，且$W_n=1\mu m$。

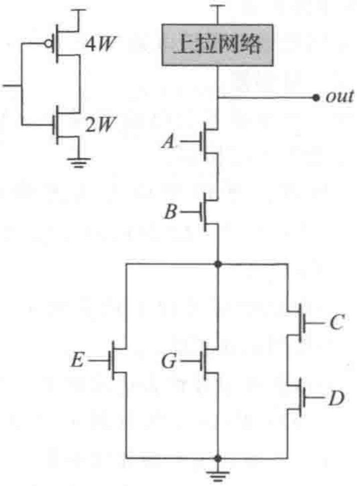


7-20 已知对称反相器如左图所示，调整右图电路的晶体管尺寸，使其最坏上拉和最坏下拉与反相器的驱动电流相匹配。



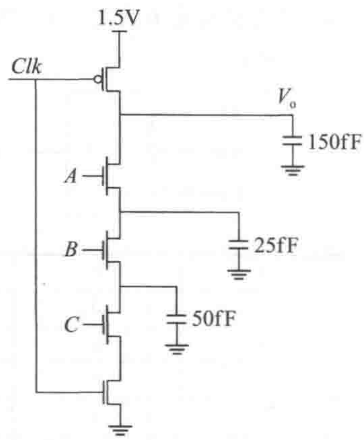
7-21 (a) 画出上拉电路图。

(b) 标出每个晶体管的最小尺寸，使之与反相器的上拉和下拉强度匹配。在你新画的电路中标出所有晶体管的宽度。

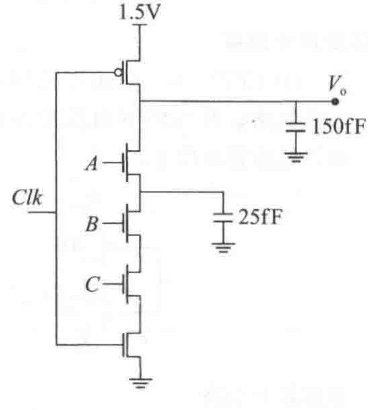


动态电路中的电荷共享

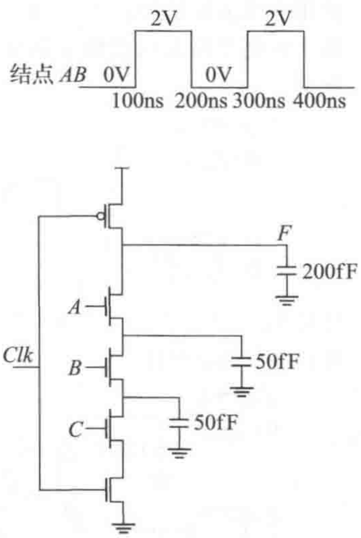
7-22 动态三输入“与非”门已经预充电，随后 nMOS 晶体管 A 和 B 导通。$V_{tn}=0.4V$，则电压终值是多少？



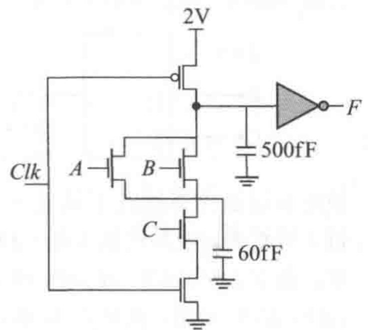
7-23 若发生翻转后吸收电荷的电容足够小，那么分析也会发生何变化。设$V_{tn}=0.4V$，计算电压终值V_{final}。



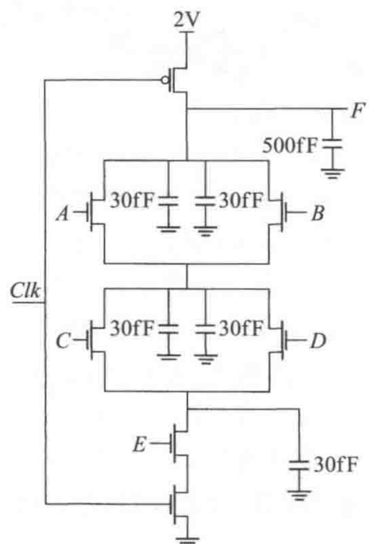
7-24 一个动态电路的$V_{tn}=0.5V$，结点C恒为逻辑 0。则求值阶段的V_o是多少？



7-25 已知动态电路 $V_{tn}=0.6V$，若求值阶段输入信号 ABC 变为 010，则反相器输入端的电压终值是多少？



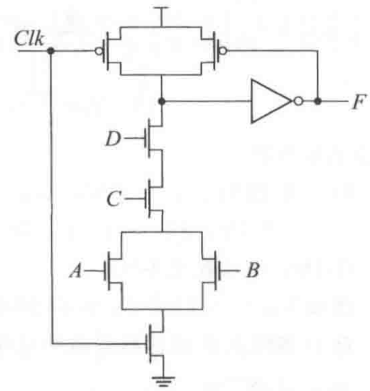
7-26 动态电路的输入向量 $ABCDE=10001$，$V_{tn}=0.5V$，则电荷共享后的电压终值是多少？已知每个晶体管的漏极电容是 30fF。



7-27 若输入向量 $ABCDE=11010$，重做习题 7-26。

多米诺 CMOS 逻辑

7-28 下面的电路实现什么布尔函数？



7-29 画出满足 $F=(X+Y)\overline{Z}$ 的 CMOS 多米诺电路的晶体管电路图。

7-30 画出满足 $F=(X+\overline{Y})(\overline{X}+Y)$ 的 CMOS 多米诺电路的晶体管电路图。

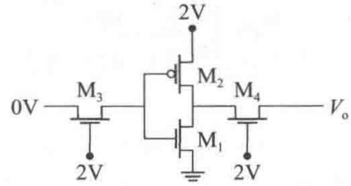
7-31 画出函数 $F=[(ABC)+(\overline{D}E)]Z$ 的多米诺逻辑电路。

7-32 画一个 CMOS 多米诺电路，它的输出端是一个二输入“与”门，被另一个二输入“与”门和一个二输入“或”门驱动。在输入端，二输入“与”门的输入信号是 A 和 B，二输入“或”门的输入信号是 C 和 D。为每个逻辑门单独画一个多米诺电路。则一共需要多少个反相器？

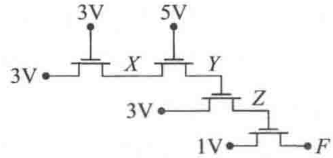
7-33 画出满足 $F=(AB+C)D$ 的 CMOS 多米诺电路的晶体管电路图。

通过晶体管逻辑

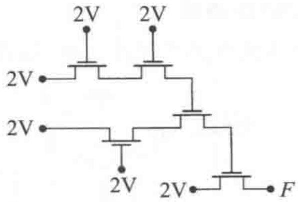
7-34 已知 $V_{tn}=0.5V$，$V_{tp}=-0.5V$，$\gamma=0$，则 V_o 是多少？



7-35 确定电路输出结点的电压，其中$V_{tn}=0.5V$。



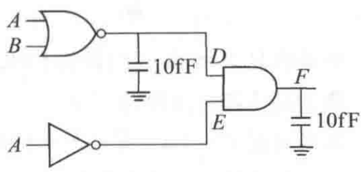
7-36 写出中间结点和输出结点的电压，其中 $V_{tn}=0.5V$。



功率及活跃系数

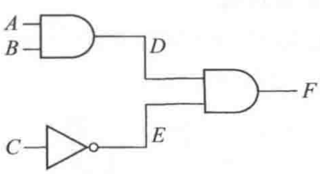
7-37 跳变系数为 $\alpha_{0\to1}=0.25$，$\alpha_{1\to0}=0.25$。若 $V_{DD}=1.5V$，$C_L=10nF$，时钟频率为1GHz，则功耗是多少？

7-38 已知 $V_{DD}=1.2V$，$f_{clk}=500MHz$，计算结点 D 和结点 F 的活跃系数和功耗。



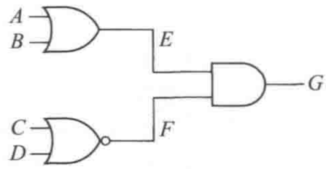
A	B	C	D	E	F

7-39 习题7-38中结点 F 不发生翻转的概率 p_{nt} 是多少？

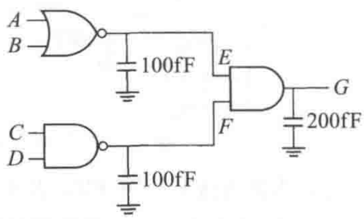


212
~
218

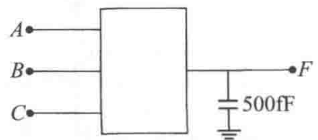
7-40 使用真值表计算结点 G 从逻辑0跳变到逻辑1的概率以及从逻辑1跳变到逻辑0的概率。



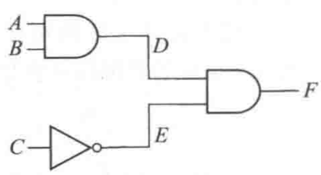
7-41 已知 $V_{DD}=1.5V$，$f_{clk}=100kHz$，估算三个电容结点的总功耗。



7-42 已知 $F=(A+B)C$，$V_{DD}=2V$，$f_{clk}=2GHz$，若输入随机，则预期的功耗是多少？



7-43 使用真值表计算结点 F 从逻辑0跳变到逻辑1的概率以及从逻辑1跳变到逻辑0的概率。若 $V_{DD}=1.2V$，$f_{clk}=500MHz$，$C_D=10fF$，$C_F=15fF$，则结点 D 和结点 F 的功耗是多少？



第8章 时序逻辑门设计与时序

计算机就像旧约中的上帝一样，规则众多却没有仁慈。

——Joseph Campbell

布尔运算决定了计算机的行为。这些运算在组合逻辑电路中进行，并且还需要组织大规模的布尔网络。最简单的思路是，我们可以做一个超大的组合逻辑电路，但这将导致许多路径延时过长，造成电路运行缓慢，迫使设计作废。更好的方法是，将整个布尔运算拆分成许多小部分，将部分运算结果在较小的布尔网络之间暂存。这种技术称作“流水线”(pipelining)，我们需要一种特殊的存储电路来协调组合逻辑的数据与时钟信号。利用时钟信号协调数据处理的电路正是时序电路的一种形式。最常见的一种时序设计风格是“同步设计”(synchronous design)，其中主时钟控制着所有的运算操作，就如同交响乐团的指挥控制着整首作品的每个节拍，而乐团的不同声部就好比不同的组合逻辑网络。

一个同步时序电路(sequential circuit)有两个或两个以上的输入端，有一个或两个输出端(图 8-1)。输出逻辑状态取决于上一个时钟周期加载的输入逻辑状态。输出逻辑信号通常是 Q，以及它的补 $\overline{Q}$。输入信号可以有多种类型，如数据输入、时钟、置位或复位，通常至少要有的三个信号是数据输入(D)、数据输出(Q)和时钟(Clk)。输入信号必须遵循一系列精确的时序规则，这些规则将在后面加以介绍。

两个英国人，威廉·埃克尔斯(William Eccles)和 F. W. 乔丹(F. W. Jordan)，在 1918 年将一个简单的电路申请了专利[1]，这便是第一个能够存储 1 位信息的电路。Eccles-Jordan 真空管电路标志着电子计算机时代的开始。这是第一个时序电路，不过它在问世几年之后才被应用到计算机中。从那时起直到如今，人们将这种电路称作“触发器”(flip-flop，FF)。一次触发输入将其翻转(flip)到一种逻辑输出状态，而下一次触发输入可能使它回落(flop)到另一种逻辑状态。“翻转”和“回落”指的就是这种逻辑状态的来回跳变，我们将使用这个简单、原始的触发器定义。触发器可以有多种形式，我们选择以门控锁存器和 D 触发器(delay flip-flop，延时触发器)为例，讲解时序电路的基本原理及其时序特性。D 触发器是数字集成电路中最主要的时序电路。

图 8-2 展示了一个使用现代 CMOS 技术实现的埃克尔斯-乔丹触发器。这是一个由两个反相器组成的简单电路。如今我们称它为“锁存器”(latch)。在工作时，一侧的电路是逻辑 1 而另一侧是逻辑 0。若 Q 结点加载一个很强的逻辑 1，则晶体管 N_2 导通，晶体管 P_2 截止，使得 $\overline{Q}$ 结点降为逻辑 0。$\overline{Q}$ 的零电压反馈给 N_1-P_1 反相器的输入，使 P_1 导通，N_1 截止。这个正反馈回路将逻辑电平保持在当前状态，除非一个不同的逻辑值将锁存器重写(override)为另一个逻辑状态。当一个电路回路将输出信号与输入结点相连，并且输出信号与输入信号同相时，我们就称这个电路具有正反馈。正反馈是稳定记忆电路的关键所在。

这个古老的电路对现代计算机集成电路的重要性怎样强调都不为过。触发器在数字电

路中无处不在，从个人计算机、汽车电子、游戏机、咖啡过滤器、电梯控制器，到手机、手表以至于心脏起搏器，全都离不开触发器。

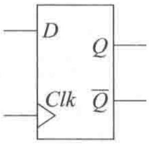


图 8-1 一个时序电路的符号

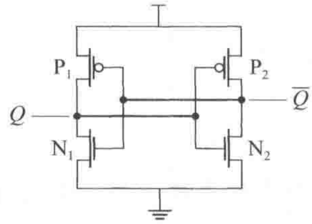


图 8-2 一个使用现代 CMOS 锁存器实现的埃克尔斯-乔丹触发器[1]

D 触发器包含两个串联的锁存器。D 触发器在一个时钟脉冲到来时将一个组合逻辑模块的位数据暂存，在下一个时钟脉冲到来时将数据传递给后面的组合逻辑模块。我们将使用最基本的锁存器来构造更加复杂的电路，这要求我们仔细关注时序规则。

220

本章重点强调对时序电路操作的定性理解，以及它与设计者所使用的基本时序参数之间的关系。在讲解时序参数与时序规则时会给出数值问题。时序理论是一个很有挑战性的课题。

8.1 CMOS 锁存器

图 8-3 所示的触发器与图 8-2 所示的相同，只不过是用反相器符号表示的。锁存器是一种记忆电路，它既可以单独使用，也广泛地用于构建其他更复杂的记忆电路。只要电源电压持续供应且锁存器逻辑状态不被另一种外部逻辑状态重写，那么锁存器就将一直保持当前的逻辑状态。当一个强的重写数据加载到输入端口 D 时，锁存器输出 Q 将接收并保持在 $Q=\overline{D}$。若 D 包含噪声，则 Q 的逻辑状态同样含有噪声。锁存器的输出直接取决于输入，在存在噪声的情况下可能会出现问题。这便是锁存器的“透明”(transparency)特性。透明性通常是不好的。

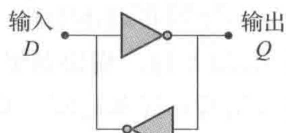
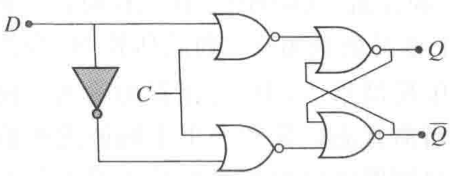


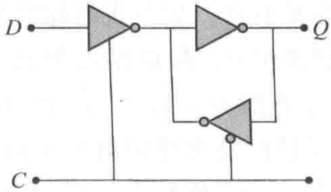
图 8-3 双反相器锁存器电路，输入为 D，输出为 Q

8.1.1 时钟控制的锁存器

图 8-4a 展示了一个由二输入“或非”门组成的时钟控制的锁存器的门级设计。当 $Clk=C=1$ 时，第一对二输入“或非”门的输出是逻辑 0。逻辑 0 是两个输出级二输入“或非”门的非控制逻辑状态输入。因此将二输入“或非”门的输出 Q 和 $\overline{Q}$ 信号反馈给输入端，可以建立稳定的逻辑状态。若 $Q=1$，则下方的输出“或非”门被驱动至 $\overline{Q}=0$。$\overline{Q}$ 将逻辑 0 反馈给上方的“或非”门，从而置位并保持 $Q=1$(同理也保持 $\overline{Q}=0$)。锁存器可以无限地保持一个逻辑状态，除非输入信号改变或电源断电。



a）基本CMOS锁存器设计，$C=0$时置位



b）三态反相器组成的锁存器门级设计，C = 1时置位（为了整洁，图中的Clk符号简写为C）

图 8-4 锁存器设计举例

当 $C=0$(两个输入级二输入“或非”门的非控制逻辑状态)时，信号 D(和 $\overline{D}$)得到一条通路可以将输出级的“或非”门锁存器置位。当 C 恢复为 1 时，新的数据就会被一直存储到下一次时钟变化。当 $C=0$ 时锁存器是透明的。

图 8-4b 展示了一种由三态反相器组成的小型 CMOS 锁存器设计，它包含两个三态反相器和一个普通反相器。时钟控制两个三态反相器的三态输入端，因此当一个反相器处在三态(高阻)时，另一个就不处于三态。当第一个三态反相器的输出有效($C=1$)时，反馈反相器处于高阻态，锁存器的输出就等于 D。此时锁存器是透明的，数据在 $C=1$ 时写入锁存器。当 C 为逻辑低电平时，第一个三态反相器的输出为高阻态，反馈反相器将 Q 锁存在 D 上。因此当 $C=0$ 时，锁存器处在存储状态。减少晶体管数目是一个常见的设计目标。

自测 8-1

对比图 8-4a 中的锁存器和图 8-4b 中由三态反相器组成的 D 锁存器所用的晶体管数目，包括将时钟信号取反输入三态反相器所用的那个反相器。

8.1.2 门控锁存器

传输门是控制锁存器数据流的一个好选择。图 8-5 展示了一个通过 CMOS 传输门 T_1 和 T_2 进行门控的锁存器。当 T_1 导通时，D 传入反相器 I_1 中，使输出逻辑状态为 $Q=\overline{D}$。T_1 导通时 T_2 关断。当数据已经安全地写入锁存器以后，C 的状态可以变为 $C=0$，使得 T_1 截止而 T_2 导通。此时 Q 与 D 隔离，由于两个反相器通过 T_2 首尾相连，因此锁存器将保持当前状态。新的驱动信号 D 必须要足够强，才能够重写反相器并存储一个新的位。这也是锁存器的晶体管通常宽长比较小、强度较弱的原因之一。当 T_1 的控制信号有效时，锁存器的 D 和 Q 之间就是透明的。

图 8-5 中的第二个传输门 T_2 必须保持关断，直到 I_2 输出的信号达到稳定状态。这样才能保证 T_2 两端的电荷相等，并且当 T_1 关断 T_2 导通时不会造成信号的恶化。输出 Q 与输入 D 隔离，Q 通过 T_2 形成的正反馈回路永久保持在记忆状态。这是我们遇到的第一个必须用精确的时序来控制数据流的例子。

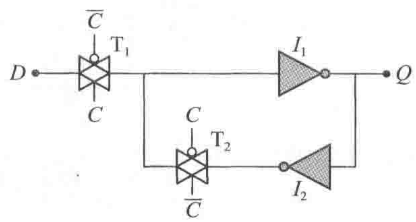


图 8-5　含有两个传输门的门控锁存器(为了整洁，Clk 符号简写为 C)

图 8-6 所示的为图 8-5 中的门控锁存器的 D、$Clk(C)$以及 Q 端口的时序波形。在本例中的门控锁存器中，设计的时序是 D 在时钟信号 Clk 变化之前先变化。当 $Clk=0$ 时，传输门 T_1 关断(T_2 导通)。当 Clk 从 0 变成 1 时，T_1 导通使新的数据进入锁存器。T_2 在数据进入锁存器时关断，防止反相器 I_2 中的晶体管与驱动 D 结点的输入电路中的晶体管产生竞争。当信号由瞬态变为稳定状态时，I_2 的输出与 I_1 的输入相等，此时可以将 T_1 关断，将 T_2 导通。这时 T_2 两端的电压是相等的，将它打开并不会造成电荷的流动。这一点非常重要，因为 T_2 上瞬时的电荷转移会影响 D 到 Q 的整体延时。Q 的响应时间与 Clk 前沿之差是由电路中的延时造成的。

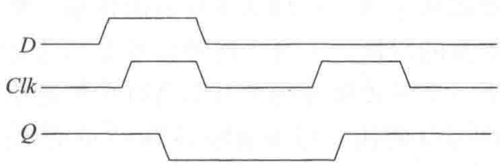


图 8-6　门控锁存器的运算波形(由于 T_1 和 I_1 的传输延时，Q 落后于 Clk 的前沿)

8.2 边沿触发的存储元件

大多数数字设计通过一种叫“边沿触发器”的记忆元件来控制布尔运算的时序。时钟决定了新数据何时被触发器接收，何时传给后面的组合逻辑电路。D触发器是一种常见的边沿触发设计的器件，它在上一个时钟周期存储数据，在下一个时钟周期将数据驱动至输出结点。数据在两个时钟周期之间传递可以消除透明性。*Clk* 的跳变时间，即边沿，是数据接收和存储的参考时间点。这种电路称作“边沿敏感”(edge-sensitive)的记忆元件，与之对应的是“电平敏感”(level sensitive)的锁存器。

221 ~ 223

图8-7所示的为两路时钟信号波形，分别表示上升沿触发(a)和下降沿触发(b)。前一个时钟脉冲的数据将会在时钟发生有效翻转时传递到触发器的输出。时钟边沿是建立时序规则的参考点。设计中既可以使用上升沿触发器也可以使用下降沿触发器，不过设计者最常选用的是上升沿触发器。

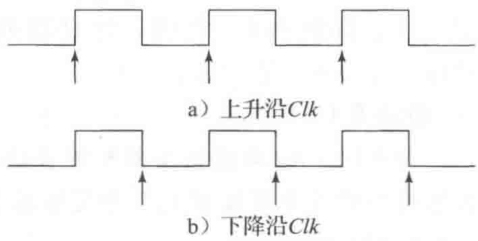


图 8-7 D触发器的边沿触发响应

8.2.1 D触发器

触发器有多种不同的设计，如D触发器，T触发器，JK触发器，SR触发器等等，这些在数字逻辑的基础课程中应有所介绍。我们将研究边沿触发的D触发器，因为它是数字集成电路中最常见的触发器。图8-8展示了由两个串联门控锁存器构成的边沿触发的D触发器。将两个锁存器连起来的设计看似很简单，其实不然。

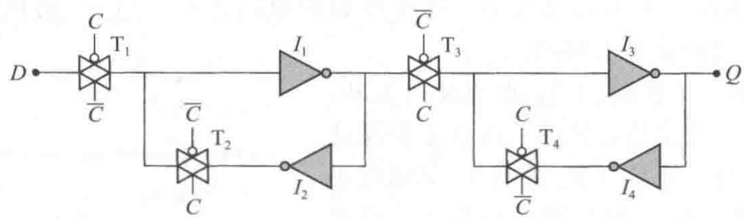


图 8-8 两个串联门控锁存器组成的上升沿触发器

图8-8中靠左的第一个锁存器称作主锁存器(master)，靠右的第二个锁存器称作从锁存器(slave)。反相器 I_1、I_2 与传输门 T_2 构成主锁存器。T_3 将两个锁存器隔离，并控制数据从主锁存器到从锁存器的传输。反相器 I_3、I_4 和 T_4 构成从锁存器。每个传输门都有单独的用途，取决于时钟信号是高还是低。主锁存器在时钟信号为低时接收数据 D，并在下一个时钟脉冲的上升沿将数据传送给从锁存器的输出 Q。在相邻的时钟逻辑状态之间将 D 与 Q 隔离，可以消除 D 到 Q 的透明性。注意到 I_4 的输出即是 $\overline{Q}$。

224

触发器的操作始于 $Clk=C=0$。这时 T_1 导通，数据 D 通过 T_1 进入 I_1 和 I_2。此时 T_2 是关断的。操作的第一阶段必须等到信号完全稳定。接着 *Clk* 可以从逻辑0变为逻辑1，使 T_1 关断，T_2 和 T_3 导通。若 T_2 在它们的I/O结点稳定之前就导通，则会造成瞬时的电荷移动，影响时序的准确性。在这一阶段，从锁存器也有相应动作，它的传输门也发生了相应的开关变化。

Clk 的上升沿使传输门 T_3 导通，T_4 关断。主锁存器的数据通过 T_3 进入 I_3 和 I_4，使 I_4 的输出达到稳定状态。当 I_4 的输出与 I_3 的输入相等时，*Clk* 就可以再次改变极性，从而将 T_3 关断以隔离主从锁存器。*Clk* 的脉冲宽度必须要足够长，以满足信号达到稳定所

需的延时。T_1 和 T_3 不会同时导通，T_2 和 T_4 同理。在不同时钟极性的控制下，每个传输门都有独特的功能，将信号在不同记忆元件之间传送。

Clk 的电平非常重要，不过将数据送到输出 *Q* 是在 *Clk* 的边沿由 T_3 开始实现的。从 T_3 的时钟边沿到达，到 *Q* 表现为新逻辑状态，这之间存在一定延时，称作 *Clk-Q* 延时。*Clk* 边沿是电路时序参数的一个时间参考标记，我们将在稍后讨论。

传输门 T3 上的 *Clk* 信号极性定义了主锁存器的数据是在时钟上升沿还是下降沿释放。若 T_3 的 nMOS 晶体管接$\overline{Clk}$，而 pMOS 晶体管接 *Clk*，则数据是在时钟下降沿通过的。在上升沿还是下降沿触发由设计者决定，两种极性选择都行得通。上升沿触发更常用，不过下降沿触发有时可以带来更好的局部时序特性，因为电路可以在下一个下降沿就开始工作，而不用等到下一个上升沿。

边沿触发器的详细工作原理对于理解数字集成电路必须遵守的时序规则至关重要。主从边沿触发电路使我们能够精确地控制每个触发器状态变化的时间(图 8-8)。这些机制非常关键，所以我们再来回顾一下到目前为止所介绍的上升沿触发器时序过程。

8.2.2　时钟的逻辑状态

Clock＝0 状态

在图 8-8 所示电路中，T_1 在 *Clk* 为逻辑 0 时传递数据。同时，T_2 和 T_3 关断。由于 T3 是断开的，因此两个锁存器中的数据是隔离的。主锁存器读取的数据与从锁存器存储的数据 *Q* 是独立的。这种隔离机制带来的非透明性是寄存器存储单元所需要的。

在数据读取阶段，将 T_2 保持关断，以防任何信号(或晶体管)与 I_1 的输入产生竞争。没有反馈回路的干扰，数据能够更快地读入主锁存器中。与此同时，从锁存器是隔离的，而且当前的传输门 *Clk* 信号刚好使电路处于记忆状态，保持输出 *Q* 的值恒定。*Q* 驱动后面的组合逻辑子电路的结点。当时钟为低时，它必须要在足够长的时间内都保持逻辑低，直到通过 T_1 的信号在 T_2 的输入结点达到稳定状态为止。　225

Clk＝1 状态

此时，T_1 关断，主锁存器与新到来的数据隔离。T_2 导通，使主锁存器保持在记忆状态并驱动从锁存器。T_3 导通，数据从主锁存器传递到从锁存器。当 *Clk*＝1 时，T_4 关断，与之前主锁存器的操作类似，进入 I_3 和 I_4 的数据不会在 I_3 的输入端出现竞争。*Clk*＝1 的脉冲宽度必须允许 I_4 的输出达到稳定状态。之后才能够关断 T_3，打开 T_4，将新数据 *Q* 存储下来。*Clk* 回到低状态以接收新的数据进入主锁存器。

时钟变化沿

T_3 上的时钟边沿是触发器开始传输数据的时间标记。T_3 上的一个正时钟沿会在 *Clk* 的上升沿传递一个数据。T_3 时钟的极性决定了触发器是上升沿触发还是下降沿触发。如果我们将图 8-8 中所有传输门的时钟极性都取反，那么信号就会在时钟的下降沿传递。在时钟翻转过程中，存在一个很短的、有限的时间使 T_1 和 T_3 同时导通。比如，当 *C* 和 $\overline{C}$ 在一瞬间都是 $V_{DD}/2$ 时，所有的传输门都勉强导通。由于上升和下降时间很短，我们假设 T_1 到 T_3 的透明性是可以忽略的。

8.2.3　一种三态 D 触发器设计

图 8-9 展示了一种结合了三态反相器和传输门的上升沿 D 触发器的 CMOS 设计。从锁存器的结构只有主锁存器的一半。数据在时钟低电平时读入第一个锁存器，在时钟上升沿被输出 *Q* 读取。之后当时钟回到逻辑 0 时，数据被存储在从锁存器中。　226

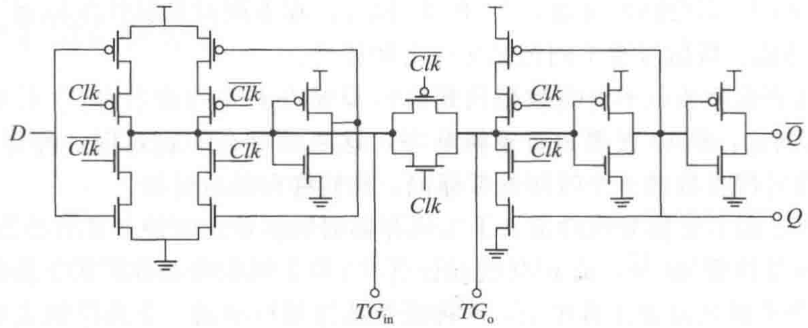
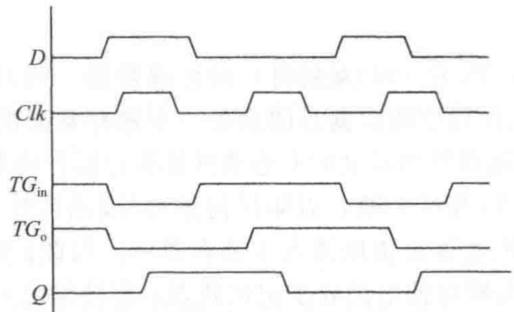


图 8-9 结合了三态反相器和传输门的上升沿 D 触发器的 CMOS 设计

例 8-1 已知图 8-9 所示触发器的 D 和 Clk 波形，画出 CMOS 传输门之前的结点(TG_{in})、传输门之后的结点(TG_o)以及 Q 结点的波形。一开始 $Q=0$。假设信号通路上的元件没有延时。

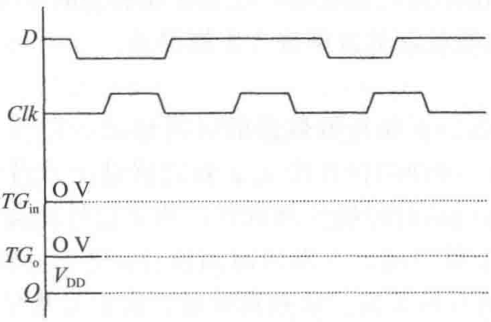
解：



当 Clk 为低时，TG_{in} 是对 D 取反的结果。当 Clk 变为高时，TG_o 跟随 TG_{in} 结点的值。TG_o 将保持这个值，直到 Clk 再次由低变为高。Q 是 TG_o 的补。◀

自测 8-2

已知图 8-9 所示触发器的 D 和 Clk 波形，画出 CMOS 传输门之前的结点(TG_{in})、传输门之后的结点(TG_o)以及 Q 结点的波形。一开始 $Q=0$。假设信号通路上的元件没有延时。



227

8.3 边沿触发器的时序规则

在图 8-8 所示的触发器中，数据通过两个锁存器的顺序，以及数据与时钟信号的相对到达时间都需要遵守精确的时序规则。这些规则取决于具体的内部路径延时。我们将定义边沿触发器的 7 个时序参数，这些参数是从人们对计算机电路的早期经验中提炼演化而来

的。大多数时序参数都以 *Clk* 的边沿为参考。由于制造工艺的非理想性，每个参数都可能产生明显的统计偏差。

由这些参数定义的延时限制了芯片的最高时钟频率。违反这些时序规则将不可避免地导致电路失效。图 8-10 所示的触发器的 *D*、*Clk* 和 *Q* 的波形体现了其中一些时序参数。时间参考点取在各个波形幅度为 50%的位置。我们采用文献[2]中的传统时序参数符号。

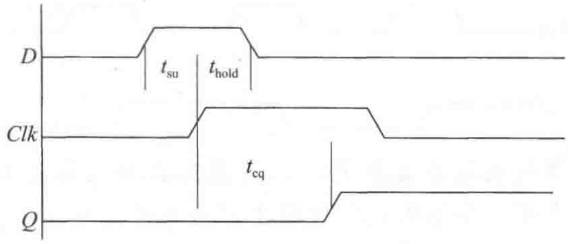


图 8-10　*D*、*Clk* 和 *Q* 波形的时序定义

8.3.1　时序测量

建立时间(setup time)

t_{su}是数据输入信号(*D*)需要比时钟输入(*Clk*)提前的最短时间。t_{su}是数据进入第一个锁存器的电路建立时间。它是 T_1、I_1 和 I_2 延时的一个函数。t_{su}必须要大于数据从输入 *D* 经 T_1 传至 I_1 和 I_2 的传输延时。

最小 t_{su}

$t_{su,cd}$是统计意义上的数据输入(*D*)必须要比时钟输入(*Clk*)提前的最短时间。它是一个关于制造工艺的统计偏差的函数(cd 称作污染延时(contamination delay)或最小延时)。$t_{su,cd}$是基于对工艺扰动的工程学估计得到的 T_1、I_1 和 I_2 的最小预期延时。

保持时间(hold time)

t_{hold}是时钟沿到来以后，数据输入(*D*)必须继续保持当前状态的时间。它是有效时钟沿到达与输入传输门(T_1)关断之间的延时。在 T_1 关断以后，输入信号 *D* 就可以变化了。t_{hold}取决于时钟沿到达 T_1 和 T_3 的路径上的所有元件的延时。

228

时钟到 *Q* 时间(clock to Q time)

t_{cq}是时钟沿与信号到达输出结点 *Q* 之间的最大延时。它是一个关于 T_3 和 I_3 的传输延时的函数。

最小 t_{cq}

$t_{cq,cd}$是统计意义上时钟沿与信号到达输出结点 *Q* 之间的最小延时。$t_{cq,cd}$通常基于对信号通路上随机或系统分布的延时影响因素的工程分析。

时钟脉宽

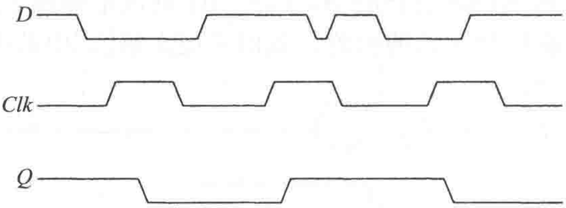
t_{cw0}是 *Clk* 为低电平时的最小时钟宽度。它是主锁存器的信号结点达到稳定所需的时间。也就是令 I_2 的输出等于 I_1 的输入的时间。

t_{cw1}是 *Clk* 为高电平时的最小时钟宽度。它是从锁存器的信号结点达到稳定所需的时间。也就是令 I_4 的输出等于 I_3 的输入的时间。

数据必须比时钟沿提前至少一个建立时间 t_{su}。时钟沿到来之后，数据还必须在 t_{hold}时间内保持稳定。保持时间是非常必要的，它保证时钟跳变与 T_1 传输门关断之间的所有延时都被纳入考量。若新数据到来时 T_1 还没有关断，那么已有的数据就会被破坏。在确保时钟信号有足够的时间关断传输门 T_1 之前，一定不能改变 *D* 的值。建立时间与保持时间之和决定了输入 *D* 需要保持稳定的最短时间。

例 8-2 一个上升沿D触发器的 D 和 Clk 波形如图所示。Q 的初始波形已经给出，从中可以看出 t_{cq}。画出完整的 Q 波形。

解：



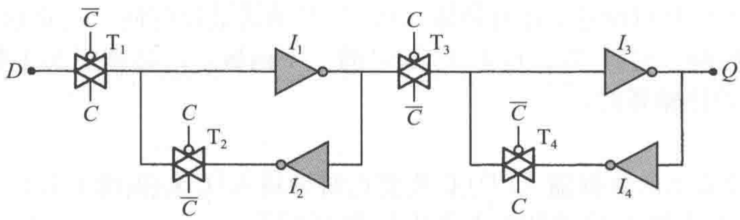
在时钟上升沿新数据从主锁存器传到从锁存器。新数据到达 Q 之前有 t_{cq} 的延时。D 信号在第二个时钟脉冲内有一个毛刺，然而输出中毛刺被忽略了，这是因为此时第一个传输门是关断的，可以防止主锁存器读入新数据。◀

229

例 8-3 已知边沿D触发器如图所示。

(a) 在图中正确标出传输门控制结点的时钟信号，使得触发器是下降沿触发的。

(b) 计算 t_{su}、t_{hold}、t_{cq}，以及 $Clk=1$ 和 $Clk=0$ 时的最小时钟脉宽。



已知：

Ckt	t_{PD}/ns
T_1	2
T_2	0
T_3	2
T_4	0
I_1	1
I_2	2
I_3	1
I_4	2

解：

(a) 时钟极性如电路图所示。

(b) $t_{su}=(T_1+I_1+I_2)t_{PD}=(2+1+2)\text{ns}=5\text{ns}$

$t_{hold}=0\text{ns}$，因为时钟脉冲到达 T_3 和 T_1 是同时的，并且从时钟沿到达到 T_1 关断没有延时，因此只要时钟下降沿到来，新数据马上就能读入锁存器。

$t_{cq}=(T_3+I_3)t_{PD}=(2+1)\text{ns}=3\text{ns}$

$t_{pw}(Clk=0)=(T_3+I_3+I_4)t_{PD}=(2+1+2)\text{ns}=5\text{ns}$

$t_{pw}(Clk=1)=(T_1+I_1+I_2)t_{PD}=(2+1+2)\text{ns}=5\text{ns}$ ◀

8.3.2 违反时序规则的影响

230

图8-11所示的为仿真得到的“时钟到Q延时(Clk-Q)”与“数据到时钟延时(D-Clk)”

的关系曲线，它说明数据变化时间越接近时钟沿，则触发器的 t_{cq} 就越大。左半部分曲线的 x 坐标表示建立时间的违反情况，右半部分曲线的 x 坐标表示保持时间的违反情况。y 坐标表示 t_{cq} 延时的增长情况。

违反 t_{su} 和 t_{hold} 时间要求并不会立即造成电路失效，然而指数增长的延时本身会造成失效。图 8-11 的左边曲线说明当 D-Clk 时间减小到归一化建立时间(−0.5)以下时，t_{cq} 延时变得非常敏感。右边曲线说明，当时钟边沿与数据保持时间之差缩小到 0.5 以下时，t_{cq} 延时会显著增加。违反建立时间要求而导致的 t_{cq} 延时增长来自于主锁存器的反相器输入结点的电荷竞争。t_{hold} 的增长是由 T_1 和主锁存器输入逻辑状态翻转时的竞争导致的。由此得到的结论是：在允许新信号进入锁存器之前，先保证锁存器的所有结点达到稳定状态。

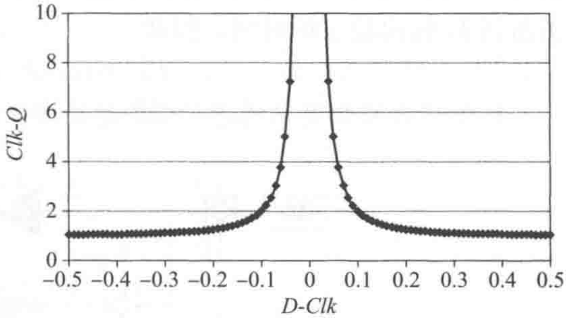


图 8-11　Clk-Q 延时与 D-Clk 延时的函数关系，展示了建立时间(左半部分曲线)和保持时间(右半部分曲线)减少所带来的影响(曲线是仿真得到的)

自测 8-3

(a) 利用图 8-11 估算：若建立时间从 0.4 减小到 0.005，则 t_{cq} 增长的百分比是多少？

(b) 利用图 8-11 估算：若保持时间从 0.5 减小到 0.1，则 t_{cq} 增长的百分比是多少？

答案：(a)700%；(b)200%

8.4　D 触发器在集成电路中的应用

在深入学习时序过程之前，我们先介绍 D 触发器的一个简单应用。D 触发器被广泛用于构造存储寄存器(图 8-12)。并行输入并行输出的数据寄存器就是由 D 触发器构成的。图 8-12 展示了两个上升沿触发的 2 位寄存器，每个触发器都有时钟和数据输入，两个寄存器之间是一个组合逻辑模块。 231

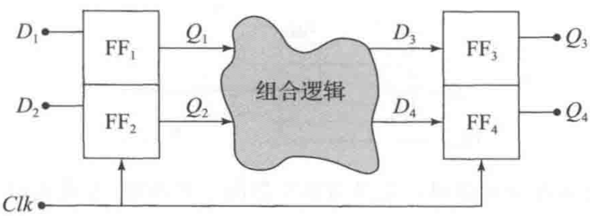


图 8-12　由上升沿触发器构成的并行输入并行输出的 2 位寄存器，每个触发器都有 D 和 Clk 信号输入(各触发器由同一个时钟控制)

当时钟为低时，输入数据 D_1、D_2、D_3、D_4 进入各自触发器的主锁存器中。数据 D_3 和 D_4 来自前一个时钟脉冲。在下一个时钟上升沿，各触发器将数据传入从锁存器，数据被加载到输出结点 Q_1、Q_2、Q_3、Q_4 上，进入后面的组合逻辑模块中进行处理。每个寄存器的时钟变化沿精确控制上述操作何时发生。D、Clk 脉冲边沿以及电路内部传输延时的时序控制是一个精确的过程。

8.5　带延时元件的 t_{su} 和 t_{hold}

此前，我们定义了当 D 线和 Clk 线直接接入边沿触发器电路时的建立时间和保持时间。通常，在数据和时钟的路径上可能存在组合逻辑门或其他元件，这些元件的延时会影

响 t_{su} 和 t_{hold}。本节将介绍线上延时元件如何影响 t_{su} 和 t_{hold}，以加深我们对这些基础时序概念的理解。

D 线上的延时元件：图 8-13 展示了一个上升沿触发器，其中 *D* 线上有一个延时元件，造成 $t_{D\text{-delay}}$ 的延时。t_{su} 和 t_{hold} 将会受到怎样的而影响呢？建立时间的定义仍然是 *D* 波形的边沿到 I_2 输出稳定的时间，因此

$$t_{su} = (t_{D\text{-delay}} + T_1 + I_1 + I_2) \tag{8-1}$$

D 信号必须要更早到达，以防违反建立时间要求。

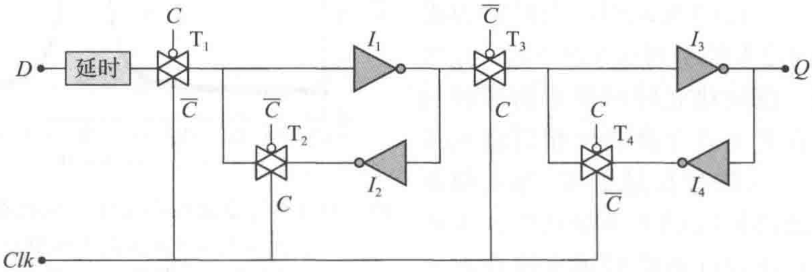


图 8-13　*D* 线包含延时元件的上升沿触发器

保持时间可以通过两个条件的综合结果来进行分析。第一，在 T_1 收到时钟信号并关断之前 *D* 值不能改变。对于图 8-13 所示的电路，T_1 在时钟上升沿到来时会立刻关断，因此 *D* 也可以在时钟边沿变化。不过第二个条件考虑到了 *D* 线中的延时，使得保持时间有所调整。若允许 *D* 在时钟沿变化，自然不会违反 t_{hold} 要求，不过 *D* 中的新数据会在 T_1 关断后再延迟一段时间到达，这些时间是浪费的。何不让 *D* 提前一个延时开始变化，使得信号 *D* 到达 T_1 的时间恰好等于 T_1 关断的时间呢？在 *D* 线存在延时的情况下，保持时间调整为

$$t_{hold} = 0 - t_{D\text{-delay}} = -t_{D\text{-delay}} \tag{8-2}$$

图 8-14 中的虚线表示 *D* 线存在延时的情况下，t_{su} 和 t_{hold} 调整后的波形。图中画出了到达 T_1 的时钟波形，以说明保持时间的变化。如虚线所示，在 *D* 线存在延时的情况下，建立时间增长，而保持时间减少。

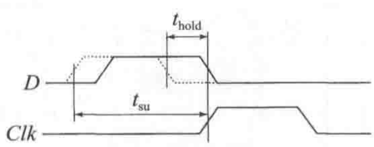


图 8-14　*D* 线存在延时元件时，上升沿触发器的波形调整（虚线表示 *D* 波形的变化）

Clk 线上的延时元件：图 8-15 展示了时钟线中的一个延时元件（$t_{Clk\text{-delay}}$）。由于这个元件的存在，保持时间必须要调整。*D* 信号需要等到时钟延时过去以后才能改变状态。

$$t_{hold} = t_{Clk\text{-delay}}$$

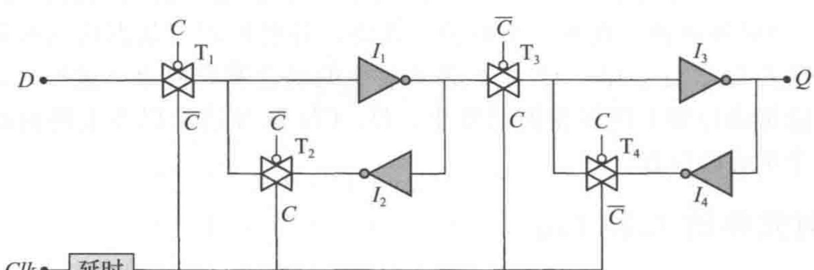


图 8-15　时钟包含延时元件的上升沿触发器

232

新的建立时间($t_{su\text{-}delay}$)必须同时考虑主锁存器的延时和时钟线的延时。D 信号可以比原来晚一个时钟线延时再改变状态，因此可以缩短为

$$t_{su\text{-}delay} = (-t_{Clk\text{-}delay} + T_1 + I_1 + I_2) \text{ 延时} \tag{8-3}$$

而新的保持时间是

$$t_{hold} = t_{Clk\text{-}delay} \tag{8-4}$$

图 8-16 展示了时钟线存在延时元件时，t_{su} 和 t_{hold} 的波形调整。当上升沿到达 T_1 并将其关断时，D 才能释放其保持时间。故建立时间缩短而保持时间增长。

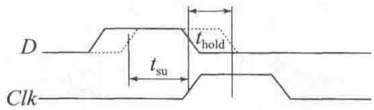


图 8-16　时钟存在延时元件时，上升沿触发器的波形调整(虚线表示 D 波形的变化)

自测 8-4

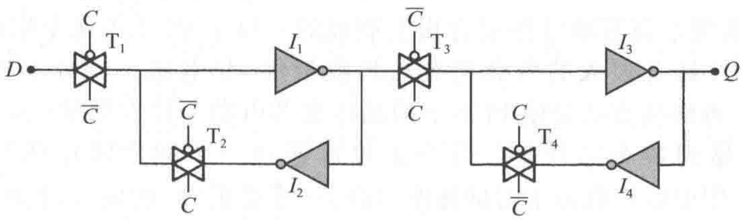
一个边沿 D 触发器的常规时序参数如下表给出，在特定的路径上存在缺陷造成的延时。

233 ~ 234

(a) 若缺陷出现在 I_2 中，造成其延时增长为 6ns，则对触发器操作造成什么影响？

(b) 若缺陷造成时钟线产生 4ns 的延时，则对触发器操作造成什么影响？

(c) 若缺陷造成 I_3 的输入线出现 5ns 的延时，则对触发器操作造成什么影响？



已知：

Ckt	t_{PD}/ns
T_1	2
T_2	0
T_3	2
T_4	0
I_1	1
I_2	2
I_3	1
I_4	2

答案：

(a) t_{su}=9ns，比原来增加了 4ns。t_{hold} 减小到 −4ns。

(b) 时钟线上的延时造成 t_{hold} 增加为 4ns。t_{su} 比原来减少 4ns。

(c) t_{cq} 和时钟脉宽会增加到 8ns。时钟脉宽必须要包含新增的 5ns 延时，否则电路将失效。

8.6　包含置位和复位的边沿触发器

图 8-17 所示的上升沿主从触发器使用两个二输入“或非”门构成从结构，而不是前

文使用的反相器结构。当复位端(*reset*)变为逻辑1时，输出Q经过一个“或非”门延时之后变为逻辑0。复位功能不一定要与时钟同步。当复位端设为逻辑0时，它是“或非”门的非控制逻辑状态，因此不会影响Q的状态。类似地，当右下角的置位端(*set*)变为逻辑1时，Q在$C=0$时变为逻辑1。

235

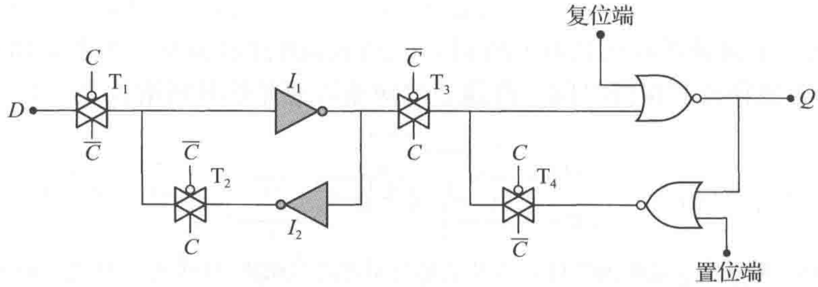


图 8-17　包含置位和复位控制的边沿触发器

8.7　时钟生成电路

在将所有模块组合成完整电路之前，我们还需要一个时序子电路，这个电路负责时钟的生成及其网络分布。一个主时钟振荡器生成一个片下的时钟脉冲，通常这是由印制电路板(Printed Circuit Board，PCB)上的晶体振荡器产生的。印制电路板(PCB)是将许多集成电路和分立元件装配在薄玻璃纤维复合板上制成的，每个PCB实现专用的功能。PCB上的长线(如互连线)具有很大的负载电容(pF数量级)和电感。PCB不适用于高频信号(>200MHz)。一种解决方法是使PCB上的晶体振荡电路工作在低频(50～166MHz)，并将此低频时钟传递到各个芯片上。每个芯片再通过一个叫“锁相环”(Phase Locked Loop，PLL)的专用电路将低频主时钟转换为高频(或更低频)的同步时钟，以满足芯片的要求。几乎所有微处理器芯片都包含锁相环系统。

图8-18展示了一个时钟生成系统的主要模块：锁相环(PLL)和分频器、金属互连线、互连线上的缓冲反相器，以及发送给触发器的时钟分布网络。板上的主时钟f_{0sc}进入PLL，它的频率被乘以常数N，它的相位与一个从电路深处的时钟结点提取出来的时钟信号进行对比。“除以N”数字模块将频率为f_0/N的时钟输入PLL，PLL的特性就在于将时钟结点的信号频率除以N的同时，PLL实际上将PCB参考频率f_{0sc}乘以N之后再输出，这样一来输入较低频的f_0/N信号与f_{0sc}的相位就是同步的。PLL的输出是多个频率为$f_0=Nf_{0sc}$的信号。这些时钟输送给多个分布在整个集成电路上的触发器。互连线上的缓冲反相器是必要的，它起到减小路径延时的作用。整个结构形成一个负反馈电路，将频率锁定在f_0。接下来我们将讲解PLL是如何工作的。

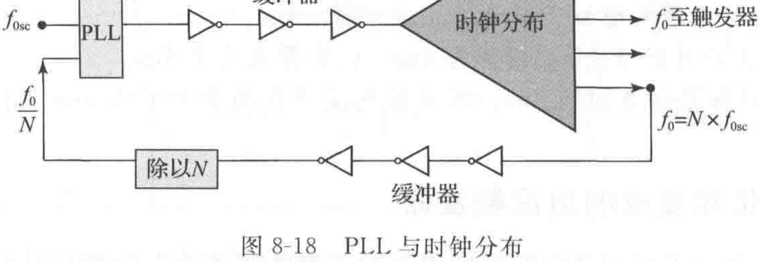


图 8-18　PLL与时钟分布

锁相环电路

锁相环(PLL)与时钟分布电路：①将 PCB 上的低频时钟转换为芯片所用的高频时钟；②将芯片时钟信号分布至上千甚至上百万个边沿触发记忆元件中；③保证这些分布的时钟信号良好同步，从而实现稳定、高频的运算。管理时钟的到达时间是一项困难的任务，因为违反任何局部建立时间和保持时间要求的时钟频率都会造成芯片失效。

图 8-19 展示了由片下振荡器驱动的 PLL 子电路模块的信号流图。鉴相器检测 f_{0sc} 和 f_0/N 的相位是否对齐。未对齐的相位将形成一个电荷泵，根据相位偏差的方向决定上拉或者下拉电流源的导通。第三级是一个简单的低通滤波器，它对电荷泵造成的快速跳变进行平滑，并将其转换为准直流信号，用作压控振荡器(Voltage-Controlled Oscillator, VCO)的 V_{DD}。接下来我们将讨论 PLL 模块的具体工作原理。

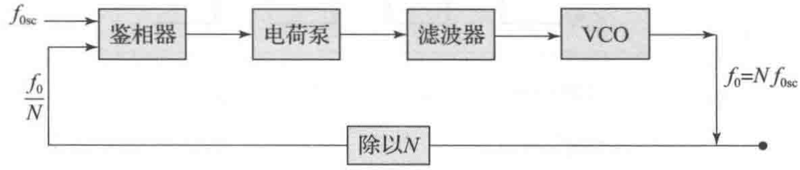


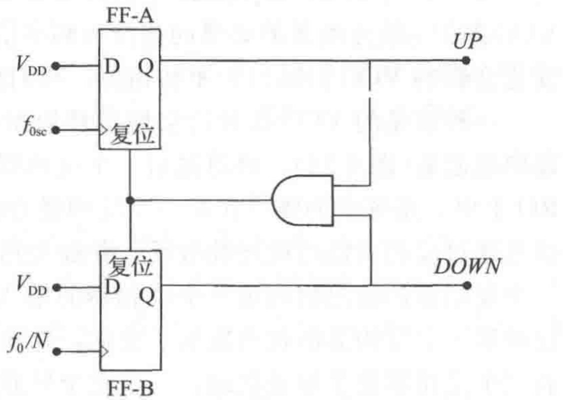
图 8-19 PLL 的主要模块

236 ~ 237

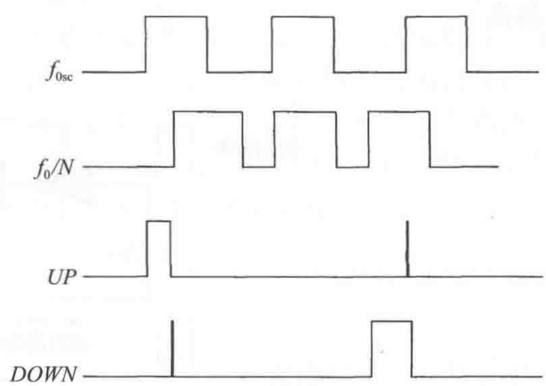
图 8-20a 所示的是鉴相器的一种形式。它使用两个上升沿 D 触发器以及一个“与”门，每个 D 触发器有一个复位信号。当二输入“与”门的输出为逻辑 0 时，复位信号立刻将触发器的输出清零，此控制与输入时钟是独立的。主时钟 f_{0sc} 驱动触发器 FF-A 的时钟输入，芯片反馈回来的 f_0/N 驱动触发器 FF-B 的时钟结点。两个触发器的 D 输入都接 V_{DD}。

图 8-20 中，UP 信号从 FF-A 输出，$DOWN$ 信号从 FF-B 输出。当两个触发器都输出逻辑 1 时，“与”门输出逻辑 1，并通过复位结点将两个触发器清零。由于触发器对时钟上升沿响应，因此若两个时钟输入信号同时为逻辑 1，则 UP 和 $DOWN$ 信号仍保持逻辑 0，不会向电荷泵传送纠错信号。当两路信号相位不同时，就会开始进行纠错，纠错的时长就是相位差的时长。

图 8-20b 所示为上述信号的响应波形。波形中的两个毛刺对应的是复位端有效之前的电路延时。重点关注两个时钟的上升沿，从而更好地理解 $UP/DOWN$ 结点的波形变化。



a）鉴相器电路



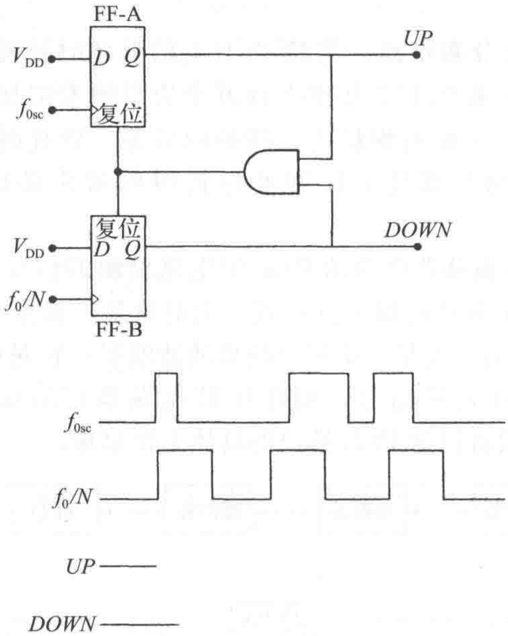
b）波形

图 8-20 鉴相器电路和波形

238

自测 8-5

画出 UP 和 $DOWN$ 的波形。



电荷泵(charge pump)可以看作 CMOS 反相器的改版，使用了特殊的偏置并增加了信号控制晶体管。pMOS 晶体管和 nMOS 晶体管在饱和偏置态起到恒流源的作用，对器件进行上拉或下拉。上拉和下拉信号控制电荷泵输出结点的电压。

图 8-19 中的 *RC* 滤波器用于消除电荷泵输出中的高频分量。滤波后的信号包含了驱动 VCO 的 V_{DD}结点所需的必要的相位和频率信息。VCO 的输出即是芯片所需的频率。V_{DD}的变化会影响 VCO 的输出频率和相位，我们接下来将会介绍。

一种常见的 VCO 设计均会使用环形振荡器(Ring Oscillator，RO)，它将奇数个反相器串联起来(图 8-21)，再将最后一个反相器的输出连回到第一个反相器的输入结点上。当 RO 上电，系统中的噪声在某一个反相器的输入端(如第一个反相器)形成了一个逻辑信号。信号通过反相器链时被连续取反，并放大到某个逻辑状态。经过整个路径延时之后，最后一个反相器的输出回到第一个反相器的输入，不过其逻辑电平已经与初始信号的相反了。这时第一个反相器的状态发生了变化，并重复整个过程。信号在链中波动，在同一时刻只有三个反相器处于导通状态：一个完全导通的反相器、它的驱动反相器以及它的负载反相器。一个典型的 RO 可能包含 5 个到超过 100 个反相器。反相器数目越少，RO 的频率就越高。

239

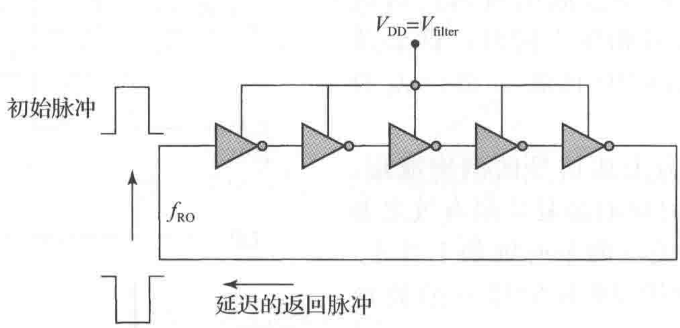


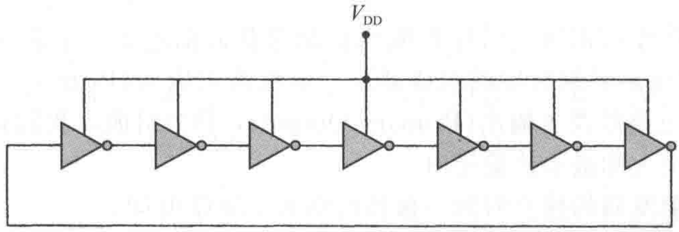
图 8-21 环形振荡器

信号的环路延时决定了 VCO 的周期。由于晶体管的电流驱动强度取决于 V_{DD}，因此

每个反相器对负载电容充放电的能力是V_{DD}的函数。当V_{DD}提高时，RO的频率提高；当V_{DD}降低时，RO的频率也降低。RO频率对V_{DD}或V_{SS}的噪声非常敏感。RO抖动噪声(jitter noise)需要重点关注，我们将在讨论系统时序性质时进行简要介绍。当VCO的输出能够通过线上缓冲器驱动一个局部或区域时钟结点时，PLL的总体任务宣告完成。

例 8-4

(a) 环形振荡器的V_{DD}=1.5V，平均每个反相器的传输延时是500ps。则RO频率是多少？



240

(b) 若V_{DD}降至10mV，反相器传播延时增长1%。则新的RO频率是多少？

解：

(a)

$$f_{RO}=\frac{1}{\sum T_{pd}}=\frac{1}{7\times 500\text{ps}}=285.7\text{MHz}$$

(b) 传播延时变为1.01×500ps=505ps，RO频率是

$$f_{RO}=\frac{1}{\sum T_{pd}}=\frac{1}{7\times 505\text{ps}}=282.9\text{MHz}$$

尽管频率改变看起来很小，然而PLL可以检测到相位未对齐，从而增强鉴相器的*UP*信号。电荷泵的响应时将增强RO的驱动电压V_{DD}的强度，使频率回到285.7MHz。 ◀

8.8 金属互连线寄生效应

正如第4章所述，时钟生成电路的金属互连线非常复杂。特别地，由于金属互连线可以做得很长并形成很多平行的路径，因此它们的*R*、*C*、*L*特性是相互关联的。线的长度越长，与邻近信号线发生随机相互作用的概率就越大。在讨论系统时序之前，我们先简要回顾一下进行精确时序部署的复杂性。

局部的触发器时钟结点的时钟到达时间受很多变量影响。时钟互连线的总负载电容可能高达nF数量级。根据欧姆定律，导线电阻会造成时钟线上的压降，导致时钟逻辑强度恶化。而信号强度的减弱将导致电路速度减慢。相邻金属线的串扰耦合可能造成脉冲的减慢或加快。电感电压Ldi/dt削弱V_{DD}和V_{SS}的强度。这些不确定因素使得我们无法准确预测时钟脉冲的到达时间。现代集成电路中的上升和下降时间在20～100ps不等，使得电感电压成为影响信号和电源电压稳定性的一个大问题。较长的互连线具有分布式*RC*负载，这也是一个重要的问题，因为延时与互连线长度的平方成正比(见第4章)。线缓冲器可以在一定程度上解决这些问题。

8.9 时钟漂移和抖动

时钟电路还有另外两个重要的不准确因素，它们会影响由D触发器构成的寄存器的时钟信号的精确部署。第一个因素称作“时钟漂移”(timing skew，δ)。时钟漂移指的是两路时钟信号的到达时间之差，或者是与参考结点时钟信号之差。漂移通常是由互连线路径

长度与缓冲器电路延时的差异造成的一个常数偏移量。

另一个影响准确部署的因素是抖动(jitter)。它是造成相邻时钟周期变化的一个随机变量。抖动的主要来源是PLL中的V_{DD}与V_{SS}的噪声波动。PLL的输出级是一个压控数字振荡器(VCO)，它的频率对电源环上的瞬时变化非常敏感。其他的抖动来源还包括管芯上的温度差异以及交叉耦合的影响。下一节将把漂移和抖动纳入芯片的整体时序分析中。在现代集成电路中，抖动通常是一个更难控制的时序不确定因素。

241

8.10 芯片设计中的整体系统时序

目前为止我们所学习的所有时序性质组合起来共同描述了一个芯片的整体系统时序。图8-22展示了集成电路系统时序的组成部分。系统由主输入(Primary Inputs，PI)、流水线结构、时钟生成电路以及主输出(Primary Outputs，PO)组成。我们必须考虑：

- 组合逻辑的最大和最小传输延时。
- 寄存器中的触发器的建立时间、保持时间和*Clk-Q*时间。
- 时钟生成电路的漂移和抖动不稳定性。

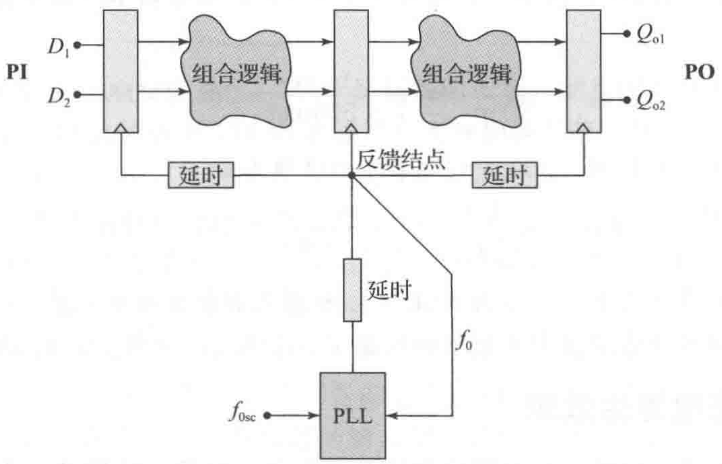


图8-22 系统的组成模块和时序连接

系统必须要遵循两个主要的时序约束。第一个约束是“时钟周期约束”(clock period constraint)，它要求在下一个时钟沿到来之前，所有相关的传输延时必须完成。第二个约束是寄存器中的触发器的“保持时间约束”(hold time constraint)，它要求在触发器保持时间得到满足之前不能生成后续的时钟脉冲。若下一个时钟脉冲过早到来，那么错误的数据就会提前进入组合逻辑模块，并过早到达下一个寄存器。这样将会违反保持时间要求，使得错误时钟沿的数据传入下一个寄存器中。

242

8.10.1 时钟周期约束

图8-23展示了一个流水线结构，以及*A*和*B*的时钟波形。时钟是严格对齐的。在时钟*A*启动第一个寄存器的数据传输后，信号要经过*Clk-Q*的路径延时、组合逻辑模块的延时，以及第二个寄存器的建立时间。这很容易理解。下一个时钟沿必须要等到所有相关事件都发生之后才能到来。时钟周期约束式为

$$T_{\text{period}} > t_{\text{cq}} + t_{\text{logic}} + t_{\text{su}} \tag{8-5}$$

最大工作频率是

$$F_{\max} = \frac{1}{T_{\text{period}}} \tag{8-6}$$

例 8-5 若图 8-23 所示电路的 $t_{su}=2\text{ns}$，$t_{hold}=3\text{ns}$，$t_{logic}=15\text{ns}$，$t_{cq}=4\text{ns}$，则时钟频率最大可以是多少？

解：

$$T > t_{cq} + t_{logic} + t_{su} = (4+15+2)\text{ns} = 21\text{ns}$$

$$F_{max} = \frac{1}{T} = \frac{1}{21\text{ns}} = 47.62\text{MHz}$$

若提高时钟频率，则错误的数据可能进入后面的负载寄存器中。◀

8.10.2 时钟周期约束与漂移

我们将时钟漂移偏置引入时钟周期约束的讨论。图 8-24 再次给出了时钟 A 和时钟 B 的波形，不过这次时钟 B 相对时钟 A 有一个正的延时偏置，漂移量为 δ。

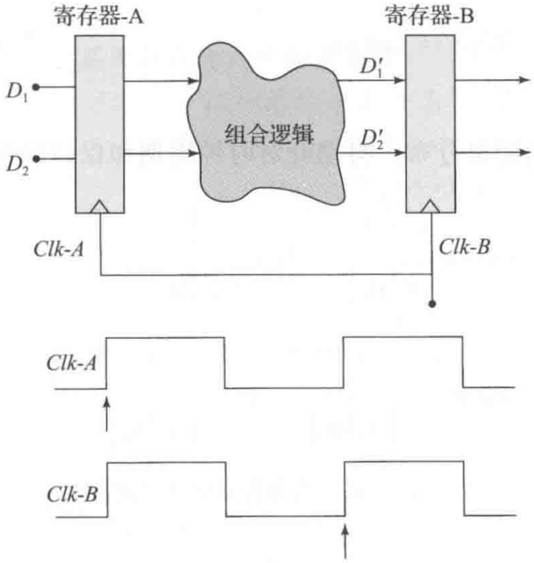


图 8-23　时钟周期约束

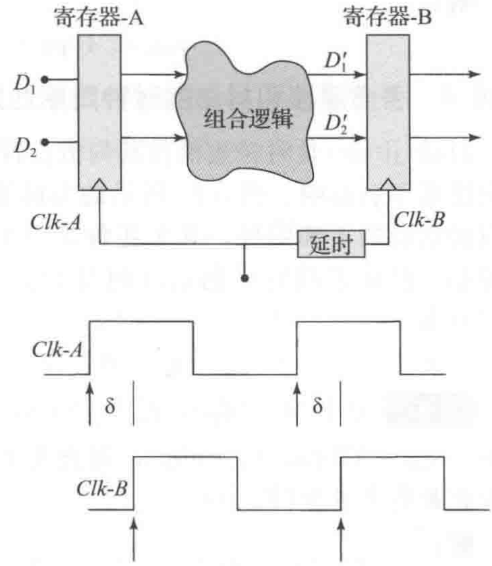


图 8-24　含有正向漂移的时钟波形

243
~
244

于是时钟周期约束变为

$$T_{period} = t_{cq} + t_{logic} + t_{su} - \delta \tag{8-7}$$

因为时钟 B 较晚到达，因此留给路径延时的时间更多了。这意味着时钟周期可以缩短 δ，时钟频率可以相应提高。在这一点上，正向时钟漂移是好的，不过相应地，它会造成保持时间约束的问题，我们将在下一小节讨论。

若延时元件放在时钟 A 线上，则时钟 B 比时钟 A 更早到达，那么这个负向漂移将导致周期的增加：

$$T_{period} = t_{cq} + t_{logic} + t_{su} + \delta \tag{8-8}$$

例 8-6 若图 8-23 所示电路的 $t_{su}=40\text{ps}$，$t_{hold}=60\text{ps}$，$t_{logic}=600\text{ps}$，$t_{logic,cd}=400\text{ps}$，$t_{cq}=50\text{ps}$，且有正向时钟漂移 $\delta=100\text{ps}$，则时钟频率最快为多少？

$$t_{period} > 50\text{ps} + 600\text{ps} + 40\text{ps} - 100\text{ps} = 590\text{ps}$$

$$F_{max} = \frac{1}{590\text{ps}} = 1.695\text{GHz}$$ ◀

8.10.3 保持时间约束

若一个组合逻辑模块中的较短数据通路的延时小于 δ，那么数据很可能在时钟 B 到来之前就到达负载寄存器。这样当稍后时钟 B 到达时，这个较短路径的数据就会进入第

二个寄存器中，而进入第二个寄存器的本应是上一个周期的数据。这种错误称作“保持时间冲突”。保持时间是设计者经常面临的一个问题。对于正向漂移，保持时间约束可以写作

$$t_{hold} < t_{cq,cd} + t_{logic.cd} - \delta \tag{8-9}$$

污染延时(contamination delay，cd)是预期的最小延时。降低 t_{hold} 对于设计者来说很有难度，因为必须要减小时钟沿到达与主锁存器输入传输门关断之间的传输延时。式中用到的参数是组合逻辑模块和 *Clk-Q* 的最小传输延时。在保持时间约束下，这两条路径的时钟过快将导致电路失效。

例 8-7 若图 8-24 所示电路的 $t_{su}=40\text{ps}$，$t_{logic}=600\text{ps}$，$t_{logic,cd}=400\text{ps}$，$t_{cq}=50\text{ps}$，$t_{cq,cd}=40\text{ps}$，$\delta=75\text{ps}$，则最大保持时间是多少？

解：

245

$$t_{hold} < 40\text{ps} + 400\text{ps} - 75\text{ps} = 365\text{ps}$$ ◀

8.10.4 考虑漂移和抖动的时钟周期约束

抖动(jitter)是时钟边沿在其均值位置附近的随机分布。抖动会对时钟周期和保持时间约束造成不利影响。图 8-25 所示的为抖动造成的时钟边沿的不确定性，其中还包含一个正向的漂移。抖动不确定性的总区间是 $2t_{jit}$。时间约束变为

$$T_{period} = t_{cq} + t_{logic} + t_{su} - \delta + 2t_{jit} \tag{8-10}$$

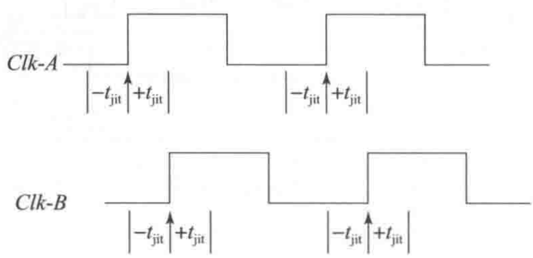


图 8-25 含有抖动的时钟波形

例 8-8 已知 $\delta=75\text{ps}$，$t_{jit}=100\text{ps}$，$t_{su}=50\text{ps}$，$t_{logic}=550\text{ps}$，$t_{cq}=80\text{ps}$，则此集成电路的时钟最快为多少(F_{max})？

解：

$$T_{period} > t_{cq} + t_{logic} + t_{su} - \delta + 2t_{jit}$$
$$T_{period} > 80\text{ps} + 550\text{ps} + 50\text{ps} - 75\text{ps} + 2 \times 100\text{ps}$$
$$T_{period} > 805\text{ps}$$
$$F_{max} = \frac{1}{805\text{ps}} = 1.24\text{GHz}$$ ◀

约束中包含了一个 $2t_{jit}$ 项，因为这是不确定性的总范围。时钟周期必须要增加 $2t_{jit}$ 的时间，因此造成最快工作频率的降低。抖动主要是由 VCO 电源环的噪声造成的。在存在抖动和正向漂移时的保持时间约束是

246

$$t_{hold} < t_{cq,cd} + t_{logic,cd} - \delta - 2t_{jit} \tag{8-11}$$

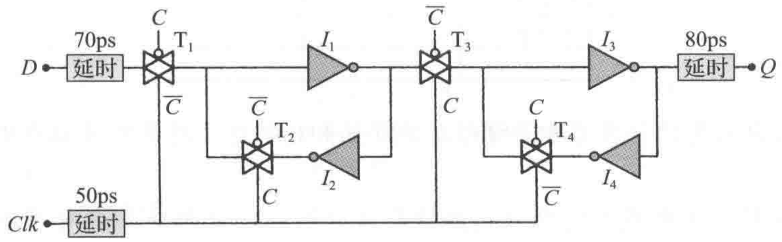
例 8-9 已知 $\delta=90\text{ps}$，$t_{jit}=100\text{ps}$，$t_{su}=50\text{ps}$，$t_{logic}=550\text{ps}$，$t_{logic,cd}=450\text{ps}$，$t_{cq}=80\text{ps}$，$t_{cq,cd}=60\text{ps}$，则电路允许的最大保持时间是多少？

解：

$$t_{hold} < t_{cq,cd} + t_{logic,cd} - \delta - 2t_{jit}$$
$$t_{hold} < 60\text{ps} + 450\text{ps} - 90\text{ps} - 2 \times 100\text{ps}$$
$$t_{hold} < 220\text{ps}$$ ◀

例 8-10 一个系统的 D 触发器的 *D*、*Clk* 和 *Q* 结点的延时元件如图给出。触发器传输门的延时为 65ps，反相器的延时为 110ps。系统参数是 $\delta=+75\text{ps}$，$t_{jit}=60\text{ps}$，$t_{logic}=$

500ps，$t_{logic,cd}=425ps$，$t_{cq,cd}=210ps$。



(a) 求最高工作频率是多少？

(b) 计算系统保持时间约束。

解：

(a) $T_{period}>t_{cq}+t_{logic}+t_{su}-\delta+2t_{jit}$

计算周期表达式中的未知量。

$$t_{su}=[T_1+I_1+I_2]\text{延时}+D\text{ 延时}-Clk\text{ 延时}$$
$$=65ps+110ps+110ps+70ps-50ps=305ps$$
$$t_{hold}=0ns+50ps-70ps=-20ps$$
$$t_{cq}=[T_3+I_3+Q]\text{延时}=65ps+110ps+80ps=225ps$$

系统时钟周期约束是

$$T_{period}>225ps+500ps+305ps-75ps+2\times 60ps$$
$$T_{period}>1.105ns$$
$$F_{max}=\frac{1}{1.105ns}=905MHz$$

247

(b)保持时间约束是

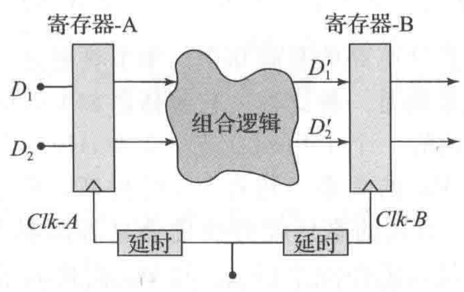
$$t_{hold}<t_{cq,cd}+t_{logic,cd}-\delta-2t_{jit}$$
$$t_{hold}<210ps+425ps-75ps-2\times 60ps+50ps-70ps=420ps$$
$$t_{hold}<420ps$$

◀

自测 8-6

这道自测题将说明集成电路可以达到的最高时钟频率受系统时序变量的影响。时序变量为

$$t_{su}=125ps$$
$$t_{logic}=1000ps$$
$$t_{logic,cd}=900ps$$
$$t_{cq}=150ps$$
$$t_{cq,cd}=100ps$$



针对 $\delta=0$，$\delta=+200ps$ 和 $\delta=-200ps$ 的漂移量，将下表填写完整。

	F_{max}/MHz	t_{hold}/ns
$\delta=0$		
$\delta=200ps$		
$\delta=-200ps$		

248

观察时序约束的变化，并思考若遵循时钟周期和保持时间约束时设计者所面临的困难。

自测 8-7

这道自测题将说明集成电路可以达到的最高时钟频率如何受系统时序变量的影响。时序变量为

$$t_{su}=125ps$$
$$t_{logic}=1000ps$$
$$t_{logic,cd}=900ps$$
$$t_{cq}=150ps$$
$$t_{cq,cd}=100ps$$
$$t_{jit}=150ps$$

针对漂移量为+200ps和−200ps的不同情况，将下表填写完整。

第一行的抖动为0。填写表格下两行的漂移和抖动值对应的F_{max}和t_{hold}。

条件	F_{max}/MHz	t_{hold}/ns
$\delta=0$		
δ^{+}，t_{jit}		
δ^{-}，t_{jit}		

观察结果并思考设计者力图遵循时钟周期和保持时间约束时所面临的困难。

抖动和正的时钟漂移会对保持时间产生不好的影响，而设计者必须要遵循这些时间约束。电路频率不能比时钟周期约束所允许的频率更快，也不能违反保持时间约束。这些规则约束着电路中上百万的触发器。在前面的例子中，我们阐述了正向漂移的影响。负向漂移使时钟周期约束提高，因而会降低芯片的最高工作频率。不过负向漂移不会带来保持时间的问题，因为在时钟A启动数据传输之前，时钟B就已经到达。

晶体管和互连线参数的统计偏差是时序准确性的最根本的挑战。集成电路厂商无法将晶体管和互连线的微小尺寸以及掺杂浓度精确复制。这将导致晶体管之间的参数偏差，如L_{eff}、W/L、R_{sheet}、V_t、I_{Dsat}等。参数偏差将造成晶体管和互连线传输延时的变化。设计者必须对参数变化做出良好的估计，才能为时钟配置留出足够的容限。过大的容限意味着芯片的最高频率F_{max}需要做出牺牲。而过小的容限则会造成更多芯片失效。时钟生成电路的分析比较困难，因为它包含高达数十皮秒(ps)的不受控偏差。

8.11 时序与环境噪声

至此，读者已经学习了数字电路的基础知识。本节将更进一步，简要介绍真实环境对集成电路时序的影响。环境影响是一种泛称，它包括诸如V_{DD}和温度等一系列变量。

249

图8-26画出了Intel公司的一个150nm工艺，1.0GHz，含有660万晶体管的路由器芯片的最高工作频率F_{max}与V_{DD}的关系。随着V_{DD}的提高，F_{max}先是提高，然后在刚刚超过1.6V处饱和。噪声向V_{DD}引入的毫伏级的变化会显著影响芯片的最高频率。自测8-8计算了一个真实集成电路的最高工作频率(F_{max})对V_{DD}变化的敏感度。设计者必须获得电压波动的特征数据，才能对噪声引入的电压波动、或芯片所在电路板上的±5%稳压器造

成的电压波动进行预估。

自测 8-8

以图 8-26 为参照。

(a) 使用铅笔和直尺估算 F_{max} 的斜率，以及 1mV 的 V_{DD} 变化所对应的频率变化。

(b) 一个 1GHz 芯片装在一个印制电路板上，电路板上的稳压器比设计值 1.3V 低了 5%。估算此电路板上的芯片的最高工作频率。

答案：(a)约 1.67MHz/mV。(b)约 892MHz。

还有一种芯片外的环境因素会造成电路时序的不确定性。电源线上的两个主要噪声变量来自外界温度对芯片温度造成的影响，以及芯片工作时自己产生的热量。低功耗芯片可能只产生几毫瓦的功率，而高性能的微处理器芯片可能产生 150～200W 的功率。此外，高功耗芯片上存在明显的温差，造成不同路径上实际延时的不确定。 250

图 8-27 画出了一个含有 20 000 个晶体管的测试芯片的 F_{max} 与平均温度的关系。两条曲线分别对应两种晶体管沟道长度不同的芯片。“慢”芯片沟道长度更长。每条曲线的回归系数代表了每种芯片设计对温度的敏感度。“快”芯片的频率变化率为 −13.3kHz/℃(温升)，而“慢”芯片的频率变化率为 −12.3kHz/℃(温升)。正如我们所预料的，芯片速度随温度的升高而减慢。频率的变化来自于晶体管和金属对温度变化的响应。集成电路上的一个 150℃ 的热点能够显著地影响芯片性能。

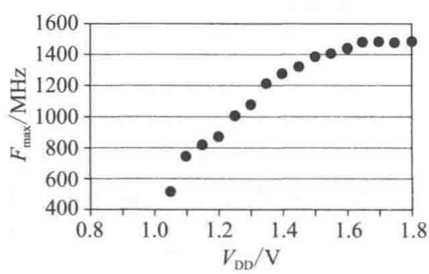


图 8-26　150nm 集成电路的 F_{max} 与 V_{DD} 关系曲线[3](经 Intel 公司授权转载)

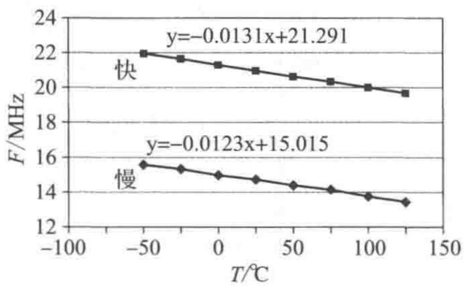


图 8-27　最高工作频率(F_{max})与温度的关系曲线[3](经 Intel 公司授权转载)

随着高功率芯片上的计算需求的变化，温度在几微秒内就可能发生变化，这些变化既可能只影响局部的一小部分晶体管，也有可能造成平均温度的升高从而影响全部晶体管的速度。总的来说，温度的升高会造成载流子迁移率下降，因而减小饱和电流的驱动强度(I_{Dsat})。于是负载电容的充放电需要花费更长时间。将高性能电路的工作环境与一个低功耗、低频率的植入式心脏起搏器相对比，心脏起搏器的外界环境温度恒为人体的 37℃，而一个较慢的 33kHz 的时钟几乎不会造成芯片自身的温升。

8.12 小结

设计指定工作频率的电路需要遵循时序规则，这些规则需要读者对触发器、组合逻辑、时钟生成电路、时钟周期和保持时间约束，以及抖动、漂移和工艺偏差造成的不确定性的相关知识有全面的了解。无论电路工作在高频还是低频，都需要我们理解所有的时序变量。 251

参考文献

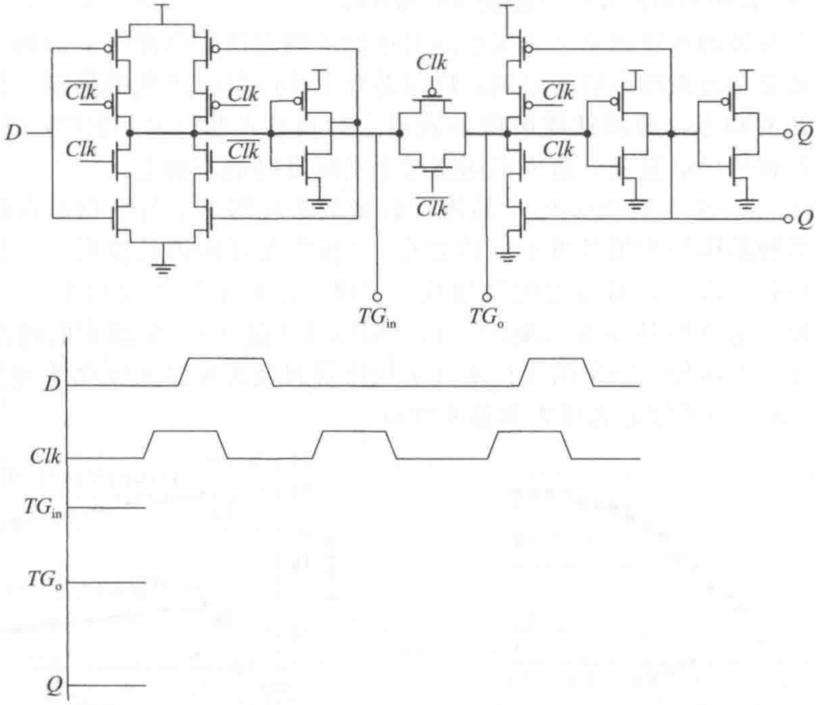
[1] W. Eccles and F. Jordan, “A trigger relay utilizing three-electrode thermionic vacuum tubes,” *Radio Review*, **1**, 143, 1919.

[2] J. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits*, 2nd Ed., Prentice-Hall, 2003. Saddle River, New Jersey, USA.

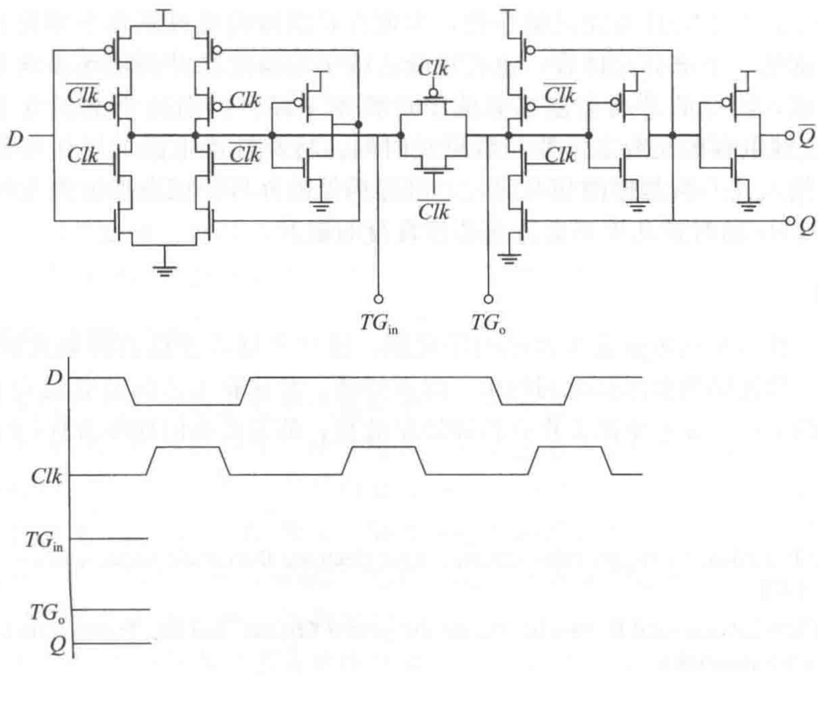
[3] J. Segura and C. Hawkins, "The nature of nanometer timing failures," *Electron Device Failure Analysis Magazine*, 2nd Quarter, May 2005.

习题

8-1 下降沿主从触发器的 D 和 Clk 波形如图所示，画出 CMOS 传输门之前的结点、之后的结点以及 Q 的波形。假设晶体管没有延时，且 TG_{in} 和 TG_o 初始为逻辑 1。



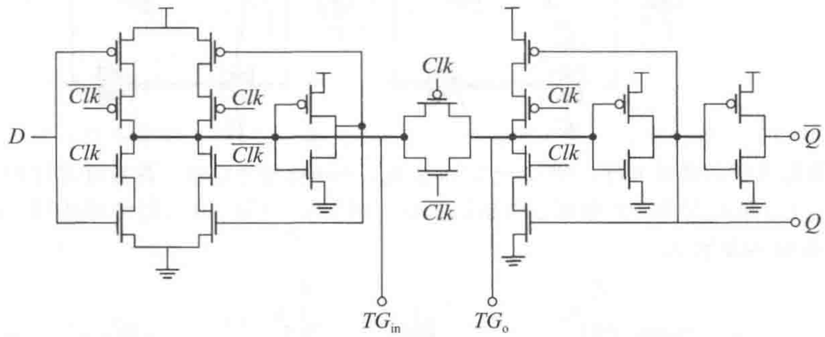
8-2 下降沿主从触发器的 D 和 Clk 波形如图所示，画出 CMOS 传输门之前的结点、之后的结点以及 Q 的波形。假设晶体管没有延时，且 TG_{in} 和 TG_o 初始为逻辑 0。

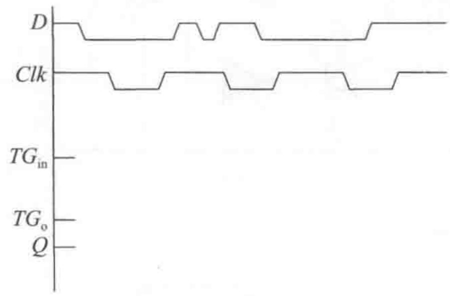


8-3　画出 TG_{in}、TG_o 和 Q 的波形。

初始条件：

$$TG_{in} = TG_o = 0V$$
$$Q = V_{DD}$$



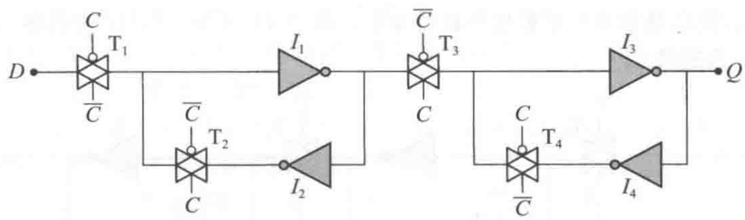


8-4　已知上升沿主从触发器的延时元件为：$T_1 = T_2 = T_3 = T_4 = 500ps$，$I_1 = I_3 = 700ps$，$I_2 = I_4 = 0ns$。

(a) 计算 t_{su}，t_{hold} 和 t_{cq}。

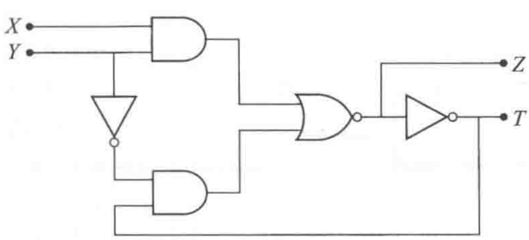
(b) 时钟为逻辑 0 和逻辑 1 时的最小脉宽分别是多少？

(c) 若 $T_2 = T_4 = 800ps$，会造成什么影响？



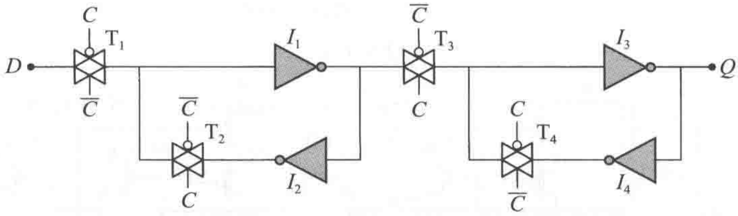
8-5　图中的电路与一种基本的时序电路模块功能相同，确定电路的类型以及各输入输出结点的传统名称。

提示：分析 $Y=0$ 和 $Y=1$ 时的等效电路。

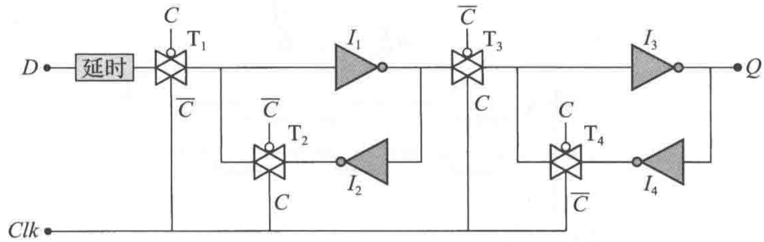


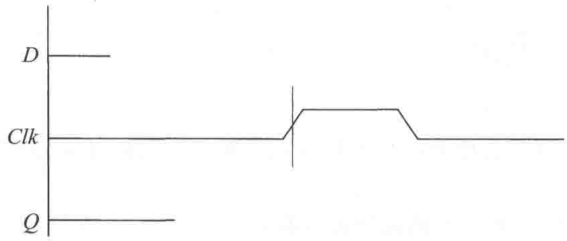
X	Y	Z	T	备注
0	0			
0	1			
1	0			
1	1			

8-6 图中给出了一个上升沿主从触发器。设 $T_1=T_2=T_3=T_4$，且 $I_1=I_2=I_3=I_4$。若 $t_{su}=4.5\text{ns}$，$t_{cq}=3\text{ns}$，则传输门和反相器的传输延时是多少？

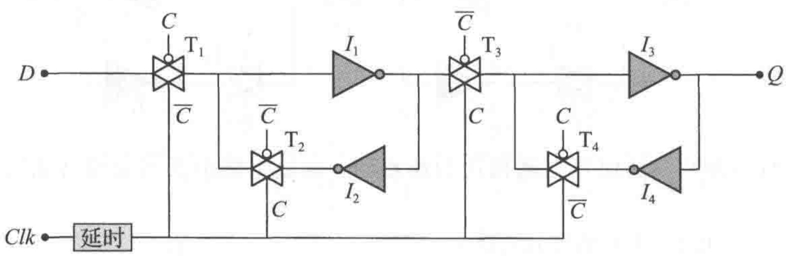


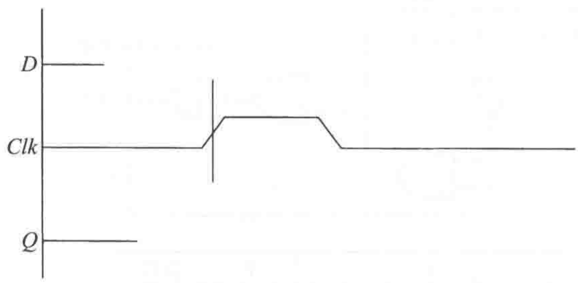
8-7 若没有数据线中的延时元件，则 $t_{su}=1.5\text{ns}$，$t_{hold}=0\text{ns}$，$t_{cq}=1\text{ns}$。若延时元件的延时为 1.8ns，则新的 t_{su}、t_{hold} 和 t_{cq} 是多少？根据这些新的参数，画出 D、Clk、T_1(时钟到达)以及 Q 的波形。初始状态 D 和 Q 为逻辑 0。



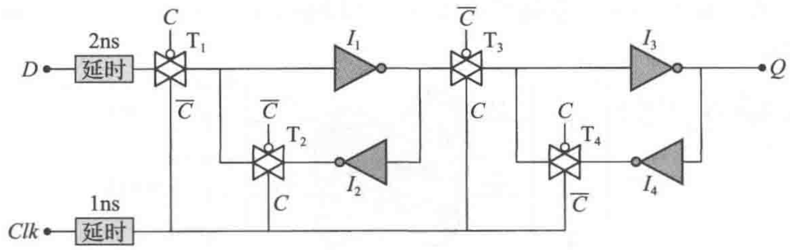


8-8 若没有时钟线中的延时元件，则 $t_{su}=1.5\text{ns}$，$t_{hold}=0\text{ns}$，$t_{cq}=1\text{ns}$。若时钟延时元件的延时为 1.8ns，则新的 t_{su}、t_{hold} 和 t_{cq} 是多少？根据这些新的参数，画出 D、Clk、T_1(时钟到达)以及 Q 的波形。初始状态 D 和 Q 为逻辑 0。





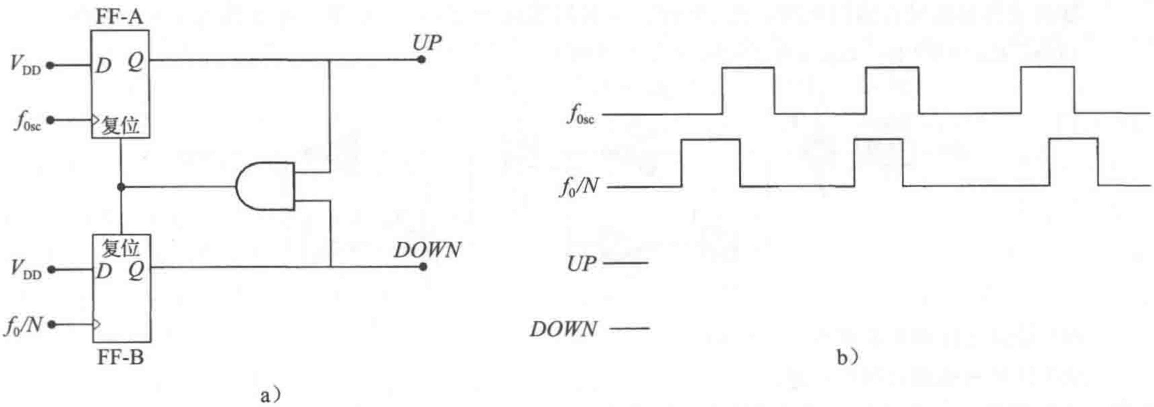
8-9 D 和 Clk 路径上存在缺陷造成的延时元件。若没有缺陷的电路有 $t_{su}=3\text{ns}$，$t_{hold}=2\text{ns}$，则含有这些延时元件时的建立时间和保持时间分别是多少？



8-10　一个集成电路的标称频率是 1.5GHz。触发器的建立时间和 *Clk-Q* 时间分别为 190ps 和 100ps。则为了满足 1.5GHz 的规范，组合逻辑的延时不能超过多少？

时钟生成电路

8-11　画出鉴相器的 *UP* 和 *DOWN* 波形。



系统时序

8-12　一个流水线电路的时钟频率为 2GHz，$t_{su}=60\text{ps}$，$t_{hold}=-40\text{ps}$，$t_{cq}=70\text{ps}$，$t_{logic}=550\text{ps}$，$t_{logic.cd}=500\text{ps}$。则正向时钟漂移为多少时会造成时序错误？

8-13　一个流水线电路包含一个负向的 70ps 的时钟漂移，$t_{su}=90\text{ps}$，$t_{hold}=-30\text{ps}$，$t_{cq}=110\text{ps}$，$t_{cq,cd}=90\text{ps}$，$t_{logic}=650\text{ps}$，$t_{logic,cd}=580\text{ps}$。则最高工作频率为多少？

8-14　若时钟漂移变为 +70ps，重做习题 8-10。

8-15　已知漂移为 +70ps，$t_{su}=90\text{ps}$，$t_{hold}=-30\text{ps}$，$t_{cq}=110\text{ps}$，$t_{cq,cd}=90\text{ps}$，$t_{logic}=650\text{ps}$，$t_{logic,cd}=580\text{ps}$。

(a) 保持时间最大为多少才能保证电路功能正确？

(b) 若漂移为负 100ps，重新计算结果。

8-16　已知 $t_{jit}=120\text{ps}$，$\delta=+130\text{ps}$，$t_{su}=80\text{ps}$，$t_{hold}=-30\text{ps}$，$t_{cq}=110\text{ps}$，$t_{cq,cd}=80\text{ps}$，$t_{logic}=580\text{ps}$，$t_{logic,cd}=520\text{ps}$，则安全工作的最高时钟频率($F_{max}$)是多少？

8-17　一个低频、低功率的医疗电子集成电路的标称时钟频率是 33kHz。它的 $t_{jit}=120\text{ps}$，$\delta=+130\text{ps}$，$t_{su}=80\text{ps}$，$t_{hold}=-30\text{ps}$，$t_{cq}=110\text{ps}$，$t_{cq,cd}=80\text{ps}$，$t_{logic}=580\text{ps}$，$t_{logic,cd}=500\text{ps}$。则正漂移和抖动共同作用下的时钟周期容限是多少？

8-18　一个流水线电路的抖动 $t_{jit}=85\text{ps}$，$\delta=+100\text{ps}$，$t_{su}=100\text{ps}$，$t_{cq}=80\text{ps}$，$t_{cq,cd}=70\text{ps}$，$F_{max}=2.2\text{GHz}$，则流水线组合逻辑的延时必须低于多少？

8-19　触发器与系统的参数为 $t_{jit}=160\text{ps}$，$\delta=+145\text{ps}$，$t_{su}=150\text{ps}$，$t_{hold}=-30\text{ps}$，$t_{cq}=130\text{ps}$，$t_{cq,cd}=105\text{ps}$，$t_{logic}=620\text{ps}$，$t_{logic,cd}=575\text{ps}$。

(a) 计算使系统功能正确的保持时间约束。

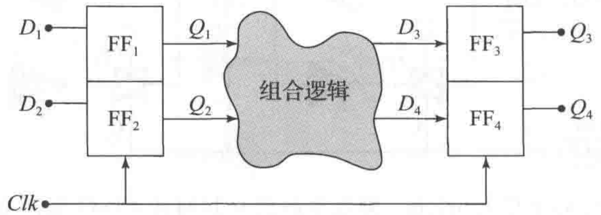
(b) 计算最高工作频率(F_{max})。

8-20　已知 $t_{jit}=105\text{ps}$，$t_{hold}=130\text{ps}$，$t_{cq}=125\text{ps}$，$t_{cq,cd}=110\text{ps}$，$t_{su}=140\text{ps}$，$t_{logic}=550\text{ps}$，$t_{logic,cd}=450\text{ps}$，求 F_{max}。

下面的习题需要首先计算触发器基本参数，然后估算系统周期和保持时间约束。

8-21　下图给出了上升沿触发器组成的流水线结构。触发器的元件延时是传输门延时，为 600ps。$I_1=$

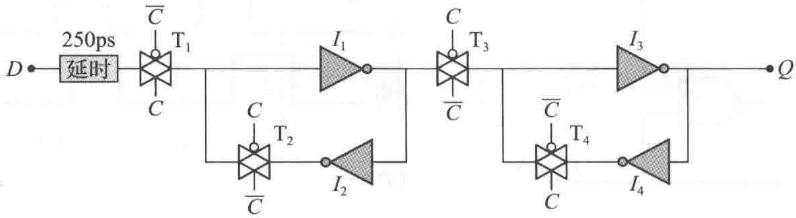
$I_3=900\text{ps}$，$I_2=I_4=800\text{ps}$。系统参数为 $\delta=+150\text{ps}$，$t_{jit}=100\text{ps}$，$t_{logic}=2\text{ns}$，$t_{logic,cd}=1.7\text{ns}$，$t_{cq,cd}=1.1\text{ns}$。



(a) 最高工作频率是多少？

(b) 计算系统保持时间约束。

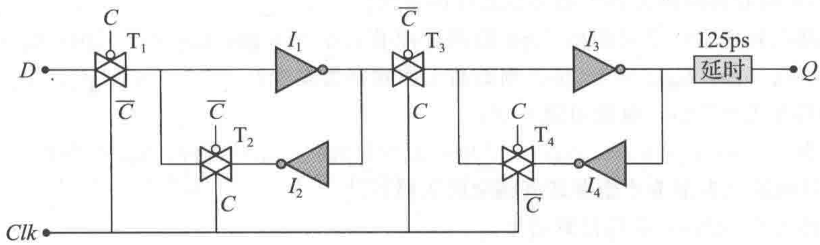
8-22 下图给出了下降沿触发器组成的流水线结构，其中 D 线上有一个延时元件，延时为 250ps。触发器的元件延时是传输门延时，为 150ps。反相器延时为 200ps。其他时序参数为 $\delta=-60\text{ps}$，$t_{jit}=45\text{ps}$，$t_{logic}=600\text{ps}$，$t_{logic,cd}=550\text{ps}$，$t_{cq,cd}=300\text{ps}$。



(a) 最高工作频率是多少？

(b) 计算系统保持时间约束。

8-23 下图给出了上升沿触发器组成的流水线结构，其中 Q 线上有一个延时元件，延时为 125ps。触发器的元件延时是传输门延时，为 75ps。反相器延时为 150ps。其他时序参数为 $\delta=+55\text{ps}$，$t_{jit}=45\text{ps}$，$t_{logic}=700\text{ps}$，$t_{logic,cd}=550\text{ps}$，$t_{cq,cd}=295\text{ps}$。



(a) 最高工作频率是多少？

(b) 计算系统保持时间约束。

252～260

第9章 IC存储器电路

某个地方，某些事物正等待被发现。

——Carl Sagan

计算机通过多种方法存储信息。第8章介绍的触发器的功能是暂时存储数据并将数据的移动与每个时钟周期同步。本章介绍的存储器电路则针对大量数据的长期存储。数据以单个位信息的形式存储，将多个位并行组合起来构成一个数据字。更多的可用存储器可以提高计算机的性能，尤其是当这些数据就存储在处理器芯片之中的时候。

存储器有很多种，它们的简写为SRAM、DRAM、ROM、EPROM、E^2PROM，以及FLASH。SRAM指的是静态随机存取存储器(Static Random Access Memory)，DRAM指的是动态随机存取存储器(Dynamic Random Access Memory)。“随机”指的是特定的存储器类型，并不是文字意义上的随机，它是指存储器的每个地址都可以访问，与其他地址是独立的。与之相反的是那些信息存取地址由数据到达顺序决定的存储器，例如FIFO(First-In First-Out，先进先出)或LIFO(Last-In First-Out，后进先出)存储器。“随机存取”是一个宽泛而不准确的术语，然而却为大多数存储器类型所采用。

ROM是只读存储器(Read-Only Memory)，它能够永久保存信息，但数据一旦写入就无法更改。ROM在电源切断时仍然可以保存数据。EPROM是非易失的电可编程只读存储器(Electrically Programmable Read-Only Memory)。E^2PROM(Electrically Erasable Programmable Read-Only Memory)在产品寿命之内既是电可编程的又是电可擦除的。FLASH是一种高密度、非易失的存储器，它的数据是电可读/写的。FLASH在手机、数码相机以及小型便携的闪存设备中应用非常广泛。

尽管各种各样的存储器设计都很重要，然而我们将主要讲解两种存储器设计。第一种是静态随机存取存储器(SRAM)。现代微处理器芯片可能将晶体管总量的65%以上都分配给SRAM电路。如果对存储器的访问发生在处理器芯片内部，而不是发生在印制电路板上的单独的存储器芯片中，那么系统的运行速度可以更快。我们将讲解的第二种存储器是DRAM。

SRAM是计算芯片中的嵌入式存储器的优选设计。只要电源持续供给，SRAM就会一直保存其中的信息，同时这也意味着当电源切断时，SRAM的数据是易失的。然而，SRAM的速度相对较快，并且易于与CMOS制造技术相结合。

动态随机存取存储器(DRAM)通常是一块单独的集成电路，专用于存储电路板上与主处理器芯片相连线中的数据。DRAM的动态存储器单元很小，它需要持续地刷新操作，不过能够达到Gb数量级的存储容量。DRAM速度相对较慢且更易失，但可以花费较小的成本获得更大的容量。由于DRAM的存储器单元很小，因而可以制成密度很高的存储器芯片。金属线和晶体管尺寸最小的集成电路工艺通常用于制造DRAM。

本章的重点是SRAM和DRAM，因为SRAM在现代集成电路(IC)的嵌入式存储器中应用广泛，而DRAM则可以展示一种截然不同的大容量设计。存储器有三个状态：空闲

(standby)、读取(reading)和写入(writing)。通常，一个存储器单元的大部分时间都处于空闲态，它所存储的内容不受周围数字信号的影响。本章将详细讲解读操作和写操作以及晶体管尺寸要求。

9.1 存储器电路结构

图 9-1 所示的为一个存储器的结构示意图。它可能是一个完整的集成电路，也可能是一个集成电路中嵌入的一个子电路，如微处理器、游戏机、DSP或一些控制器的嵌入式内存。矩阵中的每一个存储器单元存储 1 位数据，数据可能为逻辑 0 或逻辑 1。图中所示的是一个 16 位的小型存储器集成电路。规则的横向行线和纵向列线控制每个位单元的读取或写入，或者将某些核心单元组成数据字。

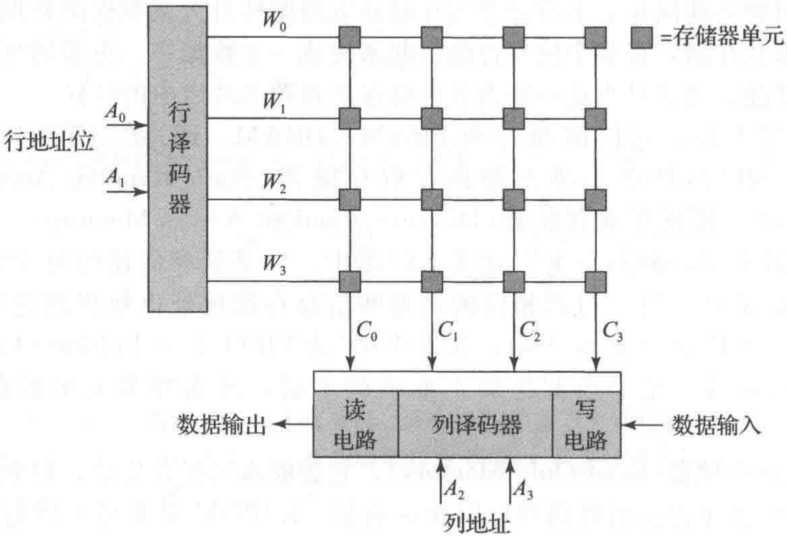


图 9-1 存储器电路的系统框图

注：其中地址字是 $A_3A_2A_1A_0$。

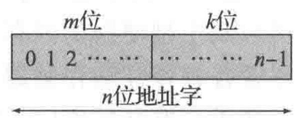


图 9-2 n 位地址字中 m 个行位和 k 个列位的分配

大多数存储器使用一个地址字来选择特定的位。一个 n 位的地址字分成两段，一段包含 m 位行地址，另一段包含 k 位列地址(图 9-2)，共有 2^m 行和 2^k 列。存储器中的单元总数为 $2^{m+k}=2^n$。一个 4 位的地址字共有 16 种取值，每种取值对应 16 个存储器单元中的一个。图 9-1 中的 16 位存储器对实际应用而言容量太小，不过这个大小足够让我们完整地观察它的工作原理。Mb 和 Gb 数量级的存储器更为常见。横向的字线通过一根细长的掺杂多晶硅互连线将许多单元的晶体管连在一起。它的电容很大，在 pF 或数百 fF 数量级，并且电阻也相对较大。纵向列线的金属电阻相对较低，不过电容也很大。列地址线和字线都需要缓冲器驱动。

因为设计目标是在一个管芯中放下尽可能多的存储器单元电路，因此译码电路的设计要使管芯面积最小。行地址位经过译码，将字线(word line)$W_0\cdots W_3$ 中的某一条激活。列地址位经过译码对应 $C_0\cdots C_3$ 中的某一条列线，也称“位线”(bit line)。被激活的这一组特定的列线和行线的交点就是读取或写入操作的目标存储器单元(图 9-1)。

列互连线还与写电路和读电路相连(图 9-1)。写电路和读电路是不同的。新到的数据被引至地址译码器激活的特定单元处，然后通过选定的位线写入指定的单元。读指令与地

址译码器配合，选定单元的行地址与列地址，然后将单元的逻辑值通过位线驱动到数据输出结点，进入灵敏放大器(sense amplifier)。尽管这个存储器只展示了单个位单元的选取，然而列译码器可以并行激活多列，从而选择 2 位、4 位或 8 位字。我们将更详细地分析这些子系统。

262 ~ 263

9.2 存储器单元

图 9-3 展示了一个 SRAM 单元。两个反相器组成了一个锁存器，它的数据输入和输出由两个 nMOS 通过晶体管控制，这两个晶体管称作“存储器访问晶体管”(M_5，M_6)。每一列有两条位线，分别为 bl 和 $\overline{bl}$。当字线被激活($wl=1$)时，访问晶体管导通，将锁存器结点 Q 和 $\overline{Q}$ 与位线 bl 和 $\overline{bl}$ 对应相连。当一个存储器单元被激活时，位线将数据传入或引出该单元，以支持写操作和读操作。

图 9-4 展示了 SRAM 单元和位线的一个完整 6 晶体管电路图。这个单元在嵌入式存储器中非常常用，其操作与图 9-3 所描述的相同。正反馈通路从一个反相器的漏极输出结点连接到到另一个反相器的栅极输入结点，维持逻辑状态恒定。晶体管的 W/L 尺寸是由读操作和写操作决定的，将在稍后进行讨论。我们使用图 9-4 所示的晶体管电路图来分析 SRAM 单元的性质。

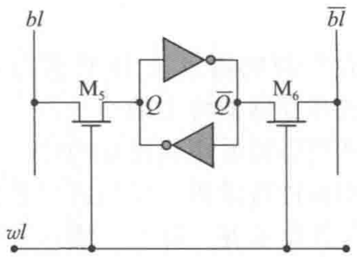


图 9-3　由一个锁存器和两个访问晶体管构成的 SRAM 单元

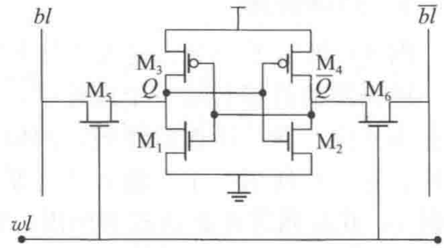


图 9-4　SRAM 单元的完整 6 晶体管电路图

假设图 9-4 所示存储器的电源电压为 2V，且 $Q=0$V，$\overline{Q}=2$V。考虑一种简单的情况，一个新的写操作将位线驱动至 $bl=2$V，$\overline{bl}=0$V，并且 $wl=2$V 使得 M_5 和 M_6 导通，那么锁存器对新的 bl 和 $\overline{bl}$ 值做出响应，使 $Q=2$V，$\overline{Q}=0$V。晶体管特意设计得比较弱，使位线的驱动强于单元中的晶体管的强度。当字线变为 $wl=0$ 时，访问晶体管 M_5 和 M_6 截止，锁存器将保持这个新逻辑值，直到电源断电或一个更新的逻辑值被写入为止。读操作同样会激活访问晶体管，不过位线被连到一个灵敏电路中，灵敏电路可以检测锁存器的逻辑状态。读操作不会改变存储器单元中已存的逻辑状态。

264

在分析访问晶体管、上拉晶体管和下拉晶体管的 W/L 尺寸之前，我们还要介绍存储器单元的一个特性。在进行读操作或写操作之前，两条位线都被预充电(precharge)到高电平，通常充至 V_{DD} 或接近 V_{DD}(图 9-5)。在读操作中，预充电脉冲(PC)关断后，位线处于悬空状态，访问晶体管 M_5 和 M_6 导通，电荷在位线与锁存器的逻辑 0 结点之间流动。于是两条充电的位线之间产生电势

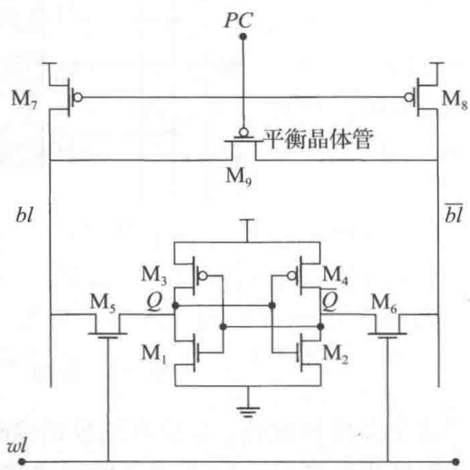


图 9-5　包含预充电晶体管 M_7、M_8 和 M_9 的 SRAM 单元

差，使得读出(灵敏)放大器对此电势差做出响应。这种方法利用了灵敏放大器的降噪特性，从而实现了更好的稳定性与灵敏度。写操作也要将两条位线预充电，然后使用待写入的数据来驱动位线。其中一条位线的驱动是逻辑 0，它将存储器单元中与之相连的结点电压下拉，从而改变其逻辑状态。下拉位线的驱动使用的是 nMOS 晶体管，它比上拉 pMOS 晶体管效率更高。

图 9-5 展示了一个预充电电路。假设 $V_{DD}=2V$，$Q=0V$。在写操作或读操作进行之前，预充电脉冲($PC=0$)使晶体管 M_7、M_8、M_9 导通。M_9 是一个平衡晶体管，它保证预充电阶段 $bl=\overline{bl}$。M_9 通路连向电位较低的位线，从而在预充电时形成两条上拉通路。比如，若 $bl=0$，则两条上拉通路是通过 M_7 以及通过 M_8、M_9。

265

当 $PC=2V$ 时，位线悬空于高电压高阻态。若访问晶体管导通，电荷将从位线流向存储器单元里的逻辑 0 结点，造成该位线上电压的扰动。读电路检测到这条位线上的电压扰动，继而做出逻辑 1 或逻辑 0 的评价。通过特别的设计，读操作的影响不足以使存储器单元的锁存器改变逻辑状态。写操作的设计使得位线的驱动能够强于锁存器晶体管的驱动，并将锁存器置位为新的逻辑值。

9.3　存储器译码器

9.3.1　行译码器

图 9-6 展示了一个二输入“与非”门组成的 2 位行译码器以及 16 位存储器的单元阵列。译码器的目标是取一个地址字，将其译码，并选择存储器特定的一行及一列。地址字长度为 4 位，两位用作行译码，两位用作列译码。译码器需要用到地址的每一个位以及它的补。每一行使用一个二输入“与非”门和一个反相器进行译码。反相器向整行输送一个逻辑 1，并起到缓冲驱动器的作用，驱动字线上的高负载电容。每个二输入“与非”门从 4 种可能的逻辑信号 $A_1\ \overline{A_1}\,A_0\ \overline{A_0}$ 中选择两路。第一行的 W_0 译码器要在 $A_1A_0=00$ 时选择本路，第二行要求 $A_1A_0=01$，以此类推。

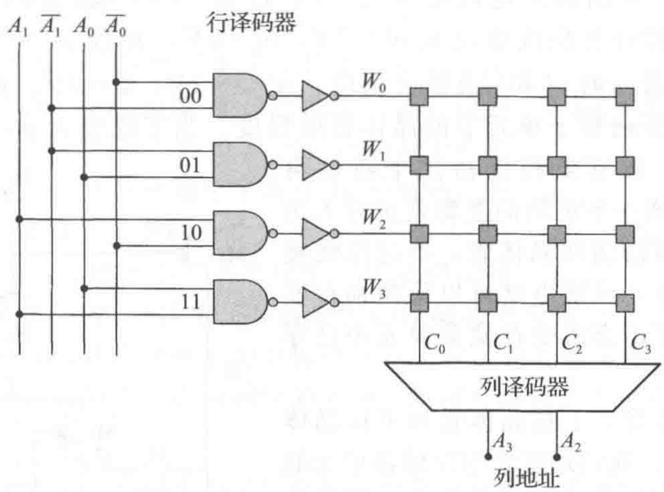
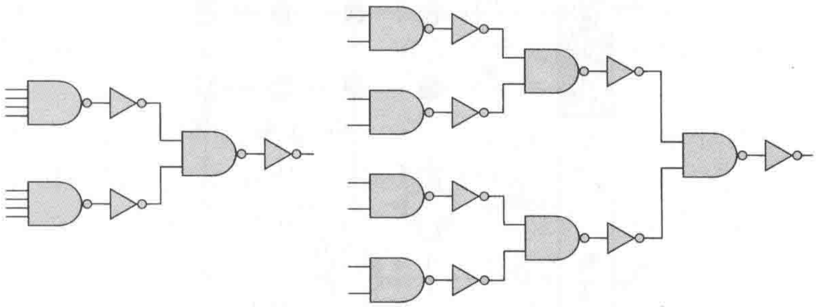


图 9-6　使用“与非”门逻辑的 2 位行译码器

这个 2 位行地址、2 位列地址的简单的例子使用了二输入“与非”门译码器对 16 位存储器地址进行译码。嵌入式存储器通常要比这个大得多，从 256Kb 到数个 Mb 不等。一个 8 位(256 行)译码器不可能使用 256 个八输入“与非”门，因为 8 个串联 nMOS 晶体管的下拉强度极低，并且译码器的物理尺寸必须要保持在行线的版图节距之内。因此，行译码

器与列译码器广泛使用预-预译码(pre-predecoding)技术，以打破大容量存储器的逻辑门尺寸限制。这种方法需要更小的逻辑门，不过要保证其中更多逻辑门的物理尺寸在行节距之内。图9-7展示了两种4位行译码器设计。其中4位对应行地址的每一位，而另外4位对应地址位的补。



a）使用四输入“与非”门　　b）使用二输入“与非”门

图9-7　4位行译码器设计

若四输入“与非”门的速度太慢，或者尺寸超过了行节距，则可以将四输入“与非”门(图9-7a)分解为多个二输入“与非”门(图9-7b)。图9-7所示电路可以支持16根字线。将图中的电路复制16份，每一个电路对应一行。

行译码器使用线缓冲器驱动一根长的、高电容的多晶硅字线，这根字线与nMOS访问晶体管的栅极相连。这种结构可能造成pF数量级的电容。多晶硅字线直接与晶体管多晶硅栅极相连可以减少一个接触孔的需求。

9.3.2 列译码器

266
~
267

列译码器与行译码器类似，不过它们的负载电路不同。列译码器驱动的是阻抗相对较低的CMOS传输门，传输门将位线与写电路或读电路相连，不过位线的驱动必须要克服位线的上百fF甚至于pF数量级的电容。位线使用一个接触孔与访问寄存器的漏极相连。

图9-8所示的为列译码器驱动CMOS传输门和位线。传输门($T_0 \sim T_3$)将位线与写电路或读电路相连，其中写电路用于将新数据加载到存储器单元中，而读(灵敏)电路则解读给定存储器单元的逻辑电平。事实上每一列应该有两个传输门，因为每一列有两根位线，不过为了图片的整洁，图中每列只画了一根位线。存储器的一列包括位线(bl)和它的补($\overline{bl}$)。每个传输门被列译码器的一个输出及它的补信号驱动(pMOS晶体管与译码器补信号的连接未画出)。连接至读电路和写电路的控制电路结构也没有在图中显示。

若不用CMOS传输门，而使用列译码器中的单个通过晶体管在理论上也可以工作，不过它有一个缺陷。nMOS通过晶体管能传递一个强逻辑0，但它传递的逻辑1较弱。pMOS通过晶体管能传递一个强逻辑1，但它传递的逻辑0较弱。弱逻辑电压将造成存储器的响应减慢。6晶体管SRAM单元中的访问晶体管用的就是单个通过晶体管，然而这是因为使用CMOS传输门会造成单元尺寸过大，并且访问晶体管不需要传递很强的逻辑电平就能让存储器单元正常工作。单元中的逻辑状态在远低于最大逻辑电压时就能发生翻转。接下来我们将讲解读操作和写操作所需的存储器核心晶体管设计(尺寸调整)，以及支持列读和列写的外围电路。

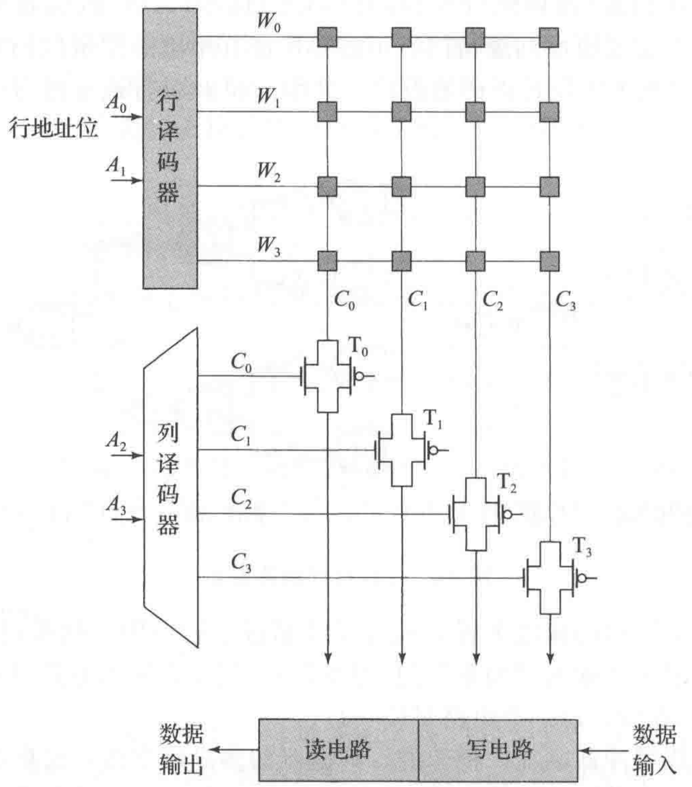


图 9-8　列译码器驱动 CMOS 传输门，传输门与读或写电路相连

9.4　读操作

读操作使用了 5 个元件：①存储器单元；②字线和位线译码器；③字线和位线；④位线预充电晶体管；⑤灵敏放大器。读操作始于位线预充电，接着控制线的脉冲 $wl=V_{DD}$，使访问晶体管导通。单元中的数据暴露在悬空的 bl 和$\overline{bl}$线之下，这两条线已预充电至 V_{DD}。单元中的逻辑 0 结点会将与其相连的位线电压下拉，而单元中的逻辑 1 结点对和它相连的位线没有影响。这将导致 bl 和$\overline{bl}$的电压出现差异。位线中的电位差被传递到一个特殊的电路中处理，这个电路称作“灵敏放大器”（sense amplifier）。

灵敏放大器是一个模拟电路，通用的名称为“差分放大器”（differential amplifier，将在后文介绍），它用于解读存储器单元所存的是逻辑 0 还是逻辑 1。灵敏放大器将两个电压之差放大，并将平均电压(DC)压缩至与任一条位线的电压相同。电压之间的微小差距 $\Delta V_{in}=V_{bl}-\overline{V_{bl}}$被放大为很强的逻辑 0 或逻辑 1。

关于差分放大器，我们可能会问，为什么不直接通过一个反相器，从一根位线上读取存储器单元的内容呢？我们可以这样做，并且存储器在理论上也可以工作。然而，差分放大器对位线电压的微小变化非常敏感，因此可以实现更快的读取，并且它对噪声的敏感度也更低。使用差分放大器还可以节省功耗，因为位线的电压变化不需要横跨整个 V_{DD}。差分放大器的基础知识将在稍后介绍，关于它的详细设计属于模拟电路的课程内容。

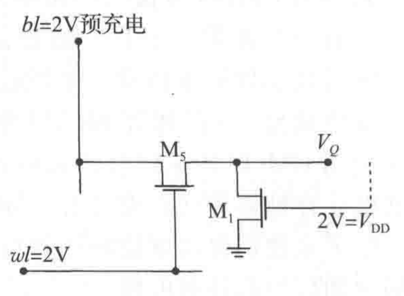


图 9-9　存储器单元读操作的相关元件

图 9-9 重新画出了图 9-4 所示的存储器单元电路

的一部分，其中 bl 线在左侧。只要字线 $wl=0$，访问晶体管就是截止的，单元的内容就不会受到影响。读操作起始于 PC 预充电信号，本例中，它将两条位线都驱动到 $V_{DD}=2V$。接着，PC 关断，位线悬浮在 2V。然后字线变为 $wl=2V$，令访问晶体管导通，将结点 Q 暴露给 bl，结点 $\overline{Q}$ 暴露给 $\overline{bl}$。假设一开始 $V_Q=0V$，即单元中存的是逻辑 0。由于位线悬空，电荷会通过晶体管 M_5 和 M_1 流到地里，导致 V_Q 上升。若 $\overline{Q}$ 在预充电时和预充电后都是逻辑 1，那么当 $wl=2V$ 时，存储器单元的右半边的晶体管不会发生电荷转移。

位线预充电之后，M_5 和 M_1 的栅极电压为 2V，因而导通。由于 $V_{G5}=2V$，$V_{D5}\approx 2V$，$V_{S5}=V_Q\approx 0V$，因此 M_5 处于饱和区。又因为初始 $V_{D1}=V_Q=0V$，$V_{G1}=2V$，故 M_1 处于电阻区。电荷通过晶体管向 V_Q 结点的电容充电。V_Q 上升的同时，V_{bl} 在它的大电容的缓冲作用下略微下降。然而，若任凭 V_Q 继续上升，则它会将晶体管 M_2 导通，造成 $\overline{V_Q}$ 的压降。若设计中不对 V_Q 的上升加以限制，则锁存器可能会错误地翻转到另一个逻辑状态。宽长比 W/L 对于读操作的正确性至关重要，将在下一小节详细讨论。

9.5 读操作的晶体管宽长比调整

存储器单元的 6 个晶体管的宽长比对于快速且正确的读操作和写操作至关重要。图 9-9中的 M_5 和 M_1 用作 V_Q 结点的非线性分压器。M_1 和 M_5 的宽长比必须调整到合适尺寸，使得读操作中结点 Q 的电压不会上升到使锁存器翻转的水平。

bl 的初始电位为预充的 V_{DD}，不过在 M_1 和 M_5 的电流作用下缓慢下降。在 V_Q 开始跟随 bl 的放电而下降之前，V_Q 会达到它的最高值。若电路设计在 $bl=V_{DD}$ 时是安全的，那么当 bl 下降时，电路也会是安全的。当字线被选中时，M_5 处于饱和态，M_1 处于非饱和态，我们令 $I_{D5}=I_{D1}$，有

$$K_5\left(\frac{W_5}{L_5}\right)[V_{G5}-V_{S5}-V_{t5}]^2=K_1\left(\frac{W_1}{L_1}\right)[2(V_{GS1}-V_{t1})V_{DS1}-V_{DS1}^2] \tag{9-1}$$

$$K_5\left(\frac{W_5}{L_5}\right)[V_{DD}-V_Q-V_{t5}]^2=K_1\left(\frac{W_1}{L_1}\right)[2(V_{DD}-V_{t1})V_Q-V_Q^2] \tag{9-2}$$

则

$$\left(\frac{W_1/L_1}{W_5/L_5}\right)=\frac{K_5}{K_1}\frac{[V_{DD}-V_Q-V_{t5}]^2}{[2(V_{DD}-V_{t1})V_Q-V_Q^2]} \tag{9-3}$$

268
～
270

这个 $\left(\frac{W_1}{L_1}\right)/\left(\frac{W_5}{L_5}\right)$ 的比值将保证 V_Q 永远不会超过一个特定的较小的电压。若 wl 线持续保持有效，则 bl 和 V_Q 都将开始下降。更进一步的设计任务是求出在给定的短时间内将结点 Q 的电容充电至 100～200mV 所需的电流大小。我们将此课题作为其他课程的内容。

下面的例子将阐述支持稳定读操作的 W/L 之比的设计方法。

例 9-1 已知参数 $V_{DD}=1.5V$，$V_{tn}=0.5V$，$K_n=100\mu A/V^2$。限制 V_Q 的压升不能超过 10%，即 0.15V，求出所需的 W/L 之比。假设预充电结果为 $V_{bl}=1.5V$。

解：

$$100\mu A\times\left(\frac{W_5}{L_5}\right)\times[1.5-0.15-0.5]^2=100\mu A\times\left(\frac{W_1}{L_1}\right)\times[2\times(1.5-0.5)\times 0.15-0.15^2]$$

得

$$\left(\frac{W_1}{L_1}\right)/\left(\frac{W_5}{L_5}\right)=2.6$$

由于 $L_1=L_5$，则 $W_1/W_5=2.6$。

这个晶体管 β 比将保证 V_Q 在读操作时不会超过 150mV。◀

由于 $\left(\frac{W_1}{L_1}\right)/\left(\frac{W_5}{L_5}\right)$ 的表达式太烦琐，我们通常使用 β 符号来表示 $\beta=W/L$。上例中的晶体管比例改写为 $\beta_1/\beta_5=2.6$。本章末尾的习题中有一道题要求你画出 V_Q 在一定范围内连续变化时的 β 比并得出结论。

自测 9-1

已知 $V_{DD}=1.5V$，$V_{tn}=0.5V$，$K_n=100\mu A/V^2$。求出 V_Q 最大压升为 100mV、150mV 和 200mV 时对应的 W/L 之比。分析中假设 $V_{bl}=1.5V$。

答案：

(a) $\frac{\beta_1}{\beta_5}=4.26$

(b) $\frac{\beta_1}{\beta_5}=2.60$

271

(c) $\frac{\beta_1}{\beta_5}=1.78$

自测 9-2

(a) 若 β_1/β_5 大于式(9-3)的要求，对读操作的影响是什么？

(b) 若 β_1/β_5 小于式(9-3)的要求，对读操作的影响是什么？

9.6 存储器写操作

只有一个存储器单元中写入了一个相反的逻辑状态，才算发生了一次有效的写操作。访问晶体管将锁存器暴露给位线，位线上的逻辑状态必须能够将单元中的逻辑状态覆盖并使之翻转到位线上的逻辑状态。然而，访问晶体管和 pMOS 上拉晶体管的尺寸必须要精确调整，才能保证写操作的安全。写操作的流程是，位线首先被预充电，然后从写驱动器获得它们的新逻辑值。在写操作开始之前，预充电过程将两条位线设置在一个已知的状态。在访问晶体管导通之后，位线驱动造成存储器单元的逻辑状态翻转。被驱动至逻辑 0 的位线是翻转过程的发起者。

9.6.1 单元写操作

假设写操作将一个新的逻辑 0 加载到 $\overline{bl}$ 位线上。这将使 $\overline{Q}$ 结点存储的逻辑 1 翻转为逻辑 0。图 9-10 展示了晶体管 M_4、M_6，以及右侧的位线。一开始 $\overline{Q}=\overline{V_Q}=$ 逻辑 1，$\overline{bl}$ 被位线驱动置为逻辑 0。字线被激活，电荷从 M_4 流向结点 $\overline{Q}$，然后再流向位线 $\overline{bl}$。$\overline{V_Q}$ 降至足够低，从而引起反馈行为，使单元的逻辑状态翻转。后面将详细分析一下这个过程。

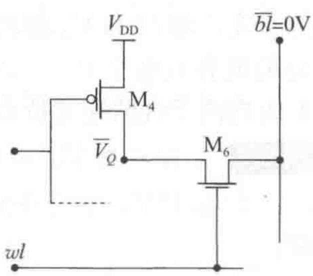


图 9-10 求写操作稳定状态下的 W/L 之比的相关元件

注：$\overline{Q}$ 的初始状态为 $\overline{V_Q}=V_{DD}$，不过被下拉到足够低以至于存储器单元发生翻转。

9.6.2 锁存器转移曲线

我们在第 5 章学习了反相器的转移曲线，下面我们通过研究锁存器的转移曲线以更好地理解翻转特性。图 9-11 画出了锁存器以及其中一个反相器输入接强信号源时的转移曲线。输入信号将反馈回路的影响中和，牢牢控制着结点电压。当 V_1 有效时，V_2 是断开的，反之

亦然。

图 9-11a 所示的是一个传统反相器的电压转移曲线，即反相器 I_1 被信号源 V_1 驱动的转移曲线。图 9-11b 所示的是反相器 I_2 被 V_2 驱动的转移曲线，不过图中所画的是$\overline{V_Q}$随 V_Q 变化而变化的转移特性。

图 9-11c 所示的将两条曲线组合起来以描述锁存器的行为。$\overline{V_Q}$与 V_Q 就像一个跷跷板，有两个稳定的位置以及一个不稳定的中点。图 9-11c 中有三个重要的交点。我们发现，当任何一个结点电压超过曲线中央的翻转点 V_M 时，存储器单元就会改变状态。要使写操作有效，位线电压的下拉变化范围必须要超过 V_M。而此前介绍的读操作则是不允许位线电压接近翻转区域。曲线两端的交点定义了逻辑 0 和逻辑 1 状态，分别代表高噪声容限和低噪声容限。这个曲线称作“蝶形曲线”，它将两个锁存器在工作区间内的结点电压联系起来。

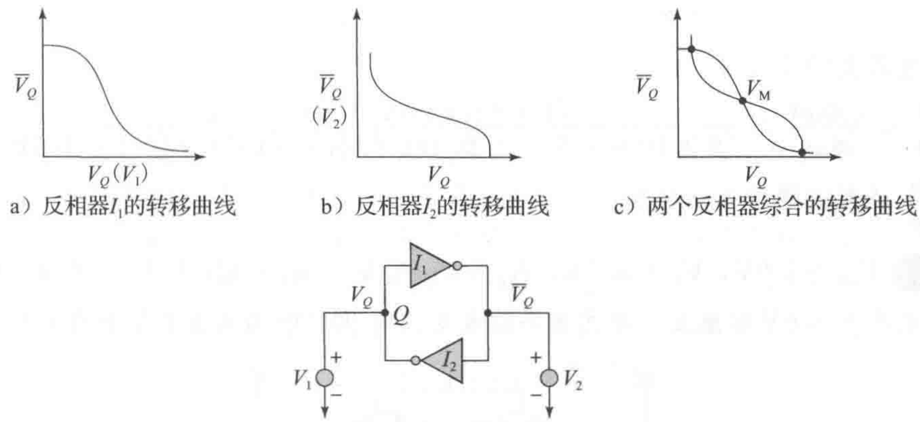


图 9-11 锁存器转移曲线分析

9.7 写操作的晶体管宽长比调整

锁存器 $\overline{Q}$ 结点的电压需要下拉至多低才能保证安全的翻转？我们可以只将它下拉到刚好超过 V_M，例如比 V_M 低 100mV，这在理想情况下是可行的。不过更安全的做法是，使 $\overline{Q}$ 结点的电压低于对面的 n 沟道晶体管(图 9-5 中的 M_1)的阈值电压。这样，M_1 将会截止，保证完全翻转，并且对 V_{tn}的统计波动有安全容限。我们的例子均假设锁存器结点被下拉到 V_{tn}。

272~273

在调整晶体管尺寸时，我们首先考察 M_4 和 M_6 的偏置态，然后令 I_{D4} 等于 I_{D6}，解出所需的 β 比。如图 9-12，假设初始时$\overline{V_Q}$为逻辑 1，$\overline{bl}=0V$。我们需要计算 M_4 与 M_6 的宽长比之比，以保证$\overline{V_Q}$被下拉到足够低，使得逻辑状态翻转。我们假设当 M_4 和 M_6 导通时，它们各自的初始压降为 $V_{DD}/2$。图 9-12a 所示的为 M_4 及其稳定状态的结点电压。M_4 处在非饱和区。图 9-12b 所示的 M_6 的 V_{GD6}也大于阈值电压，故 M_6 也处在非饱和区。在翻转过程中$\overline{V_Q}>V_t$，因此直到存储器单元翻转之前，M_4 和 M_6 都保持在电阻区。

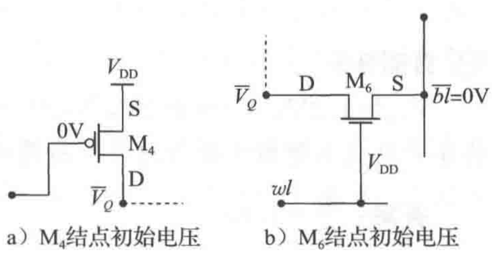


图 9-12 晶体管偏置状态

W/L 之比必须要保证$\overline{V_Q}$下拉 V_{tn}，从而使单元逻辑状态翻转。我们按照与读操作类似

的方法分析，令 M_4 和 M_6 的非饱和区漏极电流相等，计算 β_4/β_6 如下：

$$K_{n6}\left(\frac{W_6}{L_6}\right)[2\times(V_{GS6}-V_{tn6})V_{DS6}-V_{DS6}^2]=K_{p4}\left(\frac{W_4}{L_4}\right)[2\times(V_{GS4}-V_{tp4})V_{DS4}-V_{DS4}^2] \tag{9-4}$$

$$\frac{\beta_4}{\beta_6}=\frac{W_4/L_4}{W_6/L_6}=\left(\frac{K_{n6}}{K_{p4}}\right)\frac{[2\times(V_{GS6}-V_{tn6})V_{DS6}-V_{DS6}^2]}{[2\times(V_{GS4}-V_{tp4})V_{DS4}-V_{DS4}^2]} \tag{9-5}$$

我们希望两个晶体管的宽长比为 β_4/β_6。设计者决定 $\overline{V_Q}$ 的低电压，以保证存储器单元的逻辑状态翻转。下面的例子将展示一个存储器单元的写操作设计。

274

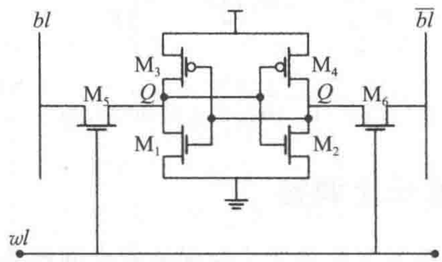
例 9-2 已知参数 $V_{DD}=1.5V$，$V_{tn}=0.5V$，$V_{tp}=-0.5V$，$K_n=100\mu A/V^2$，$K_p=50\mu A/V^2$。计算图 9-10 中 M_4 和 M_6 的宽长比之比，以实现逻辑 1 到逻辑 0 的成功翻转。写操作的初始锁存结点电压是 $\overline{V_Q}=1.5V$。假设当 $\overline{V_Q}=V_{tn}=0.5V$ 时存储器单元翻转。

解： 使用式(9-5)，有

$$\frac{\beta_4}{\beta_6}=\frac{100\mu A}{50\mu A}=\frac{[2\times(1.5-0.5)\times0.5-0.5^2]}{[2\times(0-1.5-(-0.5))\times(0.5-1.5)-(0.5-1.5)^2]}$$

$$\frac{\beta 4}{\beta 6}=1.50$$ ◀

例 9-3 $V_{DD}=2.0V$，$V_{tn}=0.5V$，$K_p=45\mu A/V^2$，$K_n=85\mu A/V^2$。若 $\beta_4/\beta_6=1.45$，当锁存器电压为 0.6V 时触发了单元状态的改变，则 pMOS 的阈值电压是多少？



$$K_p\left(\frac{W}{L}\right)_4[2\times(0-2.0-V_{tp})V_{DS}-V_{DS}^2]=K_n\left(\frac{W}{L}\right)_6[2\times(2-V_{tn})V_{DS}-V_{DS}^2]$$

$$1.45=\frac{85\mu A}{45\mu A}\frac{[2\times(2-0.5)\times0.6-(0.6)^2]}{[2\times(0-2-V_{tp})\times(0.6-2)-(0.6-2)^2]}$$

$$V_{tp}=-0.63V$$ ◀

自测 9-3

$V_{DD}=1.2V$，$V_{tn}=0.4V$，$V_{tp}=-0.4V$，$K_n=75\mu A/V^2$，$K_p=45\mu A/V^2$，则写操作将单元结点从逻辑 1 改为逻辑 0 所需的 β 比(β_4/β_6)是多少？

275

答案： $\frac{\beta_4}{\beta_6}=1.25$

自测 9-4

已知 $V_{tn}=0.5V$，$V_{tp}=-0.5V$，$K_p=40\mu A/V^2$，$K_n=95\mu A/V^2$，$\beta_4/\beta_6=1.99$，存储器单元在 $V_{logic}=0.4V_{DD}$ 时发生翻转。则允许写操作将单元逻辑状态从逻辑 1 改写为逻辑 0 的电源电压 V_{DD} 是多少？

答案： $V_{DD}=1.61V$

自测 9-5

调整一个存储器单元中的所有晶体管的尺寸。已知 $V_{tn}=0.45V$，$V_{tp}=-0.45V$，$K_p=65\mu A/V^2$，$K_n=120\mu A/V^2$，$V_{DD}=1.2V$。在读操作中，将 V_Q 的最大值设为 V_{DD} 的 10%；在写操作中，将翻转时的$\overline{V_Q}$设为阈值电压 0.5V。

答案：

读操作：

$$\frac{\beta_1}{\beta_5}=\frac{\beta_2}{\beta_6}=2.40$$

写操作：

$$\frac{\beta_4}{\beta_6}=\frac{\beta_3}{\beta_5}=1.65$$

若设 W_5 和 W_6 的尺寸为单位 1，则

$$W_1=W_2=2.40$$
$$W_3=W_4=1.65$$

尺寸调整小结：我们介绍了 nMOS 访问晶体管、下拉晶体管以及 pMOS 上拉晶体管的尺寸调整。晶体管尺寸是噪声敏感度与单元状态变化的触发电平权衡的结果，其中后者称作“保护带”(guard banding)，它反映了存储器电路在电压噪声影响下的安全程度。保护带与第 5 章所学的噪声容限相关。在我们的例题中，尺寸最小的晶体管是访问晶体管 M_5 和 M_6，其他晶体管的尺寸以这两个访问晶体管为参照。注意到我们没有考虑 $\overline{Q}$ 结点从逻辑 0 到逻辑 1 的翻转，因为它是受 M_3、M_5 的下拉控制的，而 M_3、M_5 的尺寸与 M_4、M_6 的相同。

存储器的设计和版图布局需要花费大量精力。在满足性能和功耗要求的情况下，基本单元的版图面积必须要尽量小。上述比例的设计使用的是长沟道模型。最新的设计虽然基于相同的原理，但是会使用更加精确的计算机模型来计算短沟道晶体管的尺寸。使用短沟道晶体管模型计算出的读操作和写操作的 β 比值都更加接近 1.5。

276

9.8 列写电路

图 9-13 展示了选定的存储器单元的写驱动电路的相关晶体管和互连线[1]。两个“与”门将必要的信息译码，从而决定在向单元写入新数据时哪一条位线需要被下拉。写入信号 W 和数据信号 D、$\overline{D}$ 相“与”，激活 M_{10} 或 M_{11} 其中之一，从而将指定的位线下拉至地。晶体管 M_{12} 是一个强写入驱动的，它将选定的位线电压下拉，造成存储器单元的逻辑状态改变。M_{12} 的栅极信号是“列地址选择”(Column Address Select，CAS)信号。当 CAS 为高时，M_{12} 允许电流通过；当 $CAS=0$ 时，M_{12} 中没有电流通过，对应的存储器单元不受影响。位线电路具有相当大的电容(pF 数量级)，因此 M_{12} 必须经过合适的尺寸调整，才能在存储器规定的延时之内将位线电平拉低。

写操作的基本时序过程如下。

1）位线预充电。

2）译码得到的位线被驱动至新的逻辑值。

3）字线被选中，电荷从存储器单元的高电压结点流向低电压的位线。

4）单元的存储状态翻转，随后访问信号和 CAS 控制信号回到关断状态。

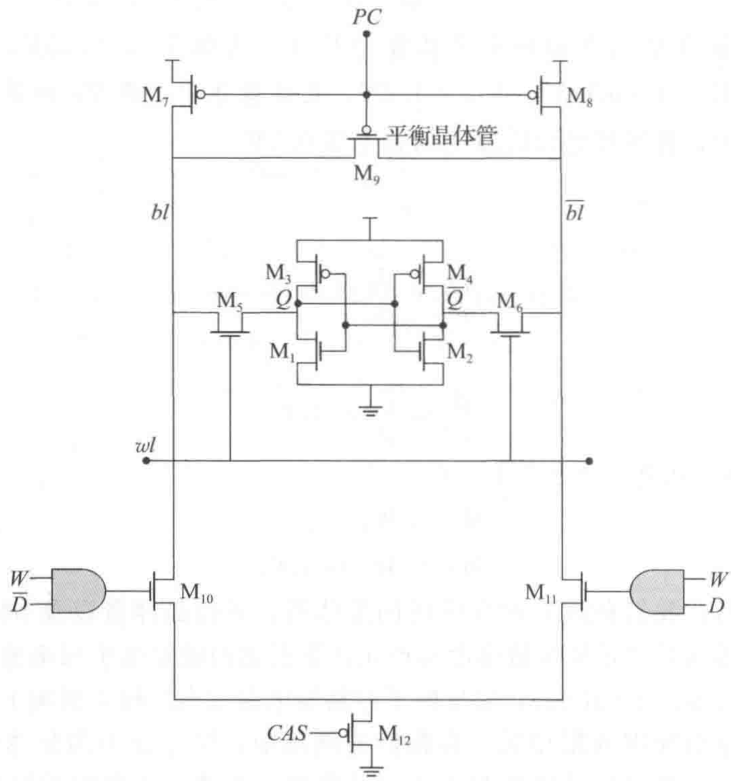


图 9-13　写电路的驱动(通过晶体管进行列译码，W 是写使能信号)

9.9　读操作与灵敏放大器

9.4 节已经讨论了单元级的读操作。在读操作中，位线首先被预充电，然后再激活字线以及访问晶体管。访问晶体管和下拉晶体管必须经过精心设计，以读出两条位线上的微小电压差别，并确定从单元中读出逻辑 0 的是哪一条位线。存储器单元在读操作中必须保持原有的逻辑状态。

访问晶体管导通之后，bl 和$\overline{bl}$线可能产生 100～200mV 的电位差。在接近位线末端的位置有一个灵敏放大器，它旨在将这两个电压的差值放大。在存储器电路中，这个差分放大器称作灵敏放大器。它检测位线上的逻辑状态，并在“灵敏输出”结点产生一个逻辑电平(图 9-14)。每一条位线作为差分放大器的一个输入，放大器的输出是逻辑 0 或者逻辑 1。灵敏使能信号(Sense Enable，SE)在读操作时将差分放大器激活。

差分放大器是数字电路中用到的几个模拟电路之一。模拟电路所处理的信号占用了电压和电流的整个区间。我们所听的音乐来自于模拟电路，麦克风的声音也是如此。运算放大器(operational amplifier，op amp)是一种用作模拟信号的数字接口的模拟电路。这些接口电路称作转换器，包括模/数转换器和数/模转换器。差分放大器是诸如转换器和许多模拟集成电路的组成部分，也是所有存储器电路的组成部分。

在模拟电路中，MOSFET 有一个很重要的特点。它们工作在饱和偏置态，其中输出电流在一个很小的范围内随输入电压的变化线性变化。输入的一个 100mV 的正弦小信号可能被线性放大 10～50 倍，产生一个 1～5V 的正弦大信号输出。模拟电路通常有专门的课程介绍，我们不可能在此重复讲述那些知识。然而我们还是要学习一些基本知识，以更

好地理解灵敏放大器的原理。我们将分析放大器的电路图和晶体管的功能，并描述每一个元件的目的。

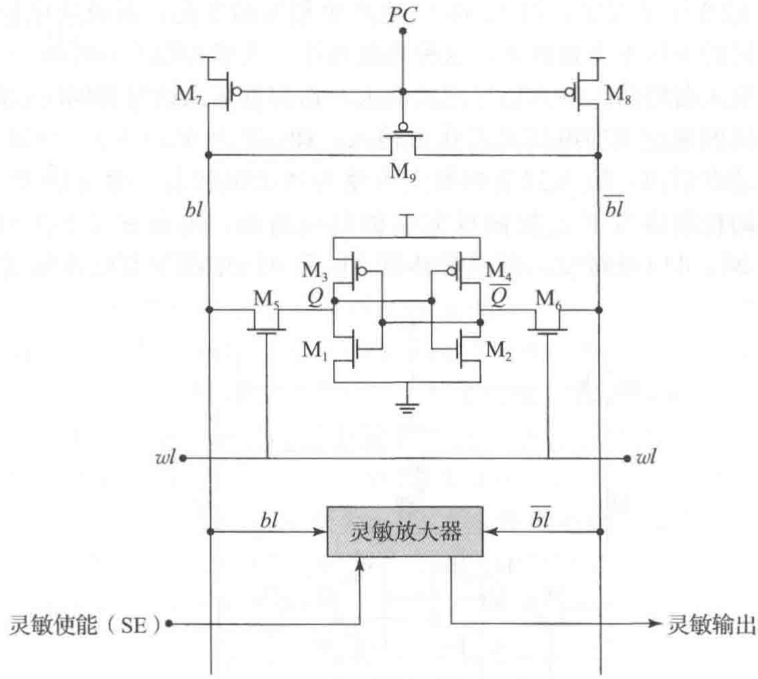


图 9-14　读操作电路

图 9-15a 所示的为 2 晶体管差分放大器。这是一个对称的电路，其中 $M_1=M_2$，负载电阻很大且相等。负载电阻的必要性在于它将晶体管产生的电流转换为电压信号。根据第 3 章所学的知识，漏极电流的大小由栅-源电压控制。晶体管源极与地之间的偏置电阻很大。电压源与一个大电阻串联近似为一个电流源，图 9-15b 所示的为其诺顿等效(Norton equivalent)电路。

图 9-15c 所示的电路将两个大负载电阻替换为 pMOS 晶体管 M_4 和 M_5。所有的晶体管都处在饱和区，所以信号输出结点 V_{o1} 和 V_{o2} 仍有很大的看入电阻。信号在饱和晶体管漏极遇到反偏的 pn 结，这对于小信号变化而言是一个大电阻。晶体管能实现更良好的电阻匹配。此外，恒定电流源 I_{SS} 被一个 nMOS 晶体管替代。由于 M_3 饱和，因此它的漏级结点起到一个恒流源的作用，且到地电阻很大。MOSFET 的尺寸要远远小于大电阻的尺寸。

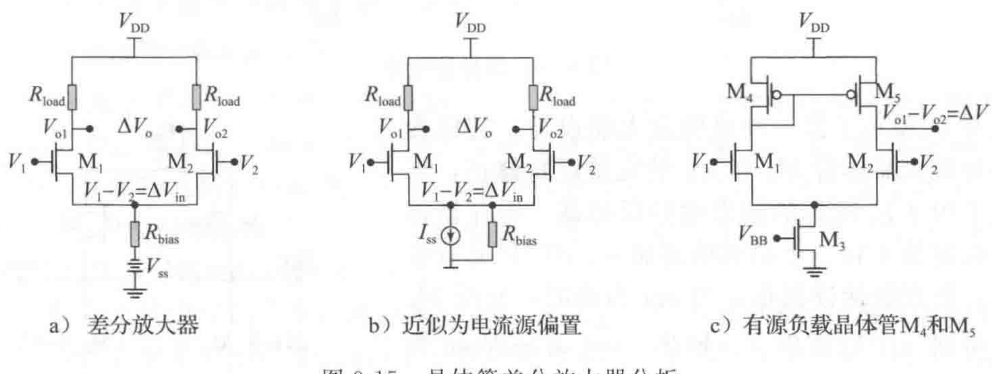


图 9-15　晶体管差分放大器分析

小信号操作是灵敏放大器功能的核心所在。本书的描述尽管过于简单，不过可以起到入门作用。若 $V_1=V_2$，则每个晶体管的漏极电流相等，漏极电压也相等。若 V_2 升高，则 I_{D2} 增大，造成 M_2 的漏极电压 V_{o2} 下降，因为负载电阻上的压降 IR 增加了。若 V_1 降低，

则 I_{D1} 减小，V_{o1} 升高。输出电压差是 $\Delta V_o = V_{o1} - V_{o2}$，输入电压差是 $\Delta V_{in} = V_1 - V_2$。电压放大系数即增益是 $A_v = \Delta V_o / \Delta V_{in}$，$A_v$ 正是放大器的电压增益。

若 V_1 与 V_2 的变化量相等，则 I_{D1} 和 I_{D2} 也产生相等的变化，漏极的电压差仍为 0。两个输入结点输入相同的电压不会被放大，这种现象称作“共模抑制”(common-mode rejection)。综上所述，差分放大器将两个输入信号之差放大，而抑制输入信号相同时的响应。

灵敏放大器以两根位线的电压之差作为输入，即 $\Delta V_{in} = V_{bl} - V_{\overline{bl}}$。经放大输出的电压差可以从一个输出结点引出，输入到反相器中重建为强逻辑状态。图 9-16 所示的为最终电路图。灵敏放大器的控制信号 V_{sense} 控制放大器的电流通断，决定它是否生效。当 $V_{sense} = 0V$ 时，尽管 M_{15} 和 M_{16} 可以被触发，但是晶体管 M_{15} 至 M_{18} 中都没有电流流过。

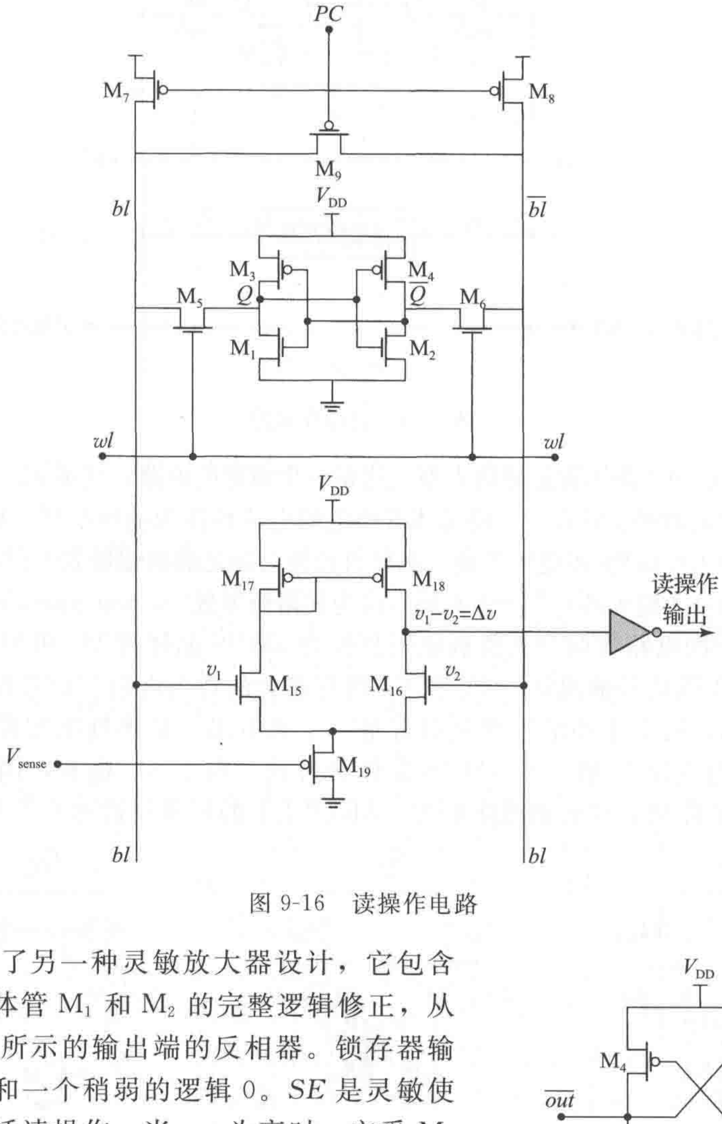


图 9-16 读操作电路

图 9-17 展示了另一种灵敏放大器设计，它包含了对差分放大晶体管 M_1 和 M_2 的完整逻辑修正，从而精简了图 9-16 所示的输出端的反相器。锁存器输出一个强逻辑 1 和一个稍弱的逻辑 0。*SE* 是灵敏使能信号，负责激活读操作。当 *out* 为高时，它受 M_5 驱动，得到一个完整的 V_{DD} 输出。*out* 为高时 $\overline{out}$ 为低，不过 $\overline{out}$ 比地要高两个晶体管漏-源电压。由于 M_3 的栅-源电压是 V_{DD}，M_1 的栅-源电压略微小于 V_{DD}，因此它们的漏-源电压是很小的。M_1 和 M_2 工作在电阻态。

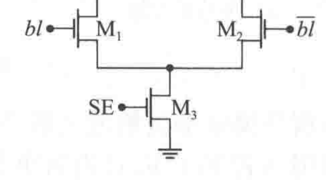


图 9-17 一个交叉耦合的双端灵敏放大器

灵敏放大器的设计有很多种，那么哪一种最好呢？设计的优劣取决于存储器对速度(访问时间)、功耗、抗噪声能力以及版图面积的要求。

9.10　动态存储器

IBM 的罗伯特·丹纳尔德(Robert Dennard)在 1966 年提出了 DRAM 的概念。一种仅由一个小晶体管和一个电容构成的存储器单元是当时存储器单元设计的理想替代。那时 MOSFET 刚刚开始得到设计者的关注。第一个商用的 DRAM 产品是 Intel 1103，它是一个 1024 位的存储器。1103 DRAM 于 1968 年问世，使用的是 pMOS 晶体管。罗伯特·丹纳尔德的发明以及 Intel 1103 的问世对此后计算效率和电路尺寸的发展产生了巨大的影响。它推动了现代个人计算机及笔记本电脑的迅猛发展。

DRAM 与 SRAM 有若干差异。表 9-1 将它们的特性进行了对比。每种存储器都有其各自的特点，在市场中占据一席之地。DRAM 更加密集，因此常被用于制造大型的独立的存储器芯片。DRAM 需要一个受时钟驱动的数据刷新操作来保证单元中的数据始终正确。“动态”一词正是基于刷新的需求。一个 SRAM 单元使用 6 个晶体管，占据的芯片面积比 1 晶体管或 3 晶体管 DRAM 单元更大。DRAM 外围电路的复杂性导致它与生俱来地速度较慢。DRAM 常使用一个比常规 V_{DD} 更大的预充电电压，这个预充电电压通常来自于芯片上的电荷泵(第 8 章)。DRAM 可以与 CMOS 技术兼容。

表 9-1　SRAM 和 DRAM 的性质

SRAM	DRAM
较快	较慢
单元面积较大(6 晶体管)	单元面积较小(1 晶体管或 3 晶体管)
容量较小(MB 数量级)	容量较大(GB 数量级)
外围(I/O)电路更简单	外围电路和时序复杂
无时钟控制的刷新操作	需要时钟控制的刷新操作
对 V_{DD} 没有特殊要求	要求预充电电压 $>V_{DD}$(电荷泵)
需要特定的晶体管比例	不需要特定的晶体管比例

277 ~ 282

本节将介绍 3 晶体管 DRAM 单元，以此阐释 DRAM 的基本原理。当代的 DRAM 中更常用的是 1 晶体管单元，但是考虑到它的复杂的外围电路结构以及电特性，1 晶体管 DRAM 单元更适于留作高阶数字电路课程的内容。

9.10.1　3 晶体管 DRAM 单元

图 9-18 展示了一个 3 晶体管 DRAM 单元。为了与 SRAM 的位线相区别，图中的位线符号改成了 D_{read} 和 D_{write}。电容 C_S 是单元实现存储功能的关键。C_S 是 M_3 漏极和 M_2 栅极的寄生电容。在写入新的位数据时，首先将位线预充电，然后将 D_{write} 位线驱动至新逻辑值。M_3 导通，根据新数据的极性，C_S 被充电至逻辑 1 或逻辑 0。位线的大电容使得它与 C_S 的电荷共享不会影响位线的预充电电压。

读操作首先将位线预充电，然后激活 M_1。若 C_S 上存的是逻辑 0，则 M_2 截止，读位线将保持在预充的逻辑 1 状态。若 C_S 上存的是逻辑 1，则 M_2 导通，M_1 和 M_2 构成位线的下拉通路。DRAM 与 SRAM 不同，它不需要特定的晶体管比例就能正常工作，因此可以使用尺寸最小的晶体管。

当 C_S 已充电并且 M_3 访问晶体管截止时，C_S 上的电荷会通过 M_3 的漏极和 M_2 的栅极泄漏出去。室温下的泄漏时间常数通常为几毫秒。如果不进行修正，电荷泄漏就

会破坏 C_S 中存储的数据。解决方法是，按照一个比泄漏时间常数更快的速率对数据进行刷新(refresh)。通常刷新频率要大于150kHz。与静态设计不同，"动态"意味着集成电路时钟必须持续保持开启。刷新操作所用的电路在单元被读取时保存原始数据，然后再将该数据重载到单元中。纯静态的CMOS设计更易于检测和调试，还能实现更低的功耗。

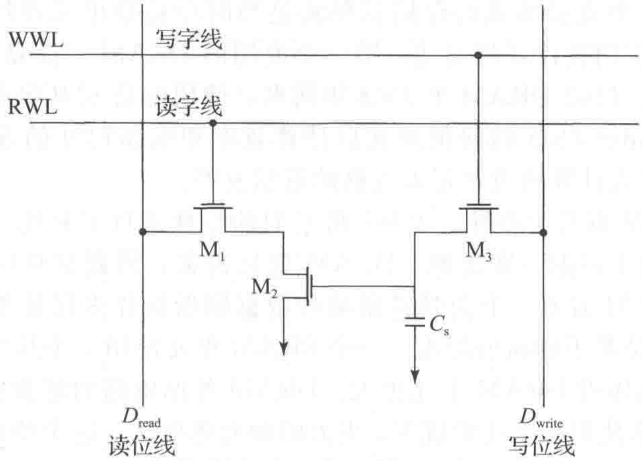


图 9-18　3晶体管DRAM单元

图9-18中，M_3 的体效应会将 C_S 上存储的逻辑1削弱为 $V_{DD}-V_{tn}$。我们可以通过将位线预充到 $V_{DD}+V_{tn}$ 来进行补偿。电荷泵(第8章)可以实现这一功能。我们看到，尽管DRAM的电路图简单，然而它需要比SRAM更多的外围电路支持。不过，对于容量为数十Gb的存储器而言，DRAM是一个更为经济的选择。DRAM是一种大容量产品。

9.10.2　1晶体管DRAM单元

使用1个晶体管就可以构成一个DRAM单元。1晶体管单元(图9-19)的设计简洁，但需要更复杂的支持(外围)电路。注意到1晶体管DRAM单元只有一条位线，一个单元存储电容连接到MOSFET的一端。M_1 起到开关的作用，它将 C_S 与位线上的数据相连。数据通过位线写入单元电容中，也是通过同一条位线被读取出来。电容负责保存逻辑状态。

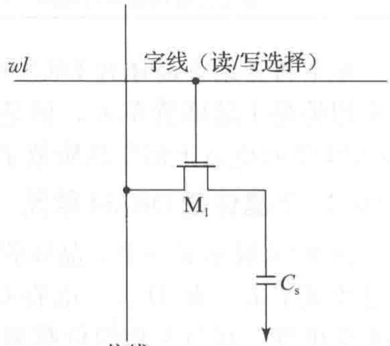


图 9-19　1晶体管DRAM单元

每次读操作都会将 C_S 上的很大一部分电荷释放，因此单元必须要重新充电，即每次操作后都要对数据进行刷新。此外，DRAM电容 C_S 还会发生被动的泄漏，泄漏机制包括相邻的反偏pn结、薄氧化层隧穿，以及相邻单元之间的泄漏。因此设计中必须包含一个自动的数据刷新电路。通常我们使用一个冗余单元将指定单元的数据保存，然后在读/写或空闲操作之后，将该数据写回到动态单元之中。这种方法使得DRAM设计变得更加复杂，不过它是可行并且经济的。刷新操作会增加功耗并减慢DRAM电路的工作速度。与相对简单的SRAM设计相比，DRAM可能需要超过20个内部时钟以控制读/写以及刷新操作。

283~284

9.11 小结

本章强调了 SRAM 和 DRAM 的工作原理。设计中使用的方程式可以加深我们对这些概念及其实际应用的理解。然而，还有很多关于存储器的话题没有在本章介绍，因为它们涉及许多细节，更适于在高阶的课本和书籍中加以介绍[1~3]。这些略去的设计话题也很重要，其中包括复杂时序信号、密集排列单元更低的信噪比、耦合噪声、使用冗余列以提高成品率、不同于 V_{DD} 的局部电压设计、纳米级晶体管的超薄氧化层泄漏造成的功耗增加、纠错机制，以及本章一开始列出的其他存储器类型的介绍。

参考文献

[1] D. Hodges, H. Jackson, and R. Saleh, *Analysis and Design of Digital Integrated Circuits*, 3rd Ed., McGraw-Hill, 2003, Chapters 8 and 9.

[2] J. Rabaey, A. Chandrakasan, and B. Nikolic, *Digital Integrated Circuits,* 2nd Ed., Prentice-Hall, 2003, Chapter 12.

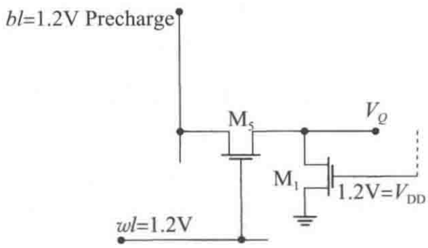
[3] K. Itoh, *VLSI Memory Chip Design,* Springer-Verlag, 2001.

习题

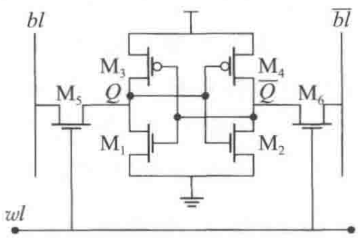
读操作晶体管尺寸调整

假设读操作的最高结点电压是 V_{DD} 的 10%。

9-1 已知 $V_{DD}=1.2\text{V}$，$K_n=120\mu\text{A/V}^2$，$V_{tn}=0.4\text{V}$，计算读操作的 β 之比 β_1/β_5。



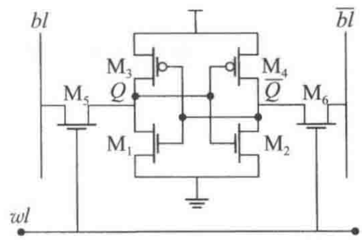
9-2 已知 $V_{DD}=1.8\text{V}$，$K_n=130\mu\text{A/V}^2$，$K_p=50\mu\text{A/V}^2$，$V_{tn}=0.5\text{V}$，$V_{tp}=-0.5\text{V}$。求读操作的适当的晶体管比例。



9-3 已知 $V_{DD}=2\text{V}$，$K_n=100\mu\text{A/V}^2$，$V_{tn}=0.6\text{V}$，画出读操作 β 之比随 V_Q 的变化关系。画出 $100\text{mV}<V_Q<400\text{mV}$ 区间内的曲线，并写出曲线说明了什么。

9-4 已知 $V_{DD}=2\text{V}$，$K_n=100\mu\text{A/V}^2$，$V_{tn}=0.6\text{V}$，画出噪声容限随 V_Q 的变化关系。与上一问相同，画出 $100\text{mV}<V_Q<400\text{mV}$ 区间内的曲线，并写出曲线说明了什么。

9-5 一个SRAM 存储器单元的 $K_n=100\mu\text{A/V}^2$，$K_p=60\mu\text{A/V}^2$，$V_{tn}=0.6\text{V}$，$V_{tp}=-0.6\text{V}$，读操作的 β 比为 3.0。则满足此设计的 V_{DD} 是多少？



9-6 一个低压 SRAM 的设计是 $\beta_1/\beta_5=1.35$。若 $K_n=120\mu\text{A/V}^2$，$K_p=85\mu\text{A/V}^2$，$V_{DD}=0.9\text{V}$，则能实现读操作的晶体管阈值电压是多少？

写操作晶体管尺寸调整

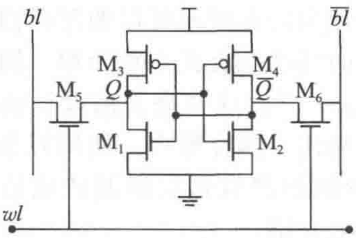
除非特别注明，否则假设能使单元翻转的结点电压必须下拉到 V_{tn}。

9-7 已知 $V_{tn}=0.5\text{V}$，$V_{tp}=-0.5\text{V}$，$K_p=40\mu\text{A/V}^2$，$K_n=95\mu\text{A/V}^2$，$\beta_4/\beta_6=1.99$。求能使写操作将单元结点从逻辑 1 变为逻辑 0 的电源电压 V_{DD} 是多少？

9-8 已知 $K_n=100\mu\text{A/V}^2$，$K_p=50\mu\text{A/V}^2$，$V_{tn}=0.5\text{V}$，$V_{tp}=-0.5\text{V}$，$V_{DD}=1.8\text{V}$。计算向存储器单元的一个结点写入逻辑 1 的安全 β 比。

9-9 已知 $K_n=110\mu\text{A/V}^2$，$K_p=50\mu\text{A/V}^2$，$V_{tn}=$

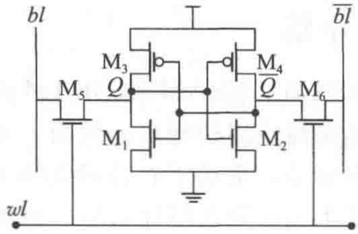
0.5V，$V_{tp}=-0.5V$，$V_{DD}=1.5V$。计算此存储器单元对应的写操作 β 比。



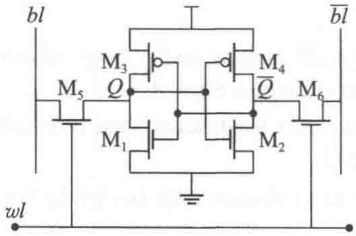
9-10 给定 $K_n=100\mu A/V^2$，$K_p=50\mu A/V^2$，$V_{tn}=0.5V$，$V_{tp}=-0.5V$，$V_{DD}=1.8V$。画出 M_4/M_6 的写操作 β 比随 $\overline{V_Q}$ 的变化曲线。对结果进行评价。

9-11 已知 $K_n=105\mu A/V^2$，$K_p=50\mu A/V^2$，$V_{tn}=0.5V$，$V_{tp}=-0.5V$。若 $\beta_1/\beta_5=1.778$，$\beta_4/\beta_6=1.867$，计算 V_{DD}。验证此结果对读操作和写操作是否都可行，不要假设写操作的 $V_Q=V_{tn}$。

285 ~ 286



9-12 已知 $K_n=120\mu A/V^2$，$K_p=60\mu A/V^2$，$V_{tn}=0.6V$，$V_{tp}=-0.5V$，$V_{DD}=1.5V$。若 $W_6=0.25\mu m$，则 W_4 是多少？



第10章 PLA、CPLD与FPGA

可编程逻辑电路(PLC[⊖])技术是一种实现数字集成电路的有效替代工具，它具有较高的灵活性和集成度。可编程逻辑电路最初起源于掩模可编程门阵列，如今发展为更加先进的结构，它包含了可被用户编程的逻辑与互连线资源。PLC在20世纪80年代中期问世，最初它们基于可重构的互连线技术，以实现集成电路的设计功能。一般来说，用户可以按自己的意愿将PLC重新编程无限多次。PLC性能和容量的迅速提升获得了越来越高的市场认可，因为这些电路使得人们能够在较短的开发时间内构造出复杂的数字电路。另外，可编程电路是原型设计和现场应用的一种有效解决方案，因为其大大地减少了开发时间、成本和功率，却提供了较好的性能。灵活且集成化的计算机辅助设计(Computer-Aided Design，CAD)工具对可编程逻辑电路的市场增长起到了显著的促进作用。

与上一代使用输入/输出(I/O)引脚、可编程逻辑和互连线的PLC不同，如今的现场可编程逻辑门阵列(Field Programmable Gate Array，FPGA)将可配置的嵌入式SRAM、高速收发机、高速I/O、逻辑模块以及布线结合起来使用。特别地，FPGA包含了可编程逻辑元件和层级化的可配置互连线结构，这样逻辑元件之间可以形成物理连接，通过人工配置既可以实现复杂的组合逻辑功能，也可以是“与”门、“异或”门这样的简单逻辑门。在大多数FPGA中，逻辑模块还包含了记忆元件，这些记忆元件可能是简单的触发器，也可能是完整的存储器模块。

使用FPGA进行设计与全定制设计(ASIC)相比，具备如下的优势。

- 快速的原型设计。
- 更短的上市时间。
- 调试时现场重新编程的能力。
- 较长的产品生命周期，减少产品过期风险。

FPGA代表着小型甚至是复杂逻辑电路的解决方案，这些电路需要小或中等规模的产品，因为初期投资比全定制设计这一替代方案要小得多。对于大规模的产品，单位芯片上的FPGA成本和全定制设计(ASIC)相比就太高了。

本章将介绍这一技术的基本原理，并提供对基本可编程器件操作的深刻见解之后，我们将通过展示一些来自各种供应商的产品，概述它从基本“与或”门阵列到今日复杂而强大的大规模的FPGA结构的发展过程。我们不是为了简单而只关注最新的FPGA，而是要为读者讲解这些电路是如何工作的。

10.1 一种简单的可编程电路——PLA

第一个用户可编程的结构旨在实现基本逻辑函数，它是根据两级析取函数(积之和)的结构制成的。电路的重新编程能力是指改变其逻辑函数的能力，它是基于分布式逻辑门(distributed gates)实现的，所谓分布式逻辑门是指输入可通过编程有选择地连接或断开的

⊖ 我们使用缩写PLC代表可编程逻辑电路。这种命名方法并不标准，其他教材和文献使用PLA(可编程逻辑阵列)或PLD(可编程逻辑器件)来指代这些基本的结构。复杂的可编程逻辑电路通常被称为FPGA。

基本“与”/“或”门。这种电路通过把一个分布式“与”门阵列同一个分布式“或”门阵列连接而成。在某些情况下，其中一个阵列是固定的，而另一个是可编程的；而在另一些电路中两个阵列均可编程。

10.1.1 可编程逻辑门

PLC 基于一个简单的概念：任一个布尔函数都可以通过积之和来实现。一个逻辑函数 F_1 可以通过两步获得：第一步是进行乘积的操作，之后则是把这些乘积项求和。在这个函数已经作为电路的一部分实现之后，我们想要将其原来的逻辑行为变成另一个逻辑函数 F_2，这意味着我们要调整那些被加和的乘积项。考虑一个简单的情况，其中两个逻辑函数为

$$F_1 = xyz + \overline{x}z$$

$$F_2 = xyz + x\overline{y}$$

要将电路功能从 F_1 变为 F_2，需要调整第二个乘积项。此调整可以通过改变该乘积项的逻辑门，或者改变相应的二输入“与非”门的输入信号这两种方法来实现。PLC 采用后者，它通过可编程逻辑门改变了驱动逻辑门的输入信号。可编程逻辑门是一种具有多输入的特殊逻辑门，它通过可编程互连线来实现输入的电学通断。这些逻辑门是早期 PLC 实现基本逻辑函数的重要元件。

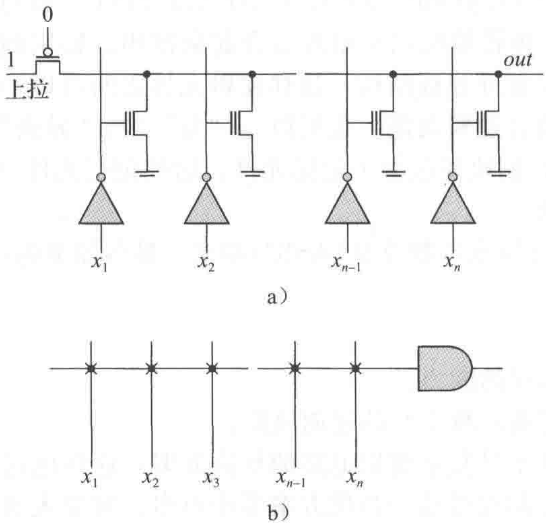


图 10-1 可编程逻辑“与”门的晶体管级结构及原理图表示

在可编程逻辑门中，n 个输入信号 x_1、x_2、x_3，…，x_n 被连接到 n 个可编程晶体管[⊖]上，这些晶体管的漏极被短接到一条电平上拉线(输出结点)，而源极接地(图 10-1a)。在这种结构中，如果所有的可编程晶体管都被编程(也就是说它们永远都不导通)，则输出结点始终保持逻辑 1，与输入信号的取值无关(即可编程晶体管永远不会将输出线拉回低电平 GND 上)。如果所有的晶体管都没有被编程(也就是说它们和普通的 nMOS 晶体管行为一致)，则当任意一个输入信号为低电平时，输出都会变为低电平。当且仅当所有的输入都是高电平，输出才会变成高电平。注意到这一结构和一个“与”门类似，只不过每个输入的通断取决于由其驱动的可编程晶体管的编程状态。若将一个给定的输入和“与”门“接

⊖ 可编程晶体管将在 10.4 节中介绍。这些器件可以被编程，使之如同正常晶体管一样工作，或者对于任何栅极电压都不导通。

288~289

通”，则其相应的可编程晶体管必须不被编程(导通)；若将此输入“断开”，则必须将对应晶体管编程。图10-1b所示的原理图表示了图10-1a所示的结构，图中将栅极输入和可编程互连线画在了一起，连接至“与”门的输入端。

按照可编程逻辑“与”门类似的方法，可以构造一个可编程逻辑“或”门的结构(图10-2a)。在这种情况下，任何一个逻辑门输入为高，并且它对应的晶体管未被编程(导通)，则逻辑门输出为高，这是一个“或”门函数。图10-2b表示它的原理图。

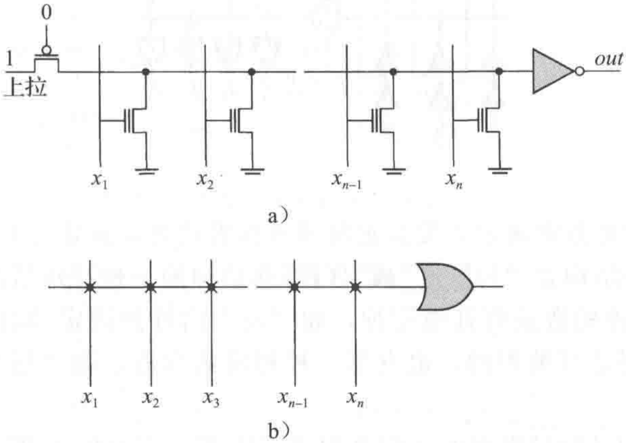


图10-2 可编程逻辑“或”门的晶体管级结构及原理图表示

10.1.2 “与”/“或”门阵列

一个基本的可编程电路由一组可编程逻辑“与”门(实现乘积项)和一组可编程逻辑“或”门(将乘积项求和)构造而成，它们组成如图10-3所示的二维阵列结构。这一简单的基于阵列的结构通常称为“可编程逻辑阵列”(programmable logic array，PLA)，它是PLC的一种。

图10-3所示的PLA有3个外部输入(x、y和z)，它们的直接形式及其取反结果均被输入“与”门阵列中。“与”门阵列由8个可编程逻辑“与”门构成，每个“与”门都通过可编程开关和外部输入相连。这种结构可以实现三输入逻辑的全部8个最小项(min term)，这些最小项由外部输入变量组成。“与”门的输出是“或”门阵列的输入，“或”门阵列由4个可编程逻辑“或”门组成。每一个分布式“与”门的输出都通过可编程开关和每一个分布式“或”门的输入相连，于是，我们可以把所需要的最小项输出相加，实现256种可能的三输入逻辑函数中的4种。这是通过可编程开关的适当通断实现的。

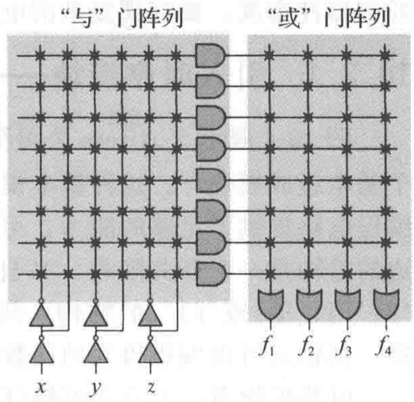


图10-3 一个基本PLA中典型的与-或门阵列结构

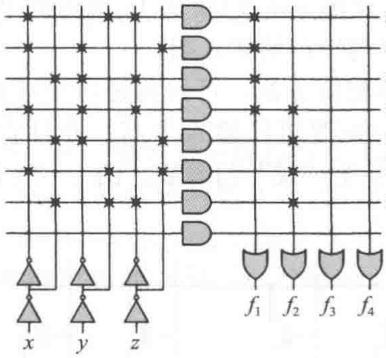
例10-1 若实现一个全加器，试确定图10-3所示电路的互连情况。

此电路将使用4个可用输出中的2个。输出f_1将用来实现进位功能(Carry)，而输出f_2则用来求和(Sum)。这两个函数的积之和分别为：

$$\text{Carry} = f_1 = \bar{x}yz + x\bar{y}z + xy\bar{z} + xyz$$

$$\text{Sum} = f_2 = \bar{x}\bar{y}z + \bar{x}y\bar{z} + x\bar{y}\bar{z} + xyz$$

因此，最终得到的电路的互连方案为：



290 ~ 291

◀

自测 10-1

在图 10-3 所示的电路中确定 3 位二进制码到格雷码的转换器的互连方案。

图 10-3 所示电路结构是“与”/“或”门阵列结构的一种特殊情况，它的两个阵列均有可编程互连线。这种构造还有其他变种，如“与”门阵列固定(默认会产生所有的最小项)，而“或”门阵列是可编程的；也有另一种相反的构造，即“与”门阵列可编程，而“或”门阵列固定。

基本的 PLA 结构是最早出现的，它有很多局限性。它的输入和输出引脚数量是固定的，并且只能实现“积的和”形式的逻辑函数。为了提高电路的性能，人们采用了许多改善方法，比如，引入既可编程为输入又可编程为输出的双向端口，以及通过扩充“与”门阵列，以接受来自“或”门阵列输出的反馈，从而充分利用中间变量等等。这些电路称为扩展的可编程逻辑阵列(extended PLA)。

10.2 下一步：实现时序电路——CPLD

可编程电路的灵活性及其快速的设计周期促进了其性能的改善，这些性能包括计算功耗和器件密度。要实现复杂的电路，切入点是引入基本记忆模块以实现时序电路。

10.2.1 引入时序模块——CPLD

图 10-4 展示了 Altera 公司早期 CPLD(Complex Programmable Logic Device)家族的一个基本组成模块[1]。这种基本模块的若干种组合(根据不同器件，从 8 到 50 个不等)为可编程电路提供了足够的能力，可实现中等复杂程度的时序电路。图 10-4 所示的模块左半边的结构是一个开关阵列，来自其他模块的主输入和主输出端口可以直接连接这个“多‘与’门、单‘或’门”的结构，从而编程实现求和的功能。记忆元件是一个简单的 D 触发器，其输入可由编程得到的函数驱动(通过一个“异或”门实现反相控制)。

电路模块有一个双向引脚(PIN)。这样，模块执行的逻辑函数可通过对相应双向控制电路的编程而传到输出引脚。双向控制电路中有一个三态缓冲器，可被编程为低阻态(引脚用作电路输出)或者高阻态(引脚用作电路输入)。

292

图 10-4 所示的电路模块可被用作图 10-5a 所示的组合逻辑模块，或者图 10-5b 所示的时序逻辑电路模块。这是由电路模块中最上方的可编程多路选择器(multiplexer，MUX)实现的。当记忆元件的输出不被驱动至电路的输出时，这个模块被用作组合逻辑电路(图 10-5a)。若 MUX 将触发器的输出驱动至电路的输出，则整个电路模块被用作时序电路(图 10-5b)。这个时序输出可通过最下方的 MUX 重定向到开关阵列，用作其他模块的输入。

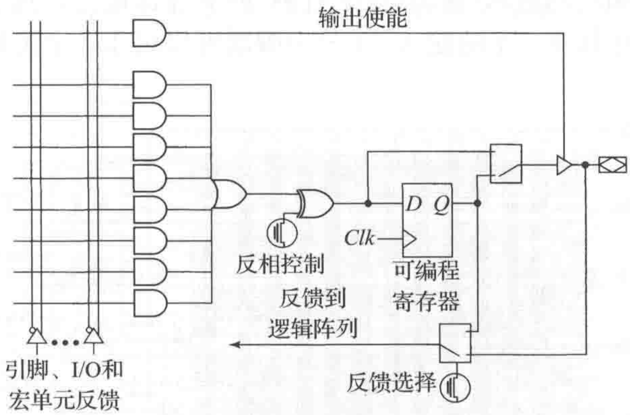
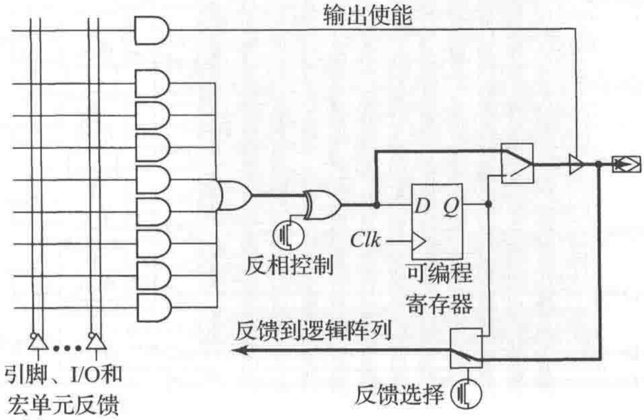
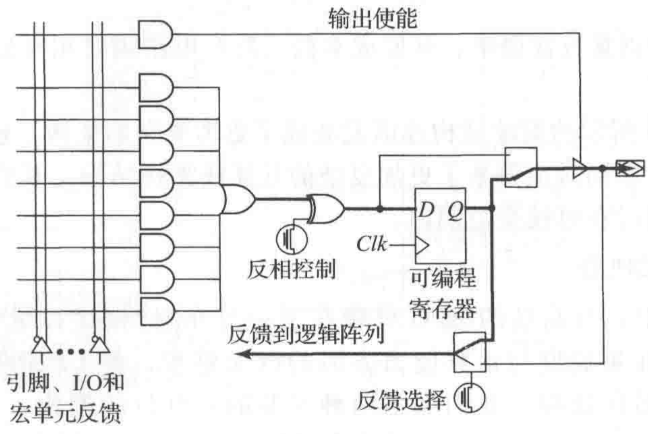


图 10-4 含有一个时序元件的基本模块



a）组合逻辑电路



b）时序逻辑电路

图 10-5 使用基本模块实现

我们还可以完全不使用这个功能模块，将图中的输出使能信号设为合适值，使输出缓冲器处于三态，并将引脚编程为输入结点即可实现。

CPLD 最初是面向同步电路应用的，它有一个特别的引脚，既可被选作数据输入，也可被选作时钟。图 10-6 所示的是 Cypress 公司的一个 CPLD 的原理图，它有 10 个与图 10-4所示电路类似的基本组成模块。电路的中心全局互连线部分位于左侧。注意到主输

入(位于左侧)以及可编程的输入/输出(位于右侧)的引线都被合并到了全局互连线中，并且可以作为十个模块中任意一个的输入。1号引脚既可以用作一个附加的输入端，也可以作为电路的时钟信号。

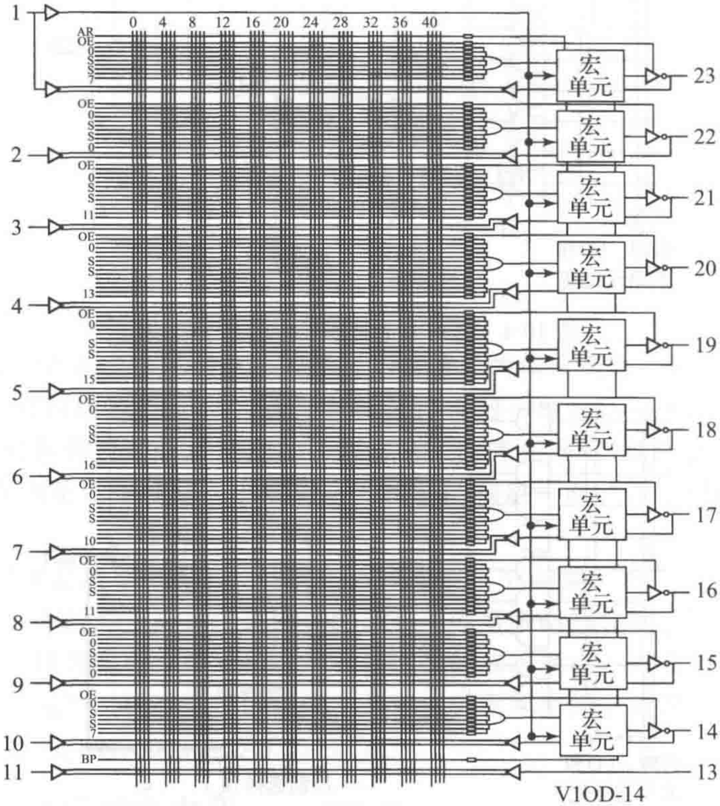


图 10-6 一个 CPLD 的原理图(Cypress 公司的 22V10 型号[2])

CPLD 的主要特点是设计简单、开发成本低，并且电路延时相对较小，在编程之前可预测延时。

CPLD 从图 10-6 所示的简单结构逐渐发展成了更为复杂的架构，包含了更多与所示模块类似的逻辑模块，但同时也带来了更加复杂的互连线拓扑结构。其目标是增强电路的功能，并保持电路的延时在可接受范围内。

10.2.2 更先进的 CPLD

在如今的市场中，与高端的 FPGA(将在下一节介绍)相比，尽管高端 FPGA 代表着原始可编程架构在集成度与运算能力方面的巨大进步，但 CPLD 仍然是低功耗、低成本可编程电路的最佳选择。我们展示两种主要的 CPLD 的架构，并介绍它们所针对的应用领域。

Altera Max CPLD

Altera 公司所生产的 CPLD 系列产品从经典系列逐步发展到 MAX 架构，包括 MAX5000、MAX7000 和 MAX9000 系列，直到如今的 MAX II 系列(仍然和 MAX3000 系列共存)。我们将以 MAX7000 系列为代表，详细介绍其具体系架构与组织原理。

图 10-7 给出了 MAX7000 设备的框图结构，它以逻辑阵列模块(Logic Array Block，LAB)为基础，通过一个可编程互连线阵列(Programmable Interconnect Array，PIA)和 I/O 控制模块实现互连。每个 LAB 有 16 个宏单元(macrocell)，这种单元是图 10-4 所示的

基本模块的升级版，将在随后详细介绍。一个给定的设备可能含有 32 到 256 个宏单元，最多有 2 个全局时钟信号。

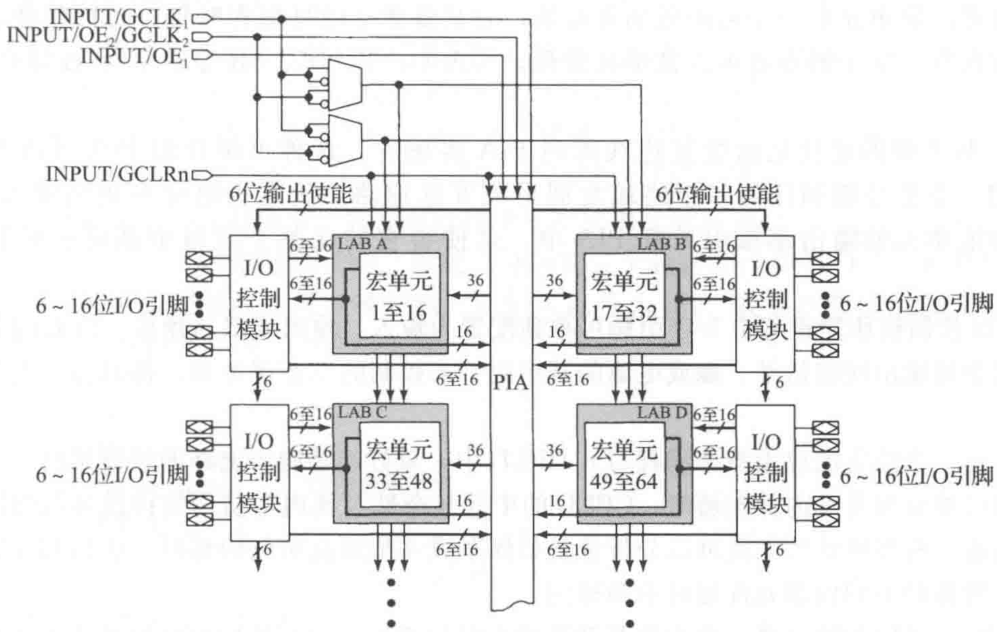


图 10-7　Altera 公司生产的 MAX7000 设备模块框图

LAB 包含 16 个宏单元，图 10-8 展示了一个宏单元的内部结构。每个宏单元都可以被配置为组合逻辑电路或时序逻辑电路，它包括了三个基本功能模块：逻辑阵列、乘积项选择阵列和可编程寄存器。

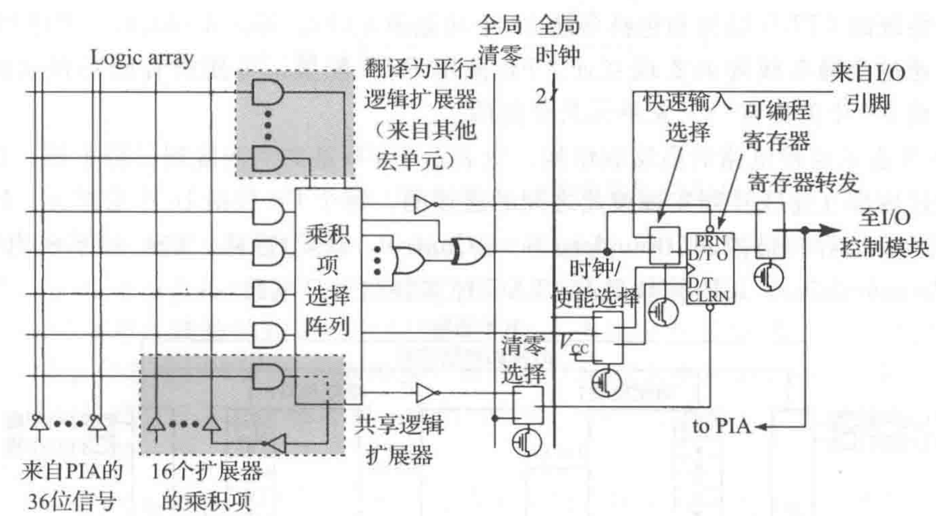


图 10-8　Altera 公司生产的 MAX7000 中的宏单元结构

和图 10-4 所示的结构类似，逻辑阵列为每个宏单元提供五个乘积项。与图 10-4 不同的是，它增加了两个乘积项扩展器：共享扩展器和平行扩展器。每个 LAB 有 16 个共享扩展器，共享扩展器将 LAB 中的每个宏单元的一个乘积项反馈给逻辑阵列。平行扩展器则将未使用的乘积项分配给邻近的宏单元使用，以实现快速而复杂的逻辑函数。它们允许多达 20 个的乘积项直接输入到宏单元的“或”门中，其中 5 乘积项由宏单元自己产生，另外 15 个则是 LAB 中临近的宏单元平行扩展器产生的。软件编译器会自动为

那些需要更多乘积项的逻辑函数分配最多三个共享扩展器和最多五个平行扩展器。这些连接需要更多的走线，因而产生附加延时。每个宏单元可从下一级宏单元中“借用”平行扩展器。宏单元有一个可配置的寄存器，它具备独立的可编程时钟、时钟使能、复位和置位操作，这个触发器可以被单独编程，实现 D、T、JK、SR 等触发器(或锁存器)的功能。

LAB 之间的连接是通过互连线阵列 PIA 实现的。这种可编程的 PIA 可以在设备上任何一个信号源和任何一个终端之间形成互连通路。所有的电路专用的输入、I/O 引脚和宏单元的输出都被引入到 PIA 中，这使得它们在整个设备中都可随时被连接使用。

I/O 控制模块使得每个 I/O 引脚可单独配置为输入、输出或双向操作。所有的 I/O 引脚通过全局输出使能信号、地或电源的其中之一来控制的三态缓冲器，都具备三态输出的能力。

一旦一个给定的应用将要编程写入 CPLD 中，最好能够确定电路的整体延时。当特定的资源已被分配并且内部连通时，CPLD 的中等复杂性及其内部结构使得设备的时序仿真成为可能。有多种软件工具可以分析设备如何布线并预测点对点的延时。引脚到引脚的延时由关键路径上的内部元件延时求和得到。

Altrera MAX7000 是一个中等复杂度的 CPLD 系列。更高端的 CPLD 基于下述更先进的宏单元实现——逻辑元件(Logic Element，LE)。另外，高端 CPLD 的结构更为复杂，包括了局部互连线和全局互连线。

Xilinx CoolRunner CPLD 系列

下面所述的结构叫作 Xilinx 先进互连线阵列(Advanced Interconnect Matrix，AIM)，它由一个传统的 CPLD 结构和包括多达 32 个功能单元(Functional Block，FB)的宏单元组合而成，通过全局布线阵列实现互连。FB 使用 PLA 配置，可使所有的乘积项被布线连接，并可被 FB 中的任意一个宏单元共享使用。

图 10-9 表示这种电路的高层级结构，也表示了 FB 是如何连接到引脚上的，以及它们是如何通过内部互连线阵列实现彼此之间的连接的。每个 FB 包括 16 个宏单元。BSC 通路指的是 JTAG 边界扫描控制(Boundary Scan Control，BSC)通路。BSC 和系统内编程(In-System Programming，ISP)模块具有 JTAG 控制器和 ISP 电路。

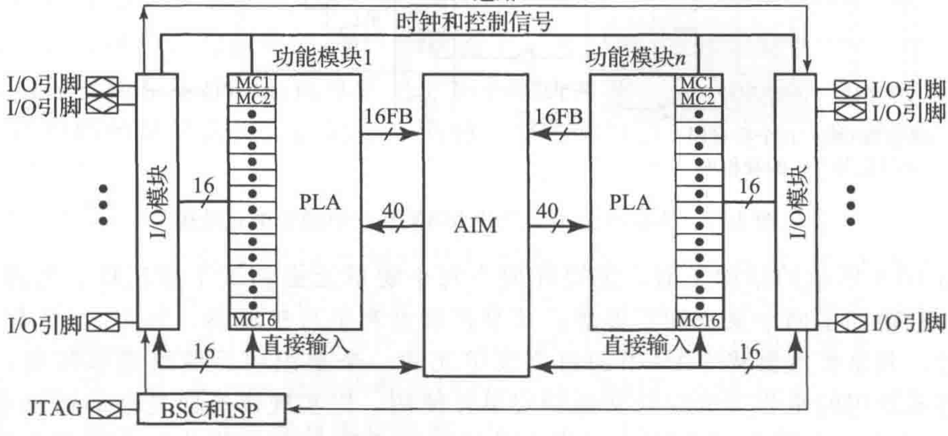


图 10-9　CoolRunner-Ⅱ CPLD 结构

CoolRunner-Ⅱ CPLD 的 FB 包括 16 个宏单元和 40 位信号入口，信号由此端口进入，构造内部逻辑和互连。内部逻辑是一个包含 56 个乘积项的 PLA。不管整个设备中有多少个 FB，所有的 FB 都是相同的。

图 10-10 给出了一个 CoolRunner-Ⅱ CPLD 宏单元的原理图。它可以在一个单独的功能模块中直接处理多达 40 输入的积之和(Sum Of Products，SOP)，每个积之和式中可以有多达 56 个乘积项，其是否取反可通过一个“异或”门控制。这 56 个乘积项中一般的乘积可以有 49 个，4 个是控制项(*CTC*、*CTR*、*CTS* 和 *CTE*)，在一个给定的 FB 内的所有宏单元均可获取这些控制信号，它们可以用于控制宏单元的时钟(*CTC*)、置位(*CTS*)、复位(*CTR*)或者 I/O 控制信号(*CTE*)。除此之外还有三个独立项(*PTA*、*PTB* 和 *PTC*)，它们只在每个宏单元层级内才可以被获取。它们可以作为置位/复位控制信号(*PTA*)、I/O 控制信号(*PTB*)和时钟(*PTC*)控制信号。

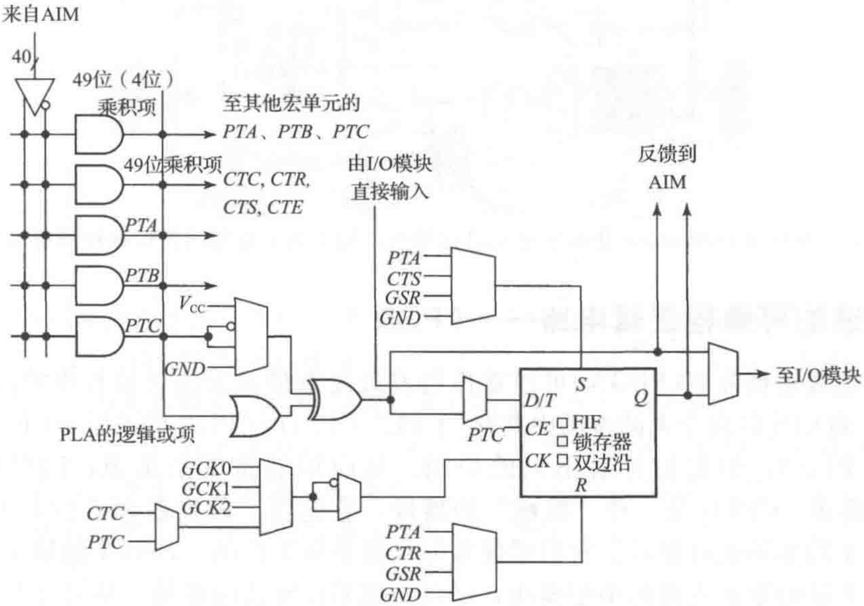


图 10-10 XilinxCoolRunner-Ⅱ 的宏单元结构

存储元件可以配置为 D 触发器、T 触发器，或者是一个透明的锁存器，时钟可以在任意边沿触发，也可以直接使用双边沿触发。置位和复位电路相似，亦有多种选择，这取决于它们驱动的多路选择器的构造。我们也可以自主选择没有置位/复位信号的情况(输入地)、乘积项置位信号(*PTA*)、控制项置位信号(*CTS*)或者全局的置位/复位信号(*GSR*)。注意到全局信号在整个芯片上都可用，控制信号则会在一个指定的 FB 内共享，而乘积项只在每个宏单元内可用。

图 10-11 代表了图 10-10 所示宏单元的简化结构，其中表明了控制项置位信号和控制项时钟的使用方式。给定的时钟、置位或复位信号必须在同一个 FB 内的各宏单元之间保持同步，控制信号才能使用。控制项除了会连接到一个 FB 内的每个宏单元的同一多路选择器中之外，和乘积项是完全相同的。图 10-11 说明了两个控制项信号在同一 FB 内对其他宏单元可用的同时，是如何用作置位和时钟信号的。

若电路已被编程，要计算整个电路的总延时，对于流过电路的信号来说，信号经过的每一个模块都对延时产生贡献。信号在 CPLD 内前向传输时，时序分析报告是通过累加新增的信号延时得出的。具体来讲，在一个设计被映射到电路的特定部分后，软件将产生时

293
~
299

序分析报告，并且得到在给定速度等级下电路特定的延时值。

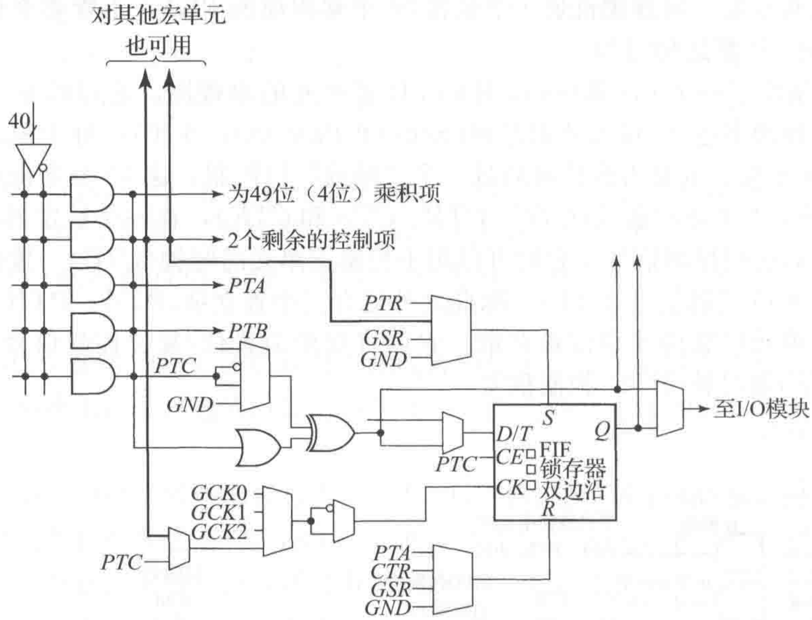


图 10-11 XilinxCoolRunner-Ⅱ的宏单元简化结构，用于表示控制项置位和控制项时钟信号

10.3 先进的可编程逻辑电路——FPGA

现场可编程逻辑阵列(FPGA)可以看作朝着最复杂最强大的可编程电路演进的产品。尽管FPGA和CPLD在今天的市场中共存(不同于CPLD与PLA的关系，CPLD在市场中已经替代了PLA)，但它们针对不同的应用。从应用的角度上来说，FPGA的规模比CPLD要大得多。CPLD是一种“粗糙”的器件，它包含了触发器和较少的大逻辑模块，并主要应用于简单的接口逻辑。它们很便宜并且是非易失性的。FPGA则属于“精致”的器件，包含大量的带触发器的小型模块，可以实现非常复杂的系统。从芯片整体上看，它比CPLD更贵，但是从单位逻辑门的成本上看，它要更低一些，并且通常是易失性的。一般而言，FPGA需要一些支持逻辑，并且必须在每次上电时配置；而CPLD若已被编程，则它们刚上电就可起作用。二者的另一个差别在于，CPLD相比于FPGA有更快的速度和更可预测的输入到输出的时序，这是因为前者有更“粗糙”而相对简单的构造。

尽管FPGA种类多样，但它们都有一些共同的元件。FPGA由一个规则的模块单元阵列构成，可实现一个给定的逻辑函数；这些阵列构造的基础是将逻辑门和存储器通过丰富的内部互连线结构集成在一起。我们可以从中辨认出四种主要的内部结构。

- 可配置逻辑模块(Configurable Logic Block，CLB)或者可配置逻辑元件(Configurable Logic Element，CLE)。
- 可编程互连线或可编程开关阵列(Programmable Switch Matrix，PSM)。
- I/O缓冲器(Input/Output Buffer，IOB)。
- 其他元件(例如，存储器、算术单元、时钟树、定时器、处理器)。

图10-12表示了一个具有由逻辑模块、内部互连线系统和I/O模块组成的电路的FPGA通用结构。它也包含了一些实现特定函数的特定模块，诸如乘法器。

逻辑模块一般指的是CLB或者逻辑元件(LE)，是为CPLD时序模块的改进版(图10-4)。这些元件为可实现的逻辑函数而构造，不仅提供较高的灵活性，还能为用户提

供一个可以接受的速度。

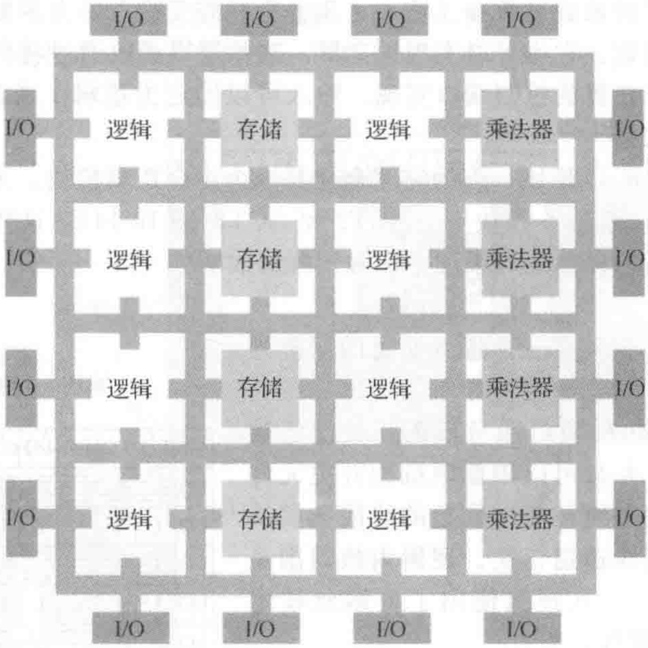


图 10-12 FPGA 概念示意图

通常，LB 和互连线系统均是可编程的，因而我们可以实现特定的逻辑函数。每个特定 FPGA 的特定结构和性能很大程度上取决于制造商。我们将介绍最流行的 FPGA 的底层结构，独立地分析逻辑模块、电路构造、互连线系统和 I/O 资源。

实现可编程逻辑元件有多种方式，市场中也有多种替代品，这取决于特定的供应商。这些不同的实现方法从根本上来讲，是应用于 CPLD 的逻辑模块的改进，每个供应商都提供了一系列的具有多种 I/O 引脚和内部元件的逻辑器件。我们将介绍三个主要供应商产品的基本结构，分别是 Altera[1]、Xilinx[3] 和 Actel[4]。

10.3.1 Actel ACT FPGA

逻辑模块

此供应商所生产的早期 FPGA 系列是 Actel ACT，其基本逻辑模块被称为“逻辑模组”(logic module)。ACT1 系列只使用了一种逻辑模块(图 10-13)，而 ACT2 和 ACT3 的 FPGA 系列使用了两种不同的逻辑模块[4](图 10-14)。

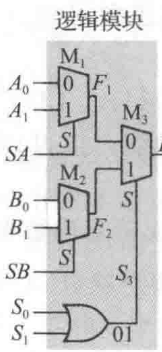


图 10-13 Actel ACT1 逻辑模块

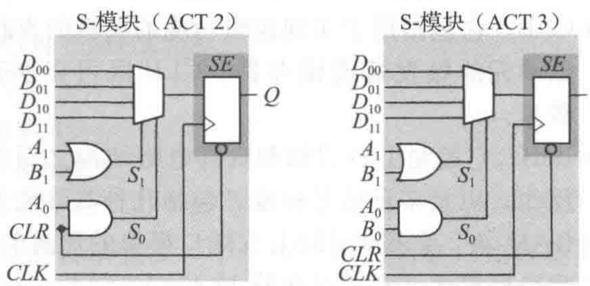


图 10-14 Actel ACT2 和 ACT3 S-模块

ACT1 模块(图 10-13)使用了三个多路选择器和一个“或”门，构成了一个相当简单

但精致、低延时、小面积而灵活性好的逻辑模块。根据香农(Shannon)展开定理，ACT1模块可以实现很多逻辑函数：所有二输入、几乎所有的三输入、大多数四输入和一些多达八输入的组合逻辑函数。它也可以实现锁存器。这些逻辑函数通过将信号从布线通路连接到数据输入及多路选择器的控制端口实现。输入可以固定为逻辑1或逻辑0，这种恒值信号在走线中总可以用到。

ACT1模块也称作C-模块，因为它完全就是一个组合逻辑模块。为了扩展这些模块的功能，Actel引入了一系列S-模块——ACT2和ACT3(图10-14)。这些模块基本上是在C-模块的基础上向多路选择器之后添加一个触发器构成的。

结构

Actel ACT FPGA具有一种带有通道的门阵列结构，它将一行一行的逻辑模块和布线通道相结合(图10-15)。因此逻辑模块可用分段的、长度已被预定义的导线互连，并且可以用低阻抗的开关元件连接，以构建所需的布线长度。其他的线段在模块中呈垂直走向，和连线通道正交。逻辑内核周围是连接到I/O端的接口。互连线使用了反熔丝技术(这将在本章的后续部分介绍)。

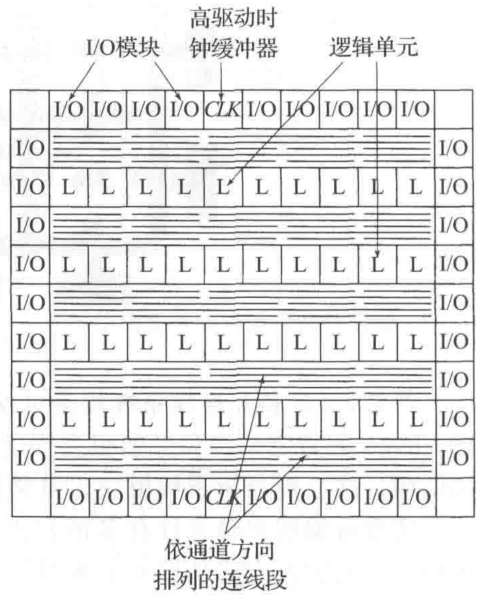


图10-15　Actel ACT FPGA的结构

ACT1模块的互连线结构中，每个通道可为信号连线容纳22条水平方向的轨线，另外还有三条分配给了V_{DD}、GND和全局时钟(global clock，GCLK)，这样每个通道有25条线供信号连接。这些水平线段长度从相当于四列逻辑模块的长度到整行模块的长度不等。通道中每个逻辑模块往其上方的通道可连接4个逻辑模块的输入，而往其下方的通道亦可连接4个。因而，每个逻辑模块的输入可以连接到8条垂直方向的轨线上。这些连接线称为输入桩(input stub)。单独的逻辑单元输出连接到垂直的轨线上，这些垂直连线延展，和模块上方的两个通道以及模块下方的两个通道交叉，这便是输出桩(output stub)。因而每个模块的输出使用4条垂直连线(模块上下的两个通道各连接2条)。

10.3.2　Xilinx Spartan FPGA

我们将简要地介绍Xilinx Spartan-3的结构和特性，这是目前还在用的一种FPGA。这种FPGA使用五种基本可编程功能元件。

- CLB，它包括用于实现逻辑功能的灵活的查找表(Look-Up Tables，LUT)和作为存储单元的触发器或锁存器。CLB既可以实现广泛的逻辑功能，也可以用于存储数据。
- IOB，它控制I/O引脚和内部电路结构之间的数据流。IOB支持双向数据流和三态操作，以及多种信号标准，包括几种高性能差分信号标准。
- RAM块，它提供18Kb二端口模块的形式的数据存储。
- 乘法器模块，它接受两路18位二进制数的输入，并计算乘积。
- 数字时钟管理模块(digital clock manager，DCM)，它为时钟信号的分布、延迟、倍频、分频和移相提供了自校准功能，以及全数字化的解决方案。

300～304

这些元件以图 10-16 所示的形式组织。每一列 RAM 由数个 18Kb 的 RAM 块组成，每一个 RAM 块都连着一个专门的乘法器，电路中有一个将所有五种功能元件相连的路径网络。每个功能元件都连接着一个开关阵列，可以连向布线网络。我们会更详细地介绍 CLB 电路和互连线系统。

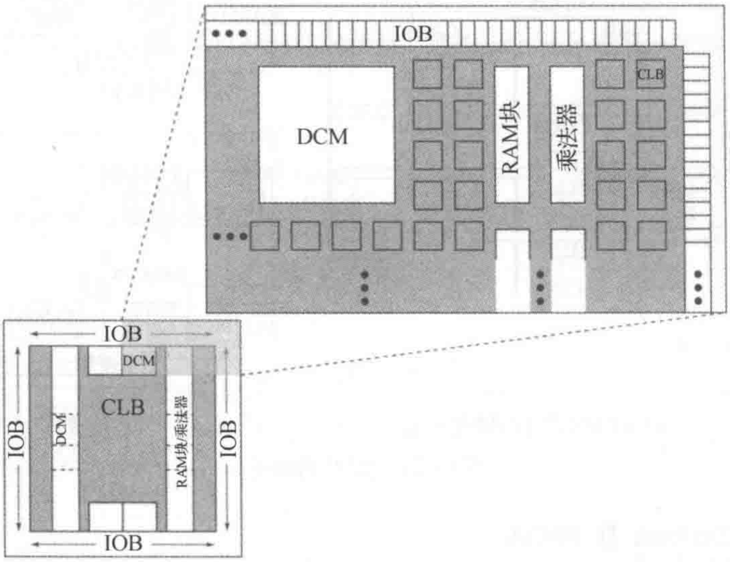


图 10-16 Xilinx Spartan 实验平台

Spartan 中的可配置逻辑模块

CLB 构成了实现组合逻辑和同步逻辑的主要逻辑资源。每个 CLB 包括 4 个片(slice)，每一片由两个 LUT 实现逻辑。CLB 也有两个专门的存储元件，可以是触发器或者锁存器。LUT 可以用作一个 16×1b 的存储器或者是一个 16 位移位寄存器。附加的多路选择器和进位逻辑简化了多位宽的逻辑函数和算术函数。CLB 被排列为行列形式的规整阵列。每一个 CLB 有四个彼此互连的片(slices)(图 10-17a)，这些片每对为一组，每一对都以一个独立的进位链组成一列。左边一对支持逻辑和存储函数，它的片叫作 SLICEM；右边一对仅支持逻辑函数，它的片叫作 SLICEL。因此，有一半的 LUT 同时支持逻辑和存储函数，而另一半只支持逻辑函数，这两种将在阵列中交替排列。

305

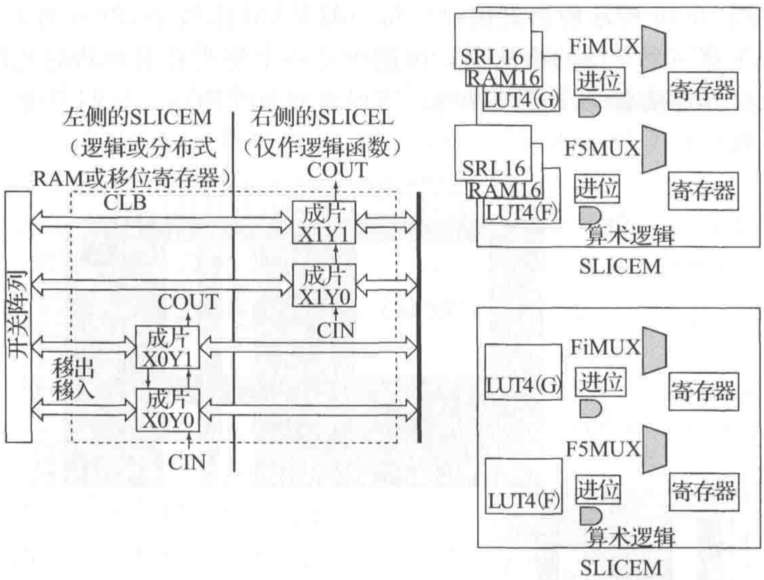
每一片包括两个 LUT 函数发生器和两个存储元件，以及一些附加的逻辑单元，如图 10-17b所示。SLICEM 和 SLICEL 共同包括了以下元件，提供逻辑、算术和 ROM 功能。

- 两个四输入 LUT 函数发生器：F 和 G。
- 两个存储元件。
- 两个广函数多路选择器，F5MUX 和 FiMUX。
- 进位和算术逻辑。

一对 SLICEM 还支持另外两个功能单元。

- 两个 16×1b 的分布式 RAM 块，RAM16。
- 两个 16 位移位寄存器，SRL16。

一个 LUT 和一个存储单元组成一个逻辑单元。一个片中的附加功能，如多位宽的多路选择器、进位逻辑和算术逻辑门等，对片的容量都有贡献，在不需要额外 LUT 的情况下实现了更丰富的逻辑。对于片中电路的详细结构，我们推荐读者阅读 Xilinx 公司的文档[5]。



a）CLB内部片的排列方式　　b）每一片内的资源

306

图 10-17　CLB 内部片

10.3.3 Altera Cyclone Ⅲ FPGA

和其他生产商制造的 FPGA 相似，Altera Cyclone Ⅲ FPGA 将许多逻辑模块（叫作 LE）结合起来，组织在 LAB、存储模块、嵌入式乘法器、数字信号处理（DSP）系统、互连线结构和 I/O 模块中。我们将详细介绍其中一部分子系统。

逻辑模块

基本的 LE 被安排在具有全局和局部互连线结构接口的 LAB 中。LAB 的结构如图 10-18所示。每个 LAB 由 16 个 LE 组成，也包括局部和全局互连线结构。局部互连线将同一个 LAB 中各 LE 之间的信号相连，也通过专用的被称为“直连互连线（direct link interconnect）”的导线连接到邻近的模块上（例如，其他邻近的存储模块、嵌入式多路选择器或 LAB）。全局的行列互连线可以连接芯片内的任何资源。每个 LAB 都包括处理时钟、时钟使能、清零（同步或异步）和装载信号等特定控制信号的专用逻辑。

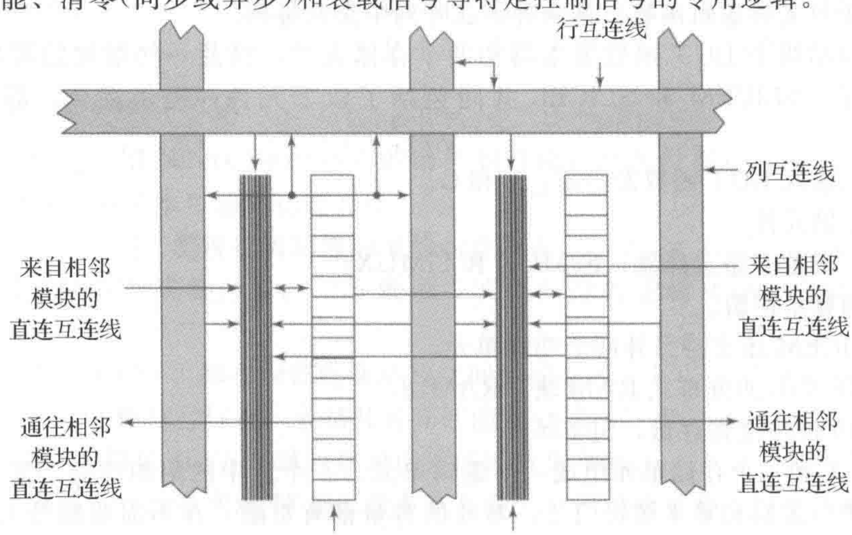


图 10-18　Altera Cyclone Ⅲ LAB 的结构

LE 是逻辑电路中基于 LUT 的最小单元。它们有一个可编程寄存器，可被构造为 D、T、JK 或 SR 触发器(或锁存器)，而 LE 的输出可以驱动全局或局部的行列互连线。每一个 LE 都有六个可用的输入(四个数据输入和两个来自前级 LE 的串接信号)，并且有两种操作模式：常规模式或者算术模式。

307

LE 的常规模式用于一般的逻辑应用和组合逻辑函数(图 10-19)。在这种模式下，四个数据输入被引入 LUT 模块中，LUT 的输出则可直接引到组合逻辑函数可用的输出或者驱动时序逻辑电路中的触发器中。

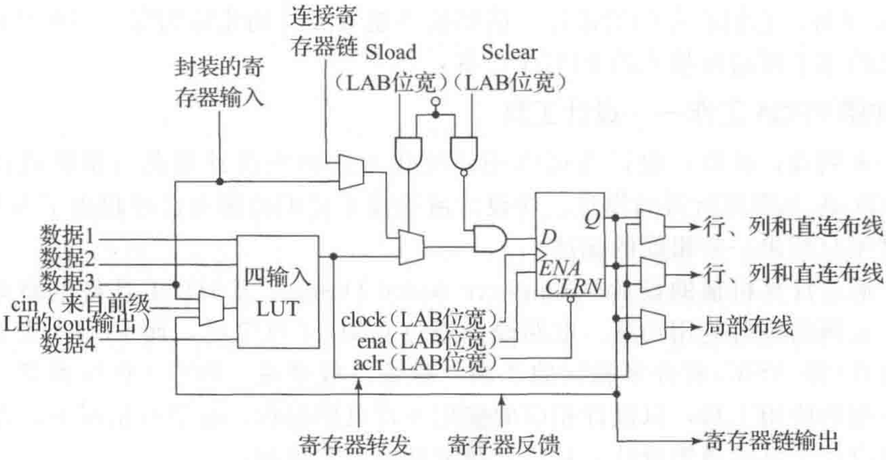


图 10-19　常规模式的 Cyclone Ⅲ LE 单元

在算术模式下，LE 可用来实现加法器、计数器、累加器和比较器。在这种模式下，LE 实现了 2 位全加器和基本的进位逻辑(图 10-20)。

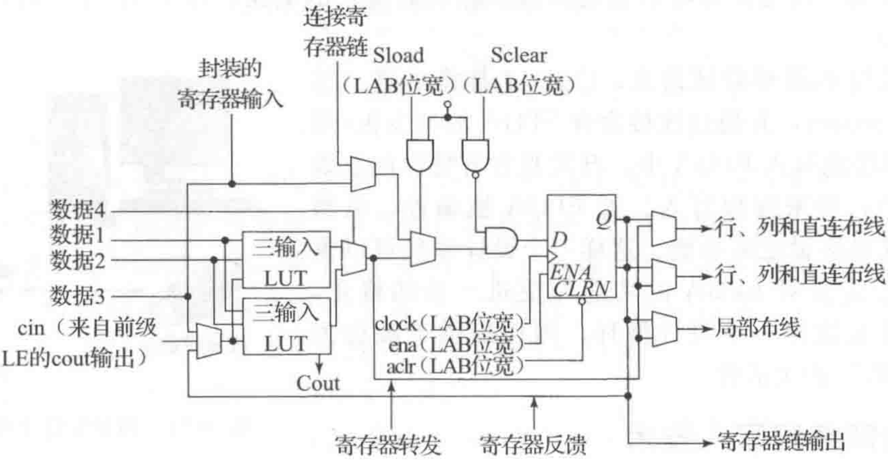


图 10-20　算术模式的 Cyclone Ⅲ LE 单元

其他元件

Altera Cyclone Ⅲ FPGA 实现了列存储模块内建的嵌入式存储结构，称为 M9K 模块，它可构造出 RAM、移位寄存器、ROM 和 FIFO 缓冲器。每一 M9K 存储模块有 8192 个存储位，可配置为 1 位模式，或 2、4、8、9、16、18、32 位模式。它们可以实现单端口或二端口存储模块。存储模块也可以工作在移位寄存器模式，以应用于数字信号处理，还可以工作在 ROM 模式或者 FIFO 模式等。

芯片还包括了嵌入式乘法器模块，可被配置为一个 18×18 的乘法器或者两个 9×9 的

乘法器。对于规模比 18×18 还要大的运算，需要将多个嵌入式乘法器模块级联在一起。一个芯片中嵌入式乘法器的个数从 23 个到 396 个不等。

10.3.4　如今的 FPGA

如今的 FPGA 相比于之前几节中所介绍的结构已经有了巨大的进步。这些电路包括了成千上万个逻辑模块、一千多个用户 I/O、容量在 20Mb 以上的存储模块、多个吉位的高速串行收发机，它们的结构中还包括多种嵌入式处理器模块。它们通过先进工艺制造而成。

根据应用的不同，我们采用不同种类的高端、低功耗、低成本、混合信号、抗辐射等专业 FPGA 设备。它们有专门的市场，诸如航空航天或自动化应用等。一些公司仍然保留了它们自己的基于反熔丝技术的 FPGA 设备。

10.3.5　利用 FPGA 工作——设计工具

308～309

利用一系列设计流程，设计者可以用系统化方法解决设计规范与最终设计之间的差距，并在 FPGA 上实现所需的设计。对设计流程技术详细的研究已经超出了本书讨论的范围，我们这里只给出一些粗浅的描述。

FPGA 通过计算机辅助设计(Computer Aided Design，CAD)工具将电路对接并设置内部互连，实现给定的应用功能。电路设计通过 CAD 工具完成，而 FPGA 设计流程同全定制设计流程(即 ASIC)有许多相同的步骤，尽管一般来说，FPGA 供应商都会提供它们自己产品专用的应用工具，以设计相应的应用并对电路编程。在某些情况下，将 FPGA 供应商给定的设计工具同通用设计工具结合起来是可以实现的。

CAD 工具让我们可以用硬件描述语言(Hardware Description Language，HDL)设计电路，HDL 提供了行为级(通过写一段能描述电路预期功能的代码来描述电路)或者结构级(通过物理结构描述电路)的描述语言。通过原理的描述，进入设计内部层次也是可能的。以上任何一种选择都可以描述具备多种功能模块的电路，而 CAD 工具可以仿真这些电路的行为。

一旦设计者需要验证仿真，CAD 工具将电路“综合”(synthesize)，并通过连接含有 FPGA 的开发板(图 10-21)将程序烧写入 FPGA 中。开发板含有特殊的总线连接 FPGA，用来编程写入。若 FPGA 被编程，电路将可用于其最终设定的功能。这样一个设计循环可以重复进行，若需要对 FPGA 的功能作更进一步的修正，我们可以重复这样一个设计循环，因而提供了被称为“系统内编程”的灵活性。

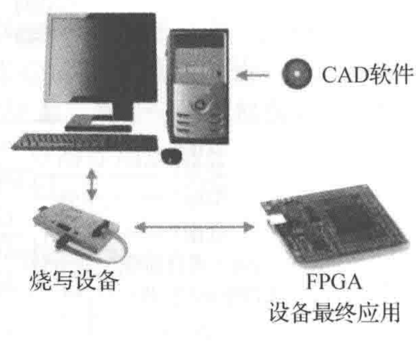


图 10-21　FPGA 设计和烧写流程

10.4　理解编程写入技术

实现可编程逻辑电路可以选择三种主要的技术，它们有两种主要的特性：是否可重新编程以及是否易失。我们将介绍三种主要的器件，它们是支持可编程电路的技术基础：反熔丝、双栅晶体管和基于 SRAM 的可编程电路。

310

10.4.1　反熔丝技术

反熔丝的概念至少可以追溯到 1957 年，那时人们考虑将其用在存储器中[5]。当一个编程电流加在反熔丝器件上时，它会由正常的开路状态变为短路状态。它可以通过将一层绝缘层加在两层导电层中间实现，当通以大电流时会在较小的面积上产生较大的功率耗散，会熔断绝缘层。这是一种可单次编程的技术，因为编程后绝缘材料已被破坏不可恢

复。制造反熔丝器件可以采用两种主要结构：多晶硅扩散区结构和金属-金属反熔丝结构。

多晶硅-扩散区反熔丝

一种最常见的多晶硅-扩散区反熔丝结构是在多晶硅和重掺杂的 n^+ 扩散区之间加入一氧-氮-氧(ONO)层(图 10-22)而形成的。这种结构通常称为可编程低阻抗电路元件(Programmable Low Impedance Circuit Element，PLICE)[5]。构造这种结构，需要在 n 型反熔丝扩散区之上依次生长一层二氧化硅层、一层氮化硅层和另外一层薄的二氧化硅层。这样一种 ONO 结构，为反熔丝提供了编程后更加严密的结构和更小的阻值，和单独使用一层氧化层的反熔丝相比，其绝缘层熔断的可靠性增加了。编程操作通过加入高电场，驱动掺杂原子在扩散区和多晶硅淀积区之间定向移动，使二者穿通，进而诱导出强电流，将介电层熔化。

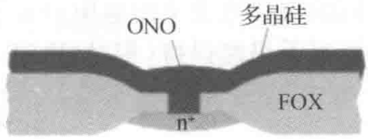


图 10-22　多晶硅-扩散区反熔丝结构的剖面图

通常若一个 PLICE 被编程后，可以观察到一个单独的连接区，它的半径随着编程电流的增加而增大，因而降低了导通电阻。对于最小面积的 PLICE，编程电流为 5mA。电阻的分布则如图 10-23 所示[5]，其中，中位数等于 600Ω。在 15mA 的编程电流下，分布的中位数下移到大约 100Ω。已经证明，这种结构的可靠性和典型的 CMOS 工艺的可靠性相当。

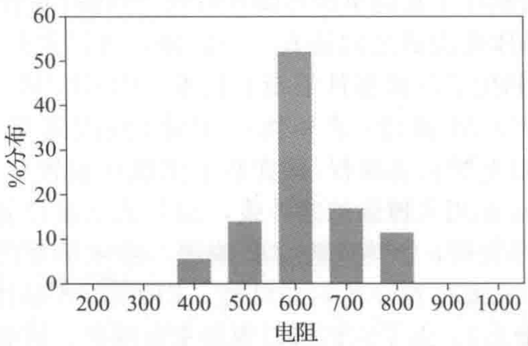


图 10-23　5mA 写入电流下 PLICE 的电阻分布[5](单位为 Ω)

金属-金属反熔丝

这种结构将无定形硅夹在两层金属互连层之间，其优势在于不需要和衬底的硅晶靠近，并且可以被置于顶部的导电层。其编程机制和多晶-扩散结构的类似。不过最初研究发现，若编程过程中结构改变，操作过程时直流读出电流和编程电流可比拟或者比它更大的情况下，仍然可以重新改变为开路状态[6]。这种现象称为读出扰动机制(read disturb mechanism)，它可以通过将读出电流控制在一个临界的数量级之下避免。已经证明，这种可靠性问题在 20 年的产品寿命期内都不需要担心[7]。

图 10-24 表示了这种反熔丝结构的剖面图，图中可见无定形硅氧化层位于介电材料的顶部。

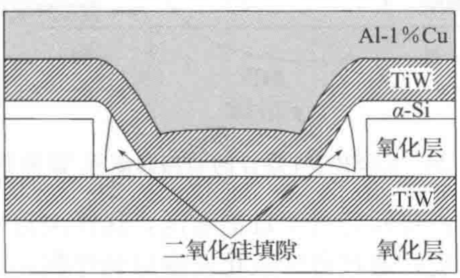


图 10-24　金属电极-无定形硅反熔丝结构的剖面图[8]

311~312

金属-金属反熔丝相比于多晶-扩散反熔丝结构有一些优势，这些优势在于它具有因刻蚀工艺条件而决定的更小的尺寸，以及更小的寄生电容。图10-25表示了这种反熔丝在不同的编程电流下的电阻分布规律。已经证实，已编程的反熔丝的电阻在温度变化100℃的情况下仍能保持(相对)稳定，误差小于15%。

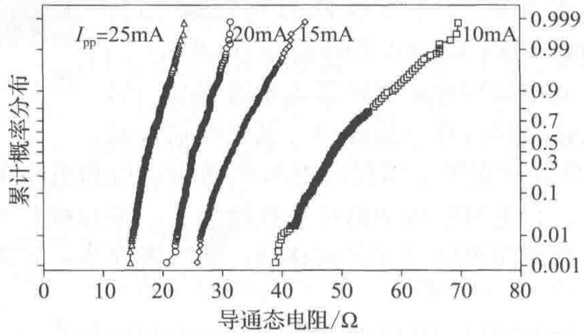


图10-25 不同写入电流下处于导通状态的反熔丝电阻分布

10.4.2 EEPROM技术

反熔丝技术的主要缺陷在于它的单次可编程特性。双栅(或者浮栅)器件是一种特殊的晶体管，它的控制栅和晶体管沟道之间还有一个浮栅，可以进行非易失性的编程和擦除。Flash存储器件(闪存)便利用了浮栅器件最新的技术，即EEPROM器件。EEPROM晶体管(电可擦除)是UVEPROM器件(紫外线可擦除)的改进版，比后者更为进步——UVEPROM是一种可通过电学机制编程(即在特定的电压偏置状态下)、通过紫外光擦除(因此它们的名称里UV表示用来擦除的紫外线，而E表示通过电学方式写入)的晶体管。

UVEPROM器件并不实用，因为要想重新编程，必须从系统中移出然后擦除，而且还需要昂贵的带有供紫外光通过窗口的封装结构。EEPROM晶体管利用电学偏置实现编程和擦除(因而采用EE命名)。由于它们可以现场重新编程，因而更为灵活。

EEPROM晶体管的结构如图10-26所示，它就是一个改进的MOS晶体管。控制栅和普通晶体管的栅极类似，而浮栅被氧化层包围，并不能被电极直接连接。将存储内容写入器件需要将电子打入浮栅中，使之聚集负电荷。浮栅上的负电荷掩蔽了器件的沟道，使之在某种程度上受控制栅上和衬底之间所加电场的影响变小，因而即便控制栅加到V_{DD}的电平，导电沟道仍无法形成。因此，写入信息后的器件不会导通，而未写入的器件的特性则像普通晶体管一样。

313

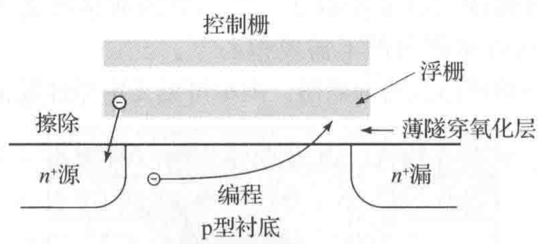


图10-26 EEPROM器件的结构和编程/擦除原理图

写入过程是这样完成的：将器件置于过饱和区，这样沟道中的热电子被加速，与衬底中的原子碰撞，然后离开衬底，通过薄的氧化层隧穿到浮栅。擦除过程则是通过将控制栅压反置为负，让电子从浮栅中隧穿回晶体管的源极。

这些浮栅晶体管就是本章之前的图10-1和图10-2所示的双栅器件。

10.4.3 静态 RAM 开关技术

静态 RAM 开关技术使用了典型的采用交叉耦合反相器的 SRAM 单元，以存储传输晶体管或者图 10-27 所示的 FPGA 结构中的嵌入式传输门传来的导电状态。

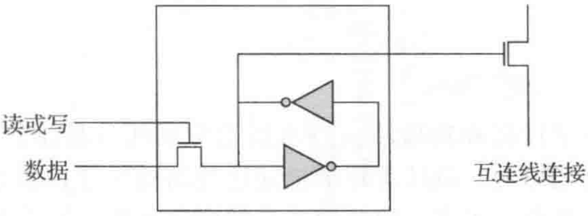


图 10-27 基于 SRAM 的编程技术结构

这种技术的优势从根本上来讲在于其与浮栅器件相比，需较短的编程时间。而其缺陷在于它相对较大的面积(这是由于晶体管数更多)，并且在每次上电后还需要重新写入。早期的 FPGA 在每次上电之后都必须从外部 ROM 或者 flash 电路中重新写入。现今，许多基于 SRAM 技术的 FPGA 都含有 flash 存储模块，它们保存了电路的配置数据，可以在每次上电后对电路进行内部写入。

314

参考文献

[1] www.altera.com.

[2] www.cypress.com.

[3] www.xilinx.com.

[4] www.actel.com.

[5] J. Greene, E. Hamddy, and S. Beal, "Antifuse field programmable gate arrays," *Proceedings of the IEEE*, Vol. 81, No. 7, pp. 1042–1056, July 1993.

[6] S. Chiang, R. Forouhi, W. Chen, F. Hawley, J. McCollum, E. Hamdy, and C. Hu, "Antifuse Structure Comparison for Field Programmable Gate Arrays," *IEDM Tech. Dig.*, pp. 1–4. 1992.

[7] C. Shih, R. Lambertson, F. Hawley, F. Issaq, J. McCollum, E. Hamdy, H. Sakurai, H. Yuasa, H. Honda, T. Yamaoka, T. Wada, and C. Hu, "Characterization and modeling of a highly reliable metal-to-metal antifuse for high-performance and high-density field-programmable gate arrays," *IEEE International Reliability Physics Symposium*, pp. 25–33, 1997.

[8] R. Wong, K. Gordon, and A. Chan, "Time dependent reliability of the programmed metal electrode antifuse," *IEEE International Reliability Physics Symposium*, pp. 22–26, 1996.

315 ~ 316

第11章 CMOS电路版图

集成电路利用光化学过程和物理注入技术制造金属线、晶体管的漏极、源极、栅极、阱、多晶硅和双极型工艺结构。设计者详细描述这些结构尺寸，诸如晶体管栅的宽度和长度，或者金属的宽度。然而，工艺工程师们关注的则是元件之间的最小间距，更小的间距就意味着更小的芯片面积。对于特定工艺，这些最小尺寸将会形成一些设计规则(Design Rules，DR)。我们不能随意地让两条金属线离得太近，否则在制造过程中，它们有可能合在一起或者发生桥接。工艺工程师们需要保证若不违反设计规则，那么电路在制造过程中，各独立的结构不会发生相互接触。违反设计规则的电路结构会造成电路短路，也会引发电荷泄露等其他问题。

在本章中，为了简单起见，集成电路版图采用PowerPoint工具呈现，以让读者了解设计规则。不过，也有很多其他版图工具，教师可以根据自己的喜好采用。L-EDIT是一种相对易学的工具，不少教师也采用这种工具。版图图形采用工业界的典型颜色标记方案。本书封面和封底的插页中给出了版图的彩色图片。

11.1 版图和设计规则

图11-1给出了一个使用彩色标记各元件的nMOS晶体管一部分的平面图(俯视图)。版图中多晶硅和扩散区的交叉区域构成了一个晶体管。请注意红色的多晶硅栅是如何覆盖着绿色的n型掺杂的源极与漏极的有源区的。多晶硅栅的线条超出源漏扩散区的最小长度被称为“间隔大小”(endcap)。多晶硅必须至少从扩散区上延展出这个长度，以消除漏极和源极之间的电荷泄漏。这个最小长度要求就是一条设计规则。其他的设计规则包括多晶硅的尺寸(即晶体管的最小宽度和长度)，金属和接触孔的最小尺寸，扩散区和接触孔的重叠大小，以及多晶硅和接触孔之间的距离等。

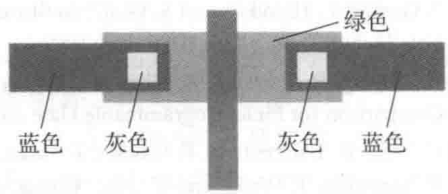


图11-1 一个nMOS晶体管的部分版图

注：图中有垂直的多晶硅栅(红色)、n型扩散区(绿色)、接触孔(灰色)，以及金属层一1(蓝色)。

金属(蓝色)必须以一个给定的最小距离(设计规则，DR)覆叠接触孔(灰色)。设计规则规定了设计中所允许的一系列最小尺寸。CMOS制造工艺的设计规则列表很长，稍后我们将使用一组精简的、具有代表性的设计规则作为绘制各种逻辑门版图的指南。我们可以通过版图进行设计规则与电路密度检查。

图11-2给出了一个CMOS反相器的版图。为了看清楚，版图并没有严格遵循设计规则规定的最小尺寸。读懂版图的第一个关键在于认出各种结构的标识，比如多晶硅输入信号线A(红色)、电源线V_{DD}和地线GND，以及源极与V_{DD}或GND相连的晶体管类型。两条电源线(包括V_{DD}和GND)是较宽的水平线(蓝色)，分列版图上下两侧。由于电源线要承载更大的电流，因而需要更低的电阻，所以它们比一般的信号线和多晶硅线要宽。图中竖直的多晶硅线(红色)是逻辑门的输入。通常，一个集成电路中所有的晶体管都具有相同的

最小栅极长度。

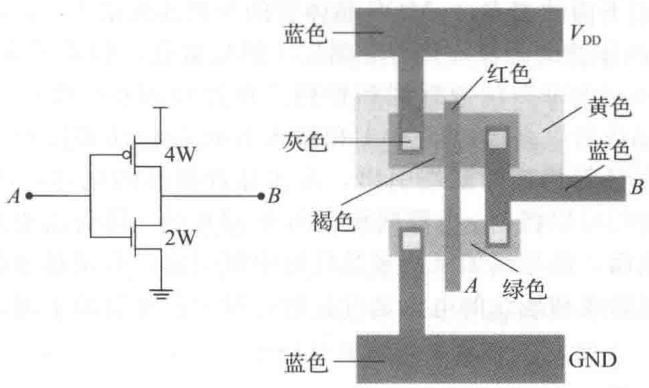


图 11-2　彩色标记的 n 阱工艺下的 CMOS 反相器的版图

注：多晶硅为红色，n 型扩散区为绿色，p 型扩散区为褐色，金属层 1 为蓝色，n 阱为黄色，接触孔的颜色是金属颗粒状的灰色。

在源极和漏极有源区之间的多晶硅线 A 的较短尺寸定义了两个晶体管的栅极长度，它是红色多晶硅线的短边长度。扩散区沿多晶硅线方向的垂直长度定义了晶体管的宽度。

阅读版图的第三条线索在于根据晶体管的源极连着 V_{DD} 还是 GND 识别晶体管是 pMOS 管还是 nMOS 管。注意到 p 沟道晶体管的源极通过一个接触孔与金属层 1 的 V_{DD} 相连。一旦确定了晶体管的源极，那么它的漏极一定在多晶硅栅线的另一侧。这些结构是快速定位、读懂版图和重建电路的有效线索。设计者在检查设计错误时经常将版图重建为晶体管级原理图。

记住，平面的版图呈现了多个掩模层，每一层都有自己独立的功能。版图展示了一个三维结构从上向下俯视的结果。金属层 1 的图形使用一个单独的掩模，接触孔、通孔、阱、多晶硅栅和源漏扩散区同理。

11.2　版图设计方法：布尔方程、晶体管原理图和棒图

版图设计由布尔表达式指定的操作开始。布尔方程将会变换为以尺寸确定的晶体管组成的原理图，然后变换为版图。我们将展示如何用 Microsoft PowerPoint 人工布局电路版图。PowerPoint 是一种简单易用的通用绘图软件，而且它还有助于手工检查设计规则。

我们的手工布局工作，将利用一种在晶体管原理图和版图间进行快速变换的工具——棒图(stick diagram)。棒图是一种简单快速的描述版图原理的图形，它呈现了晶体管的位置、电源线、信号线和接触孔。棒图具有版图的空间特性，但不包括元件的尺寸和设计规则信息。

棒图到实际版图的变换只需要简单地加入设计规则和结构尺寸信息——版图就是带有尺寸信息的棒图。我们通过反相器、二输入“与非”门和二输入“或非”门的实例来说明这一技术。

图 11-3 给出了一个反相器的原理图，其右侧是反相器的棒图。棒图中有两条较宽的水平线，代表着下部的 n 型扩散区和上部的 p 型扩散区。中间的垂直线代表输入 A 连接的多晶硅栅，细线代表金属层 1，而输出的信号线是连接输出 B 的较细的水平线。×号代表连接金属层 1 和晶体管衬底硅的扩散区

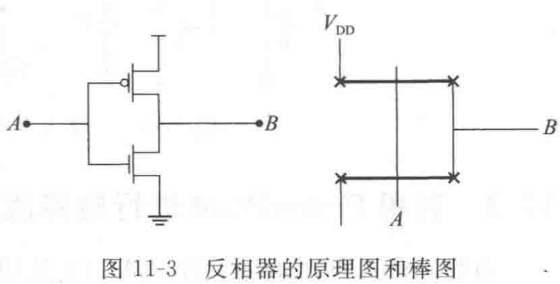


图 11-3　反相器的原理图和棒图

的接触孔。当多晶硅和扩散区相交时就形成了一个晶体管，故 pMOS 晶体管位于上面的交点，而 nMOS 晶体管位于下面的交点。pMOS 晶体管的源极连接着 V_{DD}，nMOS 晶体管的源极连接着 GND。两个晶体管的漏极连接着金属层 1 的接触孔，构成了输出 B。

图 11-4 给出了二输入“与非”门原理图和棒图。在原理图和棒图中，这一逻辑门中均有两个并联的 pMOS 晶体管。多晶硅输入 A 和输入 B 已经标注在图中。输出信号线由 pMOS 晶体管和 nMOS 晶体管相连的漏端引出，在多晶硅栅线的尾部，两个 pMOS 晶体管的源极连接在一起。我们可以将 V_{DD} 电源线放在两个 pMOS 晶体管的中间，从多晶硅区域的端点引出信号线。然而，信号线如果从多晶硅的中间引出，将使得金属长度更短，从而减少信号线的电容。电源线和地线的电容是有益的，因为它将有助于缓冲电源环上电平的瞬态变化。

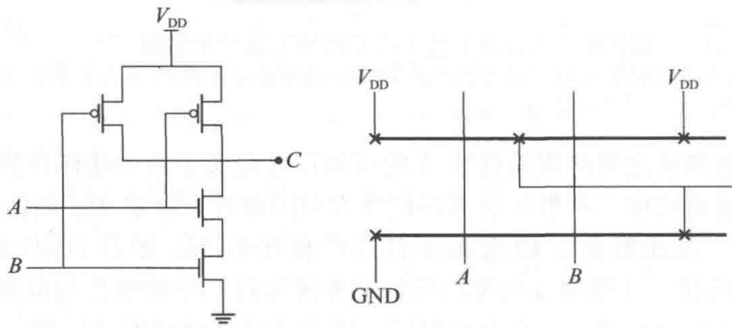


图 11-4　二输入“与非”门的原理图和棒图

两个 nMOS 晶体管在原理图中以串联方式连接，在棒图中也同样是串联的。地线 GND 的接触孔连接着下部扩散区的粗线的一端，而信号输出 C 则连在另外一端。请注意串联的一对 nMOS 晶体管中其中一个晶体管的漏极和另一个晶体管的源极是如何共享一个 n 型扩散区的。这是一个标准的晶体管串联的惯例。

在二输入“或非”门的原理图和棒图中，有两个 pMOS 晶体管串联(图 11-5)，它们共享同一个 p 型扩散区。电源 V_{DD} 连接在上部代表扩散区的粗线的一端，而信号的输出 C 则连在另外一端。两个 nMOS 晶体管并联，输出信号线从它们相连的漏极引出，它们的源极则在多晶硅线的两端分别与地线 GND 连接。再次强调，我们可以把地线放在两个 nMOS 晶体管的中间，从多晶硅线的端点引出信号线，但在图 11-5 中，信号金属线更短，因而减少了信号线驱动的电容。

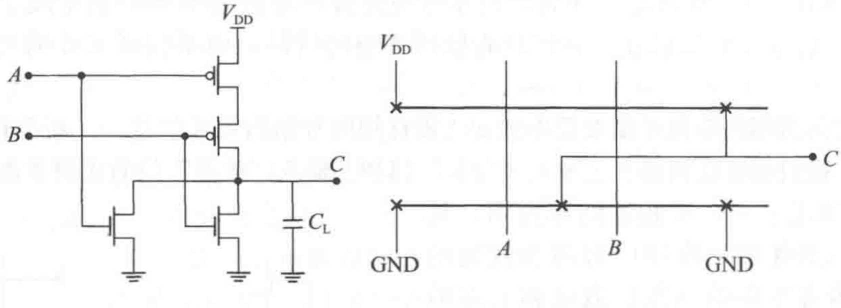


图 11-5　二输入“或非”门的原理图和棒图

11.3　利用 PowerPoint 进行电路版图布局

有特别的计算机辅助设计(CAD)工具用来呈现版图。Tanner Tools (L-Edit、Ureyama)、

MAGIC(加州大学伯克利分校)、Mentor Graphics 和 Cadence 是工业界和高校中由晶体管原理图设计掩模图案常用的四种 CAD 工具。这些工具具备记忆设计规则错误检查的机制的特性，极大程度上把工程师们从测量所有结构之间的几何间距的单调乏味的工作中解放出来。尽管这些工具很高效，但有些工具需要花费大量的学习时间，占据本科课堂时间的很大一部分。此外，没有任何一种工具被所有大学普遍接受，而且随着时间的推移，这些工具可能会消失。

因此，我们找到了一个权宜之计，即使用 Microsoft Office PowerPoint 作为版图设计工具。其操作指令迅速，使用范围广泛，而且它还具有实现简单的逻辑门彩色的版图的能力。它没有设计规则检查工具，但这是个优势，可帮助初学者准确理解设计规则意味着什么。由于电路变得越来越复杂，手工设计规则检查从数值上变得不可能，所以我们必须使用特殊的 CAD 工具。

之后我们将介绍画 CMOS 反相器版图的技巧。这一过程需要使用晶体管级原理图、晶体管的宽长比 W/L、棒图和棒图转换的物理布局的电路视图。不同颜色的矩形代表 n 阱、p 型或 n 型扩散区、多晶硅栅、金属层 1 和接触孔。我们将展示如何重新使用标准 CMOS 反相器、“与非”门和“或非”门的版图，在不必重新绘制标准逻辑门电路的情况下来构造更多更复杂的门电路。

317 ~ 321

11.4 设计规则和最小间距

反相器一部分组件的版图的设计流程将展示设计规则和晶体管尺寸的要求是如何融入最终的版图中的。首先我们将布局 pMOS 晶体管，接着是 nMOS 晶体管，然后是将两种晶体管集成在一个共同的多晶硅栅下，最后增加多晶硅接触孔和金属线。反相器将遵循表 11-1列出的设计规则。

表 11-1 列出了一系列 2μm 线宽、单层金属和 n 阱工艺下的 CMOS 管设计规则。“有源区”指的是 p 型或 n 型杂质注入的区域。尽管 2μm 和现在我们通常使用的栅的尺寸相比大很多，但是 2μm 工艺设计规则给出了整数数值，使得我们绘制的版图略微容易检查一些。这些原则在更小线宽的纳米尺度的工艺下仍然相似，整数的数值使得本章节之后的手工版图操作的处理更容易一些。

表 11-1 2μm 设计规则

编号	设计规则描述	设计规则
1	p 型有源区的 n 阱包络宽度	5μm
2	n 阱到 p 型有源区距离	3μm
3	n 阱到 n 型有源区距离	5μm
4	n 阱宽度	5μm
5	n 阱到 n 阱间距	5μm
6	有源区宽度	3μm
7	有源区到同型有源区间距	3μm
8	有源区到反型有源区间距	5μm
9	多晶硅宽度	2μm
10	多晶硅到多晶硅距离	2μm
11	多晶硅到有源区距离	1μm
12	栅到栅距离	4μm
13	多晶硅“间隔大小(endcap)”	2μm

（续）

编号	设计规则描述	设计规则
14	接触孔宽度	2μm
15	接触孔到接触孔距离	4μm
16	有源区接触孔包络宽度	1μm
17	多晶硅接触孔包络宽度	2μm
18	多晶硅接触孔到有源区距离	3μm
19	有源区接触孔到多晶硅距离	2μm
20	金属层 1 宽度	2μm
21	金属层 1 到金属层 1 距离	3μm
22	金属层 1 的包络宽度	1μm

322

设计和制造工程师必须阅读版图并将其转化为晶体管和它们所组成的逻辑门。图 11-6 表示了一个反相器的棒图，它将按照 n 阱工艺中最小的设计规则间距被转化为版图。反相器中晶体管的尺寸已经在原理图中标出。

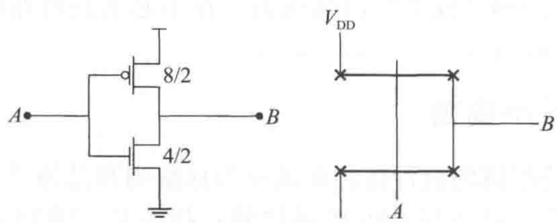


图 11-6 反相器的晶体管尺寸和棒图

11.5 CMOS 反相器的版图布局

11.5.1 pMOS 晶体管的版图

我们在 PowerPoint 中如何度量 2μm 或 8μm 的长度？我们可以令幻灯片中的 1in 代表 1μm，但是这样会使得版图的面积比纸面的面积还要大，而用 0.1in 代表 1μm 的比例尺在 PowerPoint 中是可行的。

在 PowerPoint 中确定尺寸和检查间距有三种方法。

1）在 PowerPoint 中你可以指定一个矩形框的尺寸。选中矩形框然后选择显示屏上方菜单栏中的“格式”选项卡，单击下拉菜单底部的“自动尺寸”命令，然后选择尺寸，你也可以在方框中输入精确的尺寸。这种方法对于扩散区、多晶硅栅、接触孔、金属或任意形状的图形都适用。

2）采用 PowerPoint 中的“显示标尺”的功能，这样所有的尺寸都可以用软件中最小的标尺单元度量。若令每个标尺刻度代表 1μm，则 p 扩散区的宽度就是 8μm 或者 8 个标尺刻度长，如果你的 PowerPoint 软件没有“显示标尺”的功能，那么这种方法就没用了。

3）另外一种方法是通过校准的正方形来定标设计规则中的尺寸。例如，可以画出四个边长分别为 1μm、2μm、3μm 和 5μm 的正方形。这里令 PowerPoint 中的 0.1in 代表 1μm。这些校准正方形可以通过鼠标拖曳放置在版图的任意位置，以比较尺寸(是否满足设计规则)。在实际操作中，这是一种对于简单电路较为方便的技巧。

图 11-7 画出了一个具有 n 阱、p 型扩散区、多晶硅栅、接触孔和通过金属层 1 连接到

323

电源 V_{DD}的 pMOS 晶体管。其尺寸和间距依据设计规则要求的版图最小尺寸绘制。代表 p

扩散区的矩形被首先绘制，其垂直长度是 pMOS 晶体管沟道的宽度 8μm。最终的 pMOS 晶体管版图有两个接触孔，其中一个通过金属层 1 连接到 V_{DD}。除了打开一个 PowerPoint 文档之外，我们还要根据设计文件的描述来绘制这些结构，利用这四个校准正方形来保证遵循设计规则。

绘制出一个 pMOS 晶体管的版图的过程如下(图 11-7)。

1）绘制 p 型扩散的有源区，其高度是 8μm，宽度大约是高度的 2 倍。我们将稍后调整有源区的宽度。使用填充命令将 p 型扩散区用褐色标记。

2）在 p 型扩散区的左侧插入一个接触孔，接触孔的尺寸是 2μm×2μm(设计规则 14)。设计规则 16 指出，p 型扩散的有源区必须包括，或者说，是覆盖到接触孔之外至少 1μm。将接触孔放在 p 型扩散区垂直方向的中点上，并距离左侧边沿 1μm。利用校准正方形检查你的设计规则。请确定将“对齐到网格线”命令处于关闭状态，否则无法平滑地控制校准正方形的位置。

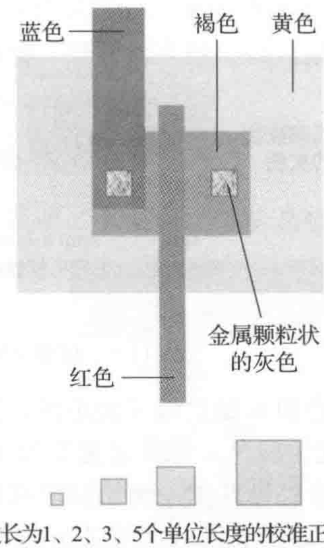


图 11-7 pMOS 晶体管的彩色填充的版图

注：其中多晶硅为红色，p 型扩散区为褐色，n 阱为黄色，金属层 1 为蓝色，接触孔为金属颗粒状的灰色。

3）设计规则 19 给出，多晶硅栅至少要距离接触孔 2μm。画一条垂直方向的多晶硅线，其水平方向的宽度为 2μm(设计规则 9)，然后移动，使得多晶硅线的上边沿超出 p 型扩散区上边沿之上 2μm(“间隔大小”，设计规则 13)。用红色填充多晶硅。将多晶硅线放置在距离右侧的晶体管源极接触孔边沿 2μm 处，拖拽多晶硅线的底部，使之延长到超过 p 型扩散区下边沿之下任意长度处。

4）将漏极的接触孔放置在距多晶硅右侧边沿 2μm 处(设计规则 19)，然后将 p 型扩散区拉伸，以覆盖接触孔，并超出接触孔边沿 1μm。将接触孔用指定的纹理“金属灰颗粒”填充图形。

5）从 pMOS 晶体管的接触孔开始，画一条代表金属层 1 的垂直线，向上延伸至比 p 型扩散区顶部高出一定长度，大约 6μm。这部分金属之后将要连接到金属层 1 的电源线 V_{DD}。金属层 1 必须覆盖(或者说包括)接触孔，超出其边沿 1μm(设计规则 22)。

6）在 p 型扩散区之外画一个 n 阱，它必须延展到超出 p 型扩散区边沿约 5μm(设计规则 1)。

如果你不在矩形四周设置轮廓线，那么你的版图看上去会显得更清晰。不过，接触孔四周的轮廓线可以加得清楚一点。请注意我们填充的颜色不是标准的，一些特别的版图设计工具的颜色填充方案将有所不同。当然，这不是重要的事情。

11.5.2 重温 pMOS 晶体管版图的设计规则

版图的设计流程将强化前述这些设计规则中的重点。图 11-8 展示了 pMOS 晶体管版图演化中的三步。左边第一幅图表示接触孔被放置在 p 型扩散区中，第二幅图表示的是多晶硅线的加入及其设计规则，第三幅图表示加入的金属层 1 连接到晶体管源极的接触孔上。与之相关的设计规则间隔已经标出。

11.5.3 nMOS 晶体管版图

图 11-9 给出了一个由图 11-6 所示的棒图得到的 nMOS 晶体管的版图。版图中画出了多晶硅栅线(红色)、n 型扩散区(绿色)和连接源极和地线 GND 的金属线(蓝色)。

绘制出一个 nMOS 晶体管的版图的过程如下(图 11-9)。

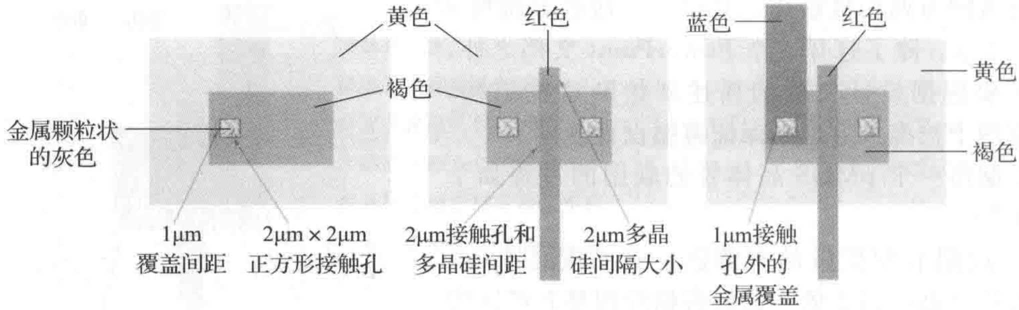


图 11-8 图解 pMOS 晶体管版图绘制步骤中遵循的设计规则

324 ~ 325

1）绘制 n 型扩散区的矩形，其垂直高度为 4μm，等于晶体管的沟道宽度。将 n 型扩散区填充为绿色，并使之宽度为 4μm(即在图中的宽度是 0.4in)。

2）在扩散区的左侧绘制源极的接触孔，要遵循和 pMOS 晶体管同样的接触孔尺寸设计规则，接触孔的尺寸是 2μm×2μm(设计规则 14)。

3）画一条 2μm 宽度的多晶硅栅线，向下延展到超出 n 型扩散区底部 2μm 处(设计规则 13)。

4）在距多晶硅线右边缘右侧 2μm 处加入 2μm 宽度的接触孔(设计规则 14、19)。

5）绘制金属层 1，要求覆盖源极的接触孔，并超出其边缘 1μm(设计规则 22)。将金属线区域延伸到下部，并画一条水平方向的地线 GND。GND 和 V_{DD} 两条线通常比最小宽度的信号线宽很多，因为电源线需要承载更多的电流。在这些例子中，绘制 V_{DD} 和 GND 两条线的宽度是任意的。

11.5.4 将晶体管合并到共同的多晶硅栅下

pMOS 晶体管和 nMOS 晶体管漏区的扩散区有着相同的水平尺寸，可以排成一行(图 11-10)。这使得拉下一条竖直的金属线来连接两个漏极的接触孔更为容易。这部分版图可以由之前 pMOS 晶体管和 nMOS 晶体管的两个版图中的多晶硅栅连线连成一线组成。



图 11-9 nMOS 晶体管的版图

注：带有源-漏端的接触孔、多晶硅栅和金属层 1 的地线 GND；晶体管的宽长比 $W/L=4\mu m/2\mu m$。

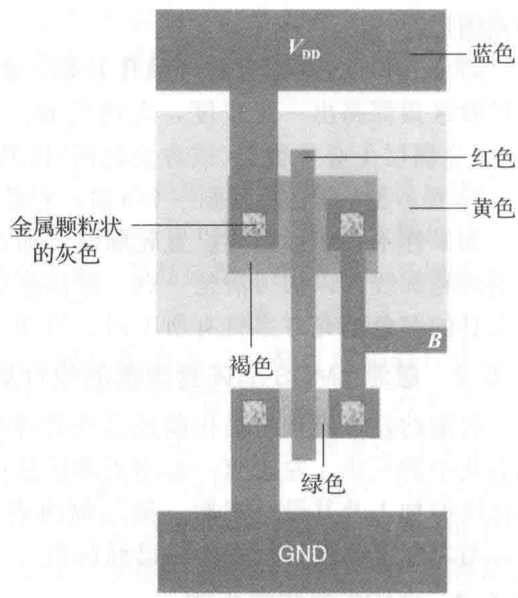


图 11-10 带有合并的多晶硅栅、输出结点(B)、金属层 1 的 V_{DD} 和 GND 线的 nMOS 晶体管和 pMOS 晶体管的版图

删除其中一个晶体管中的多晶硅线，将另一个晶体管中的多晶硅栅延伸，便可得出一条连续的连接两个晶体管的多晶硅栅。n 阱必须至少距离 n 型有源区 5μm(设计规则 3)。连接到结点 B 的金属层 1 的信号线较细，以减少金属线上的电容。这条线上的电流密度同本例中已被任意地加粗的 V_{DD}和 GND 两条线相比很小。 326

11.6 根据设计规则最小间距绘制完整的 CMOS 反相器

下一步加入多晶硅栅接触孔(图 11-11)。设计规则 17 说明，多晶硅包络多晶硅接触孔外围的宽度至少有 2μm。对于金属线，则必须有 1μm 的外围宽度(设计规则 22)。接触孔附近的多晶硅必须离开临近的有源区(p 型扩散区)至少 1μm(设计规则 11)，事实上在版图中这个距离实际上有 2μm。

多晶硅输入线 A 从版图左侧边沿引入版图。另一种不同的版图风格是将垂直的多晶硅栅延展，并从上方跨过 V_{DD}和 GND 两条线，这种方法驱动沟道区域之上和逻辑门之下的信号走线通常会更有效。多晶硅接触孔亦可以用根据设计连接的版图布局方式构造。这两种方式都很有用。

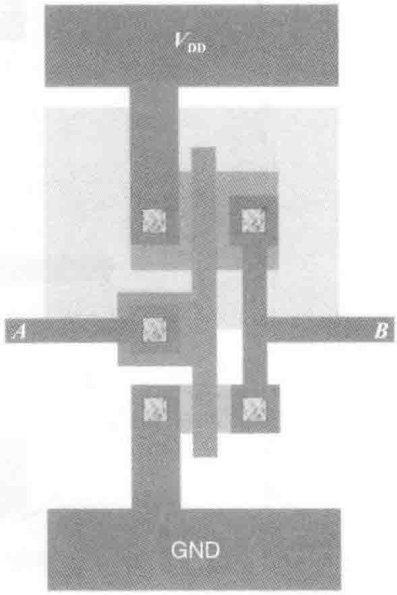


图 11-11 完成的反相器版图 327

你应当向下遍历表 11-1 所示设计规则列表，并利用校准正方形来检查间距是否满足要求。如果版图设计中有一个违背设计规则的地方，那么这一设计规则冲突可能会导致集成电路失效，或者严重受损。违背设计规则的地方必须被修正，这种修正意味着制作一个新的掩模板，并将设计送入另外一个新的制造流程。这在制造掩模所耗费的资金、工程劳动和上市的延迟时间等方面的代价都是昂贵的。工业界所谓的设计成功，指的就是“第一次流片、第二次流片、第三次流片……再不成功就因上市推迟太久而取消项目”。

11.7 多输入逻辑门的版图

从反相器的版图到多输入逻辑门，又递增了一步。主要增加的内容是附加更多的多晶硅栅输入线，以及晶体管合并或者说是共享共同的扩散区域。附加的多晶硅输入线需要更多的设计规则。

二输入“与非”门的版图

给出的二输入“与非”门原理图和棒图提供了布局二输入“与非”门版图的初步信息。通过复制和延展之前的反相器版图来构造二输入“与非”门的版图是最容易的(图 11-12)。

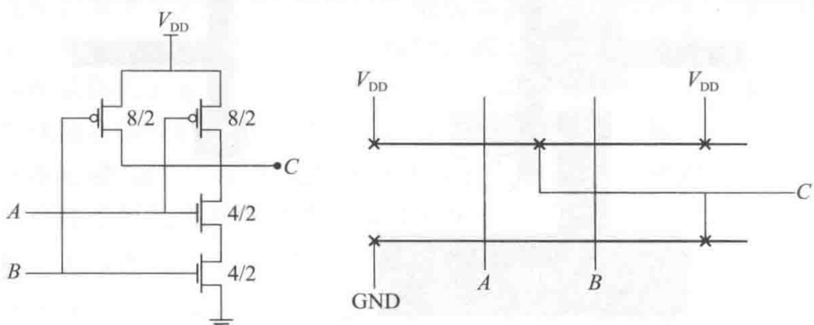


图 11-12 二输入“与非”门的原理图和棒图

表 11-2 再次提供了 2μm 工艺的设计规则，这样当我们采用多输入逻辑门版图的设计流程时可以减少往回翻页的次数。二输入“与非”门的版图将在之前的反相器版图的基础上构造，从而减小工作量。

表 11-2　2μm 设计规则(复制自表 11-1)

编号	设计规则描述	设计规则
1	p 型有源区的 n 阱包络宽度	5μm
2	n 阱到 p 型有源区距离	3μm
3	n 阱到 n 型有源区距离	5μm
4	n 阱宽度	5μm
5	n 阱到 n 阱间距	5μm
6	有源区宽度	3μm
7	有源区到同型有源区间距	3μm
8	有源区到反型有源区间距	5μm
9	多晶硅宽度	2μm
10	多晶硅到多晶硅距离	2μm
11	多晶硅到有源区距离	1μm
12	栅到栅距离	4μm
13	多晶硅“间隔大小(endcap)”	2μm
14	接触孔宽度	2μm
15	接触孔到接触孔距离	4μm
16	有源区接触孔包络宽度	1μm
17	多晶硅接触孔包络宽度	2μm
18	多晶硅接触孔到有源区距离	3μm
19	有源区接触孔到多晶硅距离	2μm
20	金属层 1 宽度	2μm
21	金属层 1 到金属层 1 距离	3μm
22	金属层 1 的包络宽度	1μm

328~329

图 11-13 给出了一个反相器的版图，其中晶体管漏极的输出所连接的金属层 1 及接触孔被选中并拖出了电路。栅的版图仅供驱动输入 A 的晶体管。p 扩散区和 n 扩散区必须被加

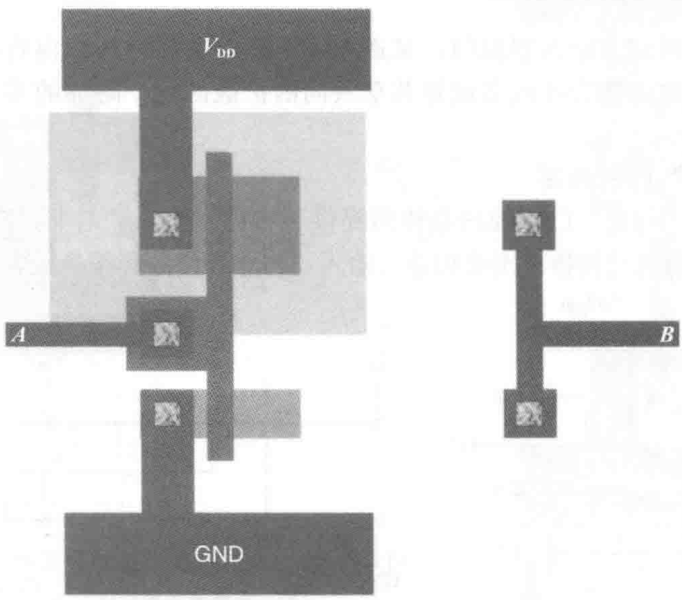


图 11-13　反相器，其漏端输出和右侧金属线及接触孔已被从电路中单独拖到右侧

宽以容纳第二个多晶硅的输入线和 p 扩散区中央的接触孔。多晶硅到多晶硅的间距最小值是 2μm(设计规则 10)。实际的间距是 8μm，因为其间有一对 pMOS 晶体管共享的接触孔。

图 11-14 给出了一个加入了第二条多晶硅输入线后的完整的二输入“与非”门的版图。版图中有中间共享的 pMOS 晶体管的漏极和接触孔，以及新连接到 V_{DD} 和 GND 的金属层一1，还有输出 C 端。版图遵循了二输入“与非”门的棒图的设计。这些新产生的间距尺寸中执行表 11-2 中的设计规则。

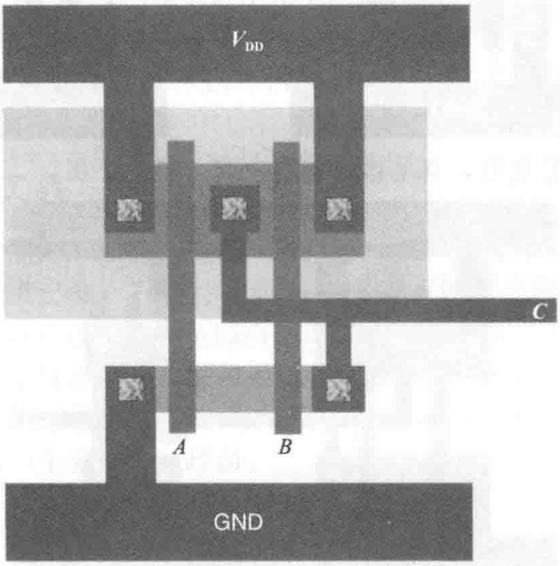


图 11-14　完成后的二输入“与非”门的版图

自测 11-1

画出二输入“或非”门的原理图、棒图和版图。使用表 11-2 中的设计规则，并使电源(和地)线的高度和宽度与之前的版图保持一致。

自测 11-2

若表 11-2 中，n 型扩散区的最小高度设计规则由 4μm 改为 3μm，对电路有何影响?

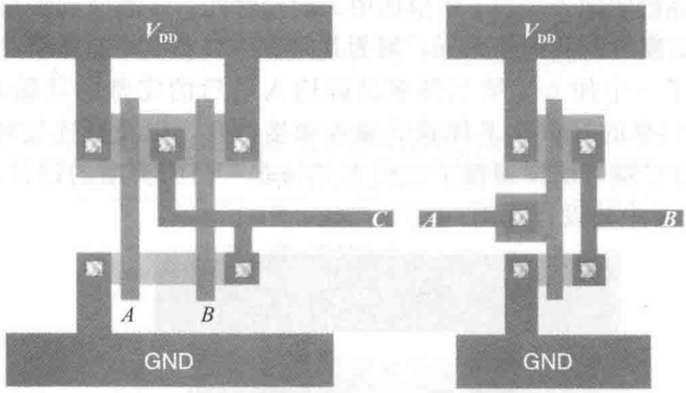
11.8　合并逻辑门标准单元版图

反相器、二输入“与非”门和二输入“或非”门可以直接用作其他更复杂函数的构建模块，而无需重画这些基本逻辑门的版图。在集成电路语言中，这些基本逻辑门的版图被叫做“标准单元”(standard cell)。例如，一个二输入“与”门的版图可以由一个二输入“与非”门的版图和一个反相器的版图串接构成(见例 11-1)。由于我们将两根电源轨线预留到相同的高度、宽度和间距，这些单元将会很容易地级联在一起。我们说这些电源轨线在同一高度上。我们将确定尺寸的整个过程留待以后再做，以使得这些基本单元连在一起更为容易。这些晶体管的宽长比 W/L 还不是为了满足最坏情况下电平上升或下降的最大跳变时间的最优值，但我们用它最简单的形式来表达。一个二输入“与”门的例子将会证明它。图中多晶硅输入线 A 和 B 是垂直而未连接的。通常，它们可能会由电源线上下两侧引出，并允许在主版图之外的通道区域简单互连。

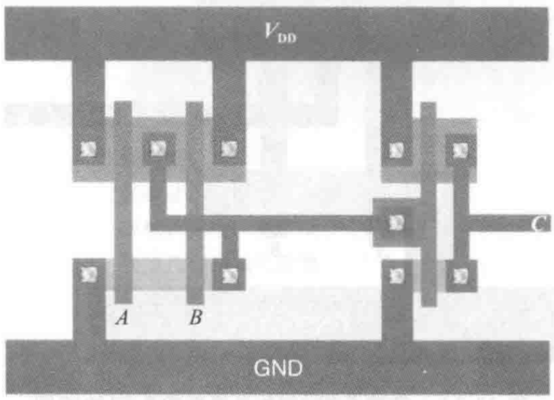
330~331

例 11-1 利用级联的二输入“与非”门和反相器的棒图，画出二输入“与”门的棒图。其中 pMOS 晶体管和 nMOS 晶体管的宽长比 W/L 分别为 8/2 和 4/2。

解： 首先复制和对齐两个基本电路单元的版图，如下图所示：



然后注意所有的设计规则，将电路连接在一起。得到下图：

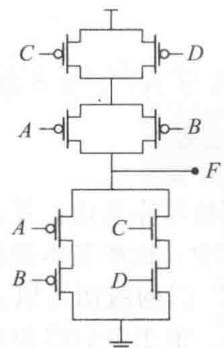


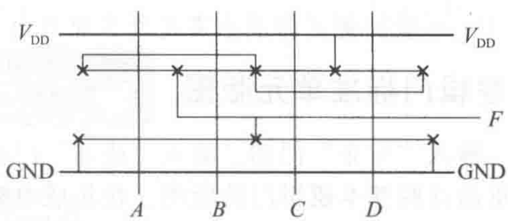
332

例 11-2 根据以下给出的棒图，写出电路的布尔方程，并画出晶体管级原理图。注意到 GND 和 V_{DD} 线已经被画出。

解：

$$F=\overline{(AB)+(CD)}$$





自测 11-3

画出二输入“异或”门的晶体管级原理图、棒图和版图。使用表 11-2 给出的设计规则，并使电源轨线的宽度和高度与之前的版图保持一致。

11.9 更多关于版图的内容

版图的基本问题是：版图是什么？版图的设计规则是什么？如何给出代表着数层光刻掩模的设计视图？如何从版图中反推出一幅原理图？由于反相器、“与非”门、“或非”门和其他逻辑门是如此的常用，因而当许多数以百万计的逻辑门被使用时，那些基础的可重复使用的电路单元的版图就很有意义。若单独画一个包括成千上万的逻辑门的版图，只能

意味着终止这个项目。对于所有尺寸的芯片，自动化组合逻辑门和互连线将使得其上市时间更短。因此常用的方法是小心地布局出单个逻辑门的版图，然后把它们复制到电路中。这同样可以让计算机快速组合出设计方案。

尽管标准单元对于快速设计现代集成电路是不可或缺的，它们同样也有不足。单个的晶体管的尺寸调整不便，难以优化上升、下降时间和版图面积。因此，手工调整设计中特定的需要高速数据计算的部分是常用的方法。算术逻辑单元就是一个这样的例子。手工调整的版图称为自定制版图，其目的在于最小化电路面积(和负载电容)，以及快速优化调整晶体管的尺寸。就像制作标准逻辑门版图一样，工业界很快转而关注制作更大的标准宏单元(macro cell)。实际的微处理器设计就可供我们使用，并且可以作为标准单元被导入，作为更大规模的版图设计的一部分。

333

11.10　版图 CAD 工具

自动设计规则检查是一个标准的版图功能。由于每个图形的 Oxy 坐标系和每个矩形(或者多边形)的材料种类已知，一台计算机可以度量不同层之间或者同一层内的元件间距。计算机可以在不同掩模层的坐标范围内做逻辑“与”运算，也可以检测晶体管、接触孔和金属线的存在。一个特定的扩散层和多晶硅层的“与”运算，能够确定晶体管的位置和种类。这种基于计算机的技术叫作“电路提取”(circuit extraction)。计算机利用这些提取的特性，可以画出一个完整的原理图。

11.11　小结

设计者们需要用到版图和设计规则，尤其是当发生设计规则冲突时。设计者可能想要通过违背设计规则来提高电路的性能，但是这样需要极其慎重。本章使用的 PowerPoint 工具是教学所用的。在实际实践中，CAD 工具可以让设计更加简便。CAD 可以减少手工制图的单调乏味，另外，手工绘制版图更容易出错。不过，在这里所完成的基本版图应该能让你深刻了解几何形状对实际晶体管构造的作用，并且能够增进你对设计规则的认识和关注。

334

第12章 芯片是如何制作的

总有一天，我们会达到计算机技术所能达到的极限，但我们现在不能盲目下结论，因为它在五年之内显得非常愚蠢。

——John von Neuman

芯片的制造是一系列包括化学、物理和光刻操作在内的复杂的工序。集成电路生产工厂的工程师必须知道这些基本的操作和它们的术语。当制成的芯片返回到设计者手中时，他们通常必须费很大的工夫定位(调试)设计中的错误，而制造过程中出现的问题常会带来麻烦。

第11章绘制版图的过程和芯片的生产密切相关。一个CMOS电路需要为阱、扩散区(包括漏和源)、多晶硅栅、接触孔、通孔和金属互连线提供不同的版图图形。电路中的每一层都有其独特的矩形形状，都对应一层实际的掩模板，它是芯片制造中光刻工艺的核心。

集成电路制造将一系列子处理过程的方法融会贯通，形成其制造的整体过程。这之中有我们不会去尝试的成千上万的细节。我们的学习目标是大致了解制造过程主要方法，以及了解它们将如何应用于整个过程中。整体过程的初步纵览之后是主要步骤的描述。作为本书的结束章节，我们将看一个CMOS反相器的制造实例。

本章没有习题或例题，我们的目标是定性描述。关于芯片制造的研究生课程和更高级的本科生课程将更完善地帮助读者对这些内容加以了解。芯片生产经常指的是芯片制造(fabrication，也可简称fab)，有时候指的是集成电路的工艺。具备这些工艺的工厂是集成电路制造工厂(foundry)。

集成电路的工艺流程多年内保持了相当稳定的状态。不过，在2000年左右，随着技术结点缩小到130nm甚至更小，制造材料和设备都发生了重大变化。可以预见到，当纳米级工艺实现22nm、15nm乃至11nm等目标后，亦会出现重大的技术变革。

335

我们所面对的挑战，是要去理解小到1～2cm见方的硅片上是如何集成数以亿计的晶体管和总长度达数英里的金属互连线的。我们的目标是透彻理解整体的知识体系，而不要总是想着过多的细节。这将有助于更好地理解版图、互连线和CMOS晶体管逻辑门电路。

12.1 集成电路制造概览

一个制造过程通常始于一块直径200mm或300mm、厚500μm的硅晶圆片。这硅片常常是n型或者p型注入的单晶硅片。在随后的工艺过程中，一片硅圆片上将会制作出数百到数千个独立的电路芯片。每块芯片可能包括亿万个晶体管。一系列反复的光刻操作将图像转印到硅圆片上，它们将会变成电路中的阱、扩散区(源极或漏极)、薄的氧化层、多晶硅栅、接触孔、通孔和金属层等。二氧化硅和氮化硅是隔离电压结点或线条的电介质，为芯片提供机械保护，并与空气中腐蚀性的分子或原子绝缘，并且也是支持其他结构的重要组成部分。二氧化硅和氮化硅在制造过程中，在阻挡确定的掺杂剂被注入到错误的区域方面扮演着关键角色。

那些通过硅晶圆片测试的芯片被金刚石锯切割，然后封装为集成电路后又再次测试。封装和测试的过程耗费时间，复杂而昂贵。一些现代大型集成电路制造厂会在测试上投入50%的生产经费。测试必须保证集成电路满足客户期望的指标，同时也是保证集成电路没有缺陷的方法之一，这些缺陷可能是前面测试中没有发现的，甚至可能让厂商失信于业内。

12.2　硅晶圆片的制备

我们非常幸运，因为制造集成电路的硅材料非常丰富：硅是地壳中第二丰富的元素，其含量达到27%。它是从沙滩的沙子二氧化硅中提取出来的。硅从二氧化硅中分解出来，并聚集为多晶硅晶体。这些小颗粒的硅晶体聚集成的多晶硅，被倒入一个加热到高于硅熔点(1425℃)的容器中。将小的籽晶沉入熔融的硅浴中，便可拉出较大块的单晶硅。当籽晶旋转和缓慢提拉出熔融的硅中时，通常会加入p型或n型的掺杂剂，以开始改造晶体的电学性能。最终产生的灰色圆柱形硅结晶称为硅锭(图12-1)。拉出硅晶体的过程会耗时一周到一个月。更大直径的晶锭质量可达几百磅。

之后，硅锭被机械磨圆，使之达到一致的直径，然后被金刚石锯切为厚度小于1mm的薄片(图12-2)。硅圆片必须浑圆而光滑，并需要重新加热退火，以重构被刀锯损伤的晶体结构。被掺杂了的硅片被送到客户手中，以保证其中尽可能没有其他结晶物或污染物。这一步很关键。

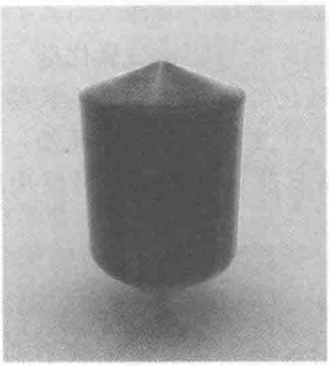


图12-1　硅锭照片(Intel公司授权转载)

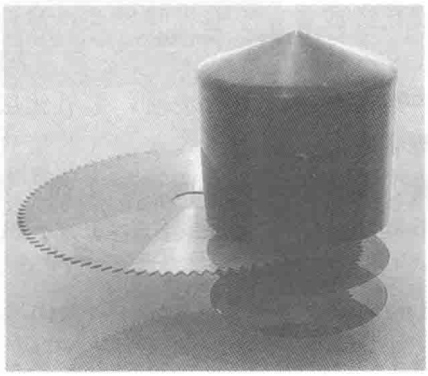


图12-2　硅锭，及金刚石锯将硅锭切成硅晶片的示意图(经Intel公司授权转载)

12.3　生产线的前端和后端

两段不同的过程将一片芯片从硅圆片层级加工成包括所有晶体管和互连线的管芯层级。第一段过程叫作生产线前端(Front Of Line，FOL)工艺过程，第二段则叫作生产线后端(Back Of Line，BOL)工艺过程。前端指的是晶体管的构造，在晶体管制造完成后，后端过程始于金属接触孔和金属层的操作。许多前后端工艺流程都是通用的，并且在整个生产过程中不断重复。

336
~
337

我们将介绍八个集成电路生产中通用的主要操作，其中许多都是重复性的操作。

1) 硅的氧化。

2) 光刻。

3) 蚀刻。

4) 沉积-扩散，化学气相沉积和离子注入。

5）清洁和安全性操作。

6）金属工艺。

7）层间绝缘和最终钝化。

8）封装。

每一步操作都有许多子操作，但我们可以通过避免过多的细节，来更好地达到学习目的。集成电路制造有许多独特的特性。介电材料(二氧化硅和氮化硅)在硅圆片表面生长，通常在一张由掩模选择的区域中将它们腐蚀掉。我们把某种材料覆盖到硅圆片的表面的操作称为沉积。诸如砷、硼、磷这些元素的原子被加入到硅片的表面下的操作称为注入。有时候，这两种过程会合并，譬如，若氧气覆盖到二氧化硅的表面，在升高的温度下，扩散可使得氧分子在表面下同未暴露在氧气中的硅原子反应。

12.4 生产线前端工艺技术

12.4.1 硅的氧化

第一步通常是在硅圆片的表面生长一层很薄的，大约1μm厚的二氧化硅介电层。二氧化硅有三个作用：一是二氧化硅作为电绝缘材料，可将器件与金属互连线分离，并为金属层提供物理支持，还可使晶体管彼此之间形成电气隔离；二是二氧化硅可以用作晶体管栅极的薄氧化层；三是二氧化硅可以掩蔽注入的离子，使之进入硅片表面确定的区域内，我们可以利用这部分二氧化硅阻挡某些掺杂剂和金属原子的进入。我们的制造工艺可以生长二氧化硅或者在制造过程中选择性地去除它们。

在900～1200℃的温度下，氧气通到硅片表面，可在其表面形成二氧化硅。若为干氧氛围，则二氧化硅生长缓慢，但氧化层质量较好。干法氧化可在晶体管上生长厚度较为精确的薄氧化层。若为掺入水蒸气的氧气，则氧化层生长更快更厚，但体积疏松，厚度也不够精确。生长更厚且厚度要求不高、用于芯片上电气隔离部分的场氧，可使用湿氧氧化法。干氧和湿氧氧化反应的化学方程式分别为：

$$\mathrm{Si} + \mathrm{O_2} \rightarrow \mathrm{SiO_2}$$

$$\mathrm{Si} + 2\mathrm{H_2O} \rightarrow \mathrm{SiO_2} + 2\mathrm{H_2}$$

由于二氧化硅在硅片表面上形成，因此硅原子和氧分子的后续反应依赖于氧分子在已经形成的氧化层中扩散，并达到氧化层底部纯净的硅原子表面。二氧化硅比硅的原子体密度要大，因此氧化层会从原来的表面上隆起一些。

338

概括地讲，最初的处理步骤中，整个硅片上生长了厚度大约1μm的薄氧化层。下一步我们将去除特定的区域中的氧化层，使得它下面的纯净的硅暴露出来，掺杂材料可以注入到这些区域，形成p阱或n阱。而由于氧化层对掺杂原子的掩蔽特性，那些1μm的氧化层区域之下的硅受到保护，不会被掺杂剂注入。

12.4.2 光刻

维基百科——基于互联网的自由的百科全书(http://en.wikipedia.org)提供了一种对光刻的较好的描述。

“光刻”(photolithography，也叫optical lithography)是一种微米制造中使用的工艺步骤，以选择性去除表面薄膜(或大块衬底)。它使用光将几何图形从光学掩模转移到衬底的感光化学物质(光刻胶，photoresist，或者简称为resist)上。一系列化学处理方法将把暴露在光照下图形转印到光刻胶下面覆盖着的材料上。在复杂的集成电路中，一片硅片可经历多达50次的光刻过程。

“光刻类似于传统印刷中的刻字印刷术，又和摄影术有共同的基本原理。这是因为光刻可以精确地控制它将要形成的图形的形状和尺寸，并且它可以在整个表面上瞬间产生图形。其主要缺陷在于，光刻工艺需要始于一个平整的表面，对于产生不平整的形状它将不太有效，并且需要极其洁净的工艺环境。”

图 12-3 所示的是一个具有五层金属的现代集成电路的斜视图。最上面几层的金属已被移除，仅剩底部两层金属层。图中可以看到垂直的通孔和接触孔。接触孔为长矩形条。通过定位晶体管栅极和扩散区(漏极和源极)的接触孔，可以确定晶体管的位置。右下方更宽的金属线是一条地线 GND，而上方较宽的线是电源线 V_{DD}。晶体管扩散区、阱和多晶硅栅区并不可见。光刻描述了这些高分辨率的物理几何图形是如何实现的，这些精细的结构是通过光刻制造的。

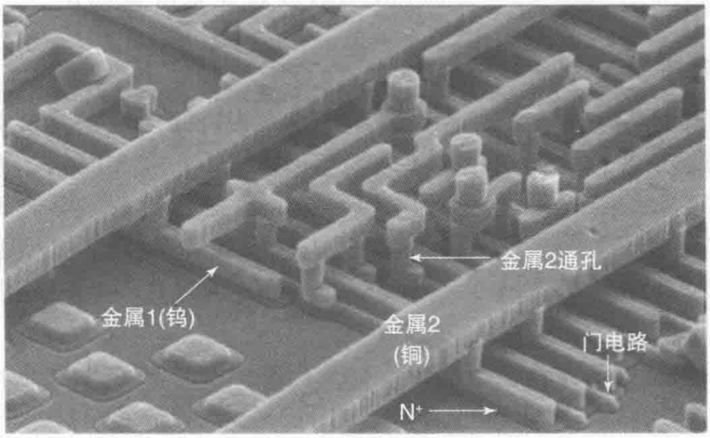


图 12-3　一个微处理器的底层金属互连线，图中有栅、漏和源上的接触孔(经 Chipworks 公司授权转载)

光刻和普通的摄影技术有相似之处。集成电路工厂利用了照相术的基本原理，并将照相术的分辨率延展到纳米尺度的电路中。金属线的线宽的尺度可小到 22nm 甚至更小的分辨率，这比可见光的最短波长 350nm 还要小，因此这些图形通过光学显微镜是观察不到的。

光刻过程通过光学掩模将线条尖锐的图形投射到芯片上，例如，这一图形可能定义电路中的 n 阱或 p 阱、漏区或者源区、薄的氧化层、多晶硅栅、接触孔和通孔，以及所有的上层金属互连线。我们可在第 11 章中看到这些电路版图的形状。光刻操作中，这些定义的几何图形逐个变为掩模，如果我们定义了 p 阱区域，并注入掺杂的硼，我们不希望硼注入到芯片的其他位置，同时定位注入硼的阱区和保护非阱区需要光刻胶这种材料。 339

光刻胶分为正性和负性两种。正性光刻胶在紫外光的照射下一些化学键将破裂，而负性光刻胶正好相反。光刻胶中化学键经紫外光弱化后，可用化学方法除去。正性光刻胶在制造更小尺度的现代集成电路有更好的特性，因此在我们的介绍中将使用正性光刻胶。掩模由玻璃或者石英制成，不透光的区域被镀上了铬。使用光刻胶的方法是将其滴在硅片上，然后通过高速旋转硅片来获得一层厚度为 1μm 的薄薄的胶膜。

光刻操作使用紫外光通过掩模辐照在覆盖在硅片的光刻胶上，并且在之后的一系列电路制造的工序中重复多次。n 阱和 p 阱、或厚或薄的氧化层、漏和源的扩散区、接触孔和通孔，还有所有的上层金属互连层均由这种基本的光刻工艺所构造，只是我们沉积的特定的原子有所不同。

12.4.3 蚀刻

光刻步骤的最后常常需要我们移除诸如二氧化硅或者氮化硅这样的介电材料。通常可通过使用高能的卤素气体轰击硅片表面干法蚀刻(dry etch)方法完成。这些卤素的组分常是氯或者氟，抑或是含氯或氟的化合物。这些含卤气体被导入一个射频腔中，腔中裸露的硅片已经接地。低压和13.56MHz的射频场的使用，使得源气体被转换成活化的自由基。这些自由基会蚀刻硅片上暴露着的目标区域的材料。

340

干法蚀刻是各向异性的，这意味着其蚀刻具有极强的方向性。在蚀刻剂的轰击下，材料中留下了蚀刻过程定义出的直上直下的几何区域。与这种蚀刻性质相对的是使用强酸或强碱等化学药品的湿法蚀刻。湿法蚀刻是各向同性的，因为这种蚀刻过程沿各个方向推进。对于今日的集成电路的小几何尺度的特性来说，这是无法接受的，因此干法蚀刻更常用一些。

12.4.4 沉积和离子注入

在光刻工艺之后，另一道步骤是将杂质原子植入相应的区域中，以构造掺杂了的晶体管。常用的沉积方法有扩散、离子注入和化学气相沉积等。在大面积、不需要精确尺寸的沉积时常常使用扩散法(diffusion)，例如在整个硅片表面生长一层厚的氧化层。离子注入(ion implantation)将离子加速打入硅片固实的表面中，并且可以注入到非常精确的深度中。化学气相沉积(Chemical Vapor Deposition，CVD)通过化学反应，将一层薄膜沉积在硅片表面。

化学气相沉积依靠的是多种分子和原子在升高的温度中在硅片表面的反应。具体的温度取决于反应物，但通常都在600℃到900℃之间。化学气相沉积材料的厚度有良好的一致性，而且其相对更低的处理温度减少了之前所引入的硅片中杂质原子的扩散。例如，若温度达到1000℃或以上，精确定位的较浅的漏、源区掺杂原子将发生相当明显的扩散过程。这将改变我们期许的最终的晶体管的电气性能。工艺工程师需要参考热预算(thermal budget)，它是一个在整个工艺过程中需要一直保持的温度-时间预算，以保证杂质原子不发生显著的扩散位移。化学气相沉积的工艺温度比扩散的工艺温度要低。

一个化学气相沉积沉积氮化硅的实例是使用了硅烷和氨气在800℃的温度下反应：

$$3SiH_4 + 4NH_3 \rightarrow Si_3N_4 + 12H_2$$

氮化硅将在材料表层形成，并且垂直生长。

另外一个使用硅烷的例子，是650℃下在纯净的硅表面进行化学气相沉积，以生长外延层：

$$SiH_4 \rightarrow Si + 2H_2$$

外延层是在衬底表面生长出的薄而掺杂了的硅单晶。外延层可以保护电路免遭一种叫作闩锁效应(latch up)的损伤机制的侵扰，它是一种电流不断变大以至失控的情况，可对电路形成非常严重的损害。

化学气相沉积非常灵活，它可以实现多种分子和原子在材料表面的沉积。表12-1给出了可进行化学气相沉积的材料中的其中几种。化学气相沉积也可以沉积金属。

表 12-1 化学气相沉积薄膜的材料

沉积薄膜	
硅(外延层)	Si
多晶硅	Si
二氧化硅	SiO_2
氮化硅	Si_3N_4

离子注入将原子在反应腔中转化为离子态，并将其加速射入硅衬底中。离子的碰撞能量和其质量决定了衬底中的平均注入深度，离子的通量(个/(cm^2 · s))

决定了注入到材料中离子的总量。离子注入在现代集成电路中的源漏、多晶硅栅掺杂、阈值调节以及在小几何尺寸电路中制造浅阱等方面占据主导地位。离子注入可实现准确的掺杂深度，并可控制注入离子的掺杂浓度。杂质浓度在注入深度处呈现高斯(Gauss)分布。重要的是，离子注入在低温下就可实现对杂质深度的良好控制。

离子注入是现代纳米尺度工艺中植入杂质更常用的技术。通常它使用二氧化硅或者氮化硅作为注入掩模。高能离子引入的边界效应是晶格损伤。一种恢复技术是利用快速热退火(Rapid Thermal Anneal，RTA)技术。快速热退火技术使用大功率的照射灯，在大约 20s 内将硅片迅速加热到大约 1000℃，在保持这一温度 1～2min 后，方可快速冷却。这些快速退火技术减少了暴露在高温中的扩散对之前注入原子的浓度分布的改变。

扩散是构成深阱(＞0.5μm)和形成漏-源结的主导工艺。如今的纳米级技术需要更精确的阱深度(＜300nm)以及源-漏结深(＜200nm)。但是各向同性的扩散以及缺乏精确的控制使得人们转向离子注入技术。扩散理论非常重要，因为它与一系列高温操作下离子注入的结中产生的不希望的重分布密切相关。固体中的动态扩散规律可以用费克(Fick)定律建模，它已经超出了这门课讨论的内容。不期望的扩散在生产过程中仍可能出现，它们必须被控制。由于预沉积扩散从高浓度的表面向深处进行，杂质浓度随深度变化而变化的曲线随着到表面距离的增加急剧下降，呈现高斯分布曲线一般的形态。

图 12-4 描绘了这些初步的操作。

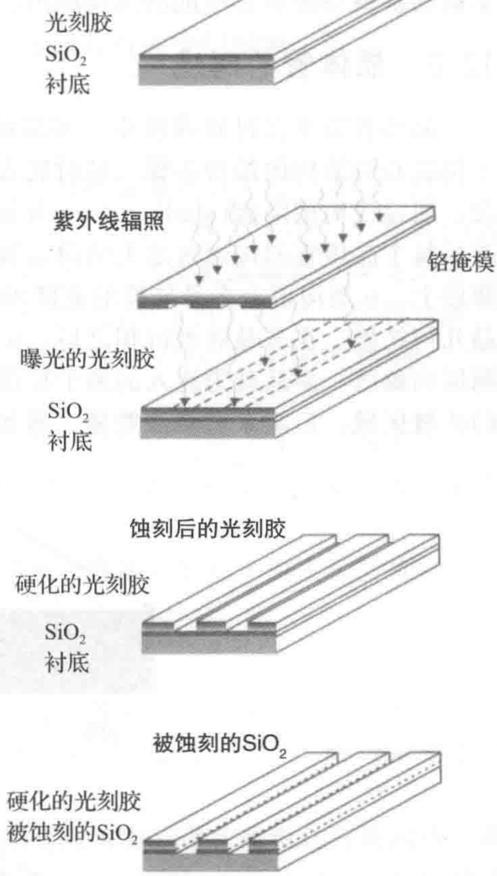


图 12-4 依次为二氧化硅沉积在衬底上的光刻胶层、紫外线通过掩模照射芯片、去除软化的光刻胶、去除暴露出的二氧化硅

12.5 清洁和安全性操作

在工艺最初和每一步处理之后都要有严格的清洁操作。前一步工序留下的杂质颗粒，有可能破坏电路的整体功能。室内的洁净度以每立方英尺中直径小于 0.5μm 杂质颗粒的浓度衡量。在现代制造工艺线中所需的洁净度等级包括 1 级、10 级和 100 级，分别代表过滤后的空气中每立方英尺中有少于 1 个、10 个和 100 个杂质颗粒。人体、灰尘和移动的机器都是杂质颗粒的主要来源。由于人被自动化的设备所替代，主要的处理过程已排除了人的因素。清洁所用的溶液包括非常纯净的去离子水、有机溶剂以及酸或碱。

341～343

一个生产线需要使用许多对人体有害的化学药品。硅烷和砷有剧毒，而硫酸、氢氟酸、氢氧化钠和高温都有很大的危险性。只要人与这些化学药品存在潜在的联系，安全在任何时候就都是一个重要问题。

我们定义生产过程后留下的合格芯片所占的比例为成品率(Yield，Y)。成品率和生产线洁净度有着紧密的联系。集成电路制造中有一个很不寻常的性质，就是合格芯片的成品率随着芯片尺寸的变小而改善。假设有 5 个破坏性的杂质颗粒随机分布在带有 50 个管芯

的硅片表面。这样(最多)会有5个芯片被颗粒破坏，成品率是Y=(50－5)/50=90％。若芯片尺寸变小，整个硅片现在一共包括100个芯片，则同样的五个颗粒仍会破坏5个芯片，成品率变为Y=(100－5)/100=95％。这一结论绝对正确，也是个人电脑芯片同其15年前的价格一样或者更低的主要原因。

12.6　晶体管的制造

晶体管需要在衬底或阱中、多晶硅栅中，以及漏和源极扩散区的掺杂。图12-5给出了构造双阱结构的最初步骤。硅衬底表面通过离子注入形成p阱和n阱。利用二氧化硅薄层，通过浅沟槽隔离(shallow trench isolation，STI)技术可以实现电气隔离。中间那幅图表示每个晶体管的沟道区之上的薄二氧化硅层，下面的图片则表示多晶硅被覆于二氧化硅薄层上。p型沟道上多晶硅栅的宽度画得比n型沟道上的宽度要大，以例证通常使用的多晶几何结构。在多晶硅被沉积之后，p型和n型沟道中被分别注入砷离子和硼离子，形成漏区和源区。多晶硅为注入的离子提供了掩模，这样注入离子可以被仅仅局限在我们设计的扩散区域。后端工艺将放置栅、漏和源区上的接触孔。

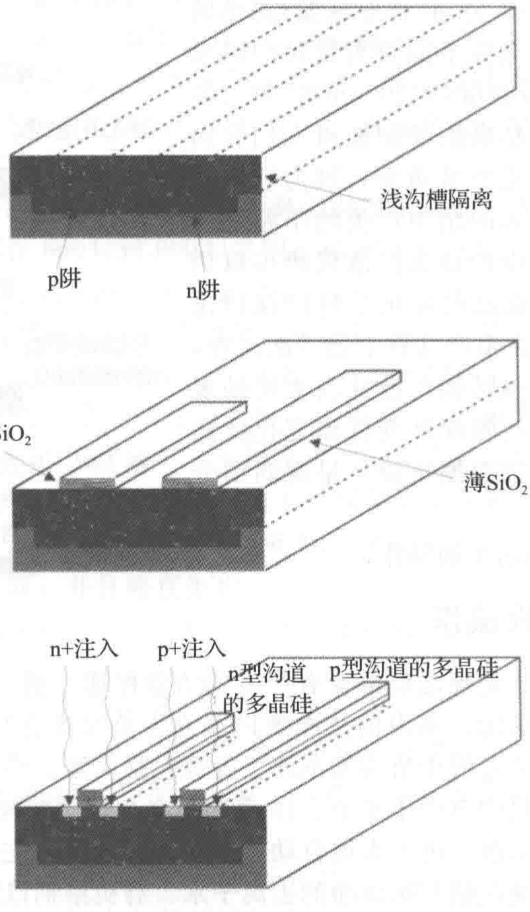


图12-5　晶体管在浅沟槽隔离、薄氧化层沉积、多晶硅栅沉积和以多晶硅栅作为注入阻挡层的重掺杂n型或p型离子注入之后形成

12.7　生产线后端工艺技术

344
~
345

生产线的后端工艺过程将构造金属接触孔、通孔和芯片中各平整的层级之间的互连线。后端工艺也将加入用于制造电气隔离和机械支持这些金属线的电介质。后端工艺的第

三个任务是在晶体管的源漏、多晶硅栅区的表面覆盖金属硅化合物($TaSi_2$、$TiSi_2$ 等)，以降低接触电阻。这样的化合物叫作硅化物，其低电阻提高了芯片的性能(速度)。

当前金属工艺的主要趋势是利用铜制作上层的金属通孔和平面金属线，而利用钨制作接触孔和第一层金属。相比于更传统的铝互连线工艺，铜在传播延时和价格方面都有优势，但是在许多产品中，铝仍然是常用的互连材料。我们将首先介绍对铜、铝、钨、阻挡金属以及合金十分有用的金属溅射工艺。

12.7.1 溅射工艺

溅射(sputtering)是一种低温低压下将金属原子沉积在裸露的硅片表面的工艺技术。目标硅片(或者结点)和被溅射的金属来源之间充入氩气。在源和靶之间加一个很高的直流电压，它可以将氩原子电离为氩离子 Ar^+，并可以使其向阴极靶源材料以很高的速度作加速运动。氩离子碰撞金属靶，弹出原子，这些电中性的原子随后落下，沉积在硅片上。尽管这一操作中没有使用热源，硅片表面吸收金属仍可使硅片被加热到 300℃以上。

溅射工艺可以沉积大多数金属以及一些电介质(如二氧化硅)。铜互连工艺技术中，也使用溅射来沉积钨作为接触孔和第一层金属的平面连线，以及为平面互连线沉积铜的种子层。

若沉积源为合金，则合金的组分都被沉积在硅片上。溅射工艺对小而尖锐的特性具有很好的目标定义。

12.7.2 双金属镶嵌法(大马士革工艺)

铜互连线工艺发展为一种沉积金属更为经济的方法。其方法于一步工序中在给定的金属层上将通孔和平面连线的构造合二为一。这种工艺叫作大马士革工艺，与使用两步来制造通孔及其之上的互连线相比，这种方法成本更低。

铜大马士革工艺，首先需要蚀刻通孔和平面互连线的沟槽。通孔蚀刻具有挑战性，因为孔的直径很小，在 22～100nm 的层级上。孔的深度和直径的比值则在 2～5 的数量级上，这使得蚀刻和蚀刻之前的清洁工序变得困难。许多集成电路设计中都有数以亿计的通孔，连接着多达 10 层的金属，这使得通孔成为产生电路缺陷的主要位置。

通孔和沟槽的形状通过光刻胶、辐照、冲洗、离子铣干法蚀刻来形成，蚀刻之前还要对离子铣进行清洁，以避免其中存留的灰尘对蚀刻的影响。通常首先完成通孔的蚀刻，之后则是与之独立的对连线沟槽的蚀刻。下一步操作是在通孔和沟槽的底部和边界沉积一层薄的阻挡金属(TaN)。阻挡金属对遏制铜通过介电层扩散并污染晶体管是十分必要的。阻挡金属要尽可能保持相当于金属宽度 10%的厚度。阻挡层的电阻率可达铜的 200 倍。阻挡层越薄，通孔的总电阻就越小，但阻挡层本身的电阻会更大。

沉积阻挡层之后，一层薄的铜种籽层被沉积到阻挡层上。接下来，硅片被浸入铜的电镀浴中，以填充通孔和沟槽部分的空缺。当铜满溢到覆盖整个硅片的顶层时，电镀操作便告终止。由于我们只需要铜覆盖沟槽和通孔，因此必须去除其他部分过量的铜。这需要通过除去过量的铜，构造光滑而平整的表面。这一复杂的操作叫作“化学机械抛光”(Chemical Mechanical Planarization，CMP)。首先，利用化学反应软化表面，之后，利用抛光片及精细而坚硬的颗粒组成的打磨浆打磨，以去除表层铜。表层的原子正是在抛光片、打磨浆的法向力和打磨片的水平位移的共同作用下被去除的。铜被抛光后，沟槽之间便可以彼此通过电介质而隔离。光刻工艺的其中一步就需要化学机械抛光，以制造平整的表面，使得暴露着的光刻胶的覆膜能在同一个平面内聚焦紫外光。

12.7.3 层间电介质及最终钝化

成形的金属层间需要填充电介质，实现连线间的电气隔离，并提供机械稳定性。这些电介质指的是层间介质(Interlevel Dielectric, ILD)。层间介质的介电常数影响着耦合电容，因而也需要保持一个尽可能低的值。传统的二氧化硅介质的相对介电常数 $\varepsilon_r=3.9$，而氟化的二氧化硅相对介电常数是 $\varepsilon_r=3.5$。表12-2给出了一些材料的介电常数，它们被认为是比较低的。气凝胶电介质的介电常数 ε_r 更低，但其机械特性是一个挑战，尤其是在生产线的热循环中。空气(真空)是电介质的极限，本书将不予探讨。

表 12-2 材料的相对介电常数

电介质	ε_r
SiO_2	3.9
氟化 SiO_2	3.5
气凝胶	<2.2
空气(真空)	1.0

12.8 CMOS反相器的制造

12.8.1 前端工艺操作

到目前为止我们所介绍的工艺技术和工具都是制造整个集成电路的复杂步骤中的重要组成部分。这一小节将介绍这些独立的操作如何组合以制造一双阱CMOS反相器电路。所谓双阱即有一个p阱和一个n阱。

我们从一片在硅锭生长中施以p型掺杂的硅晶裸片开始。通过化学气相沉积，整个硅片上将长出一层掺杂浓度更低的p型外延层。外延层将作为nMOS管的衬底，而其较高的电阻率保护了电路免受前述闩锁效应失效机制的影响。接下来，整个硅片的外延层上，将生长一层薄的氧化层。这层薄氧化层之后将变成晶体管中薄薄的栅氧。之后，化学气相沉积将在二氧化硅和外延层之上生长一层薄的氮化硅牺牲层，并被光刻转印图形。氮化硅充当着牺牲缓冲层的作用，这意味着它不会成为反相器结构中的一部分，而是临时为薄的晶体管栅氧提供保护，使之不受之后的蚀刻工艺的影响。

经第一阶段光刻工艺及冲洗被辐照的光刻胶之后，蚀刻操作将暴露出那些即将被再次干法蚀刻出可生长厚的场氧的凹槽的区域。凹槽中生长的场氧为器件提供了电气隔离。这些二氧化硅结构包括了厚的场氧，以及将p型沟道和n型沟道的晶体管分开的二氧化硅浅沟槽隔离(Shallow Trench Isolation, STI)区域。整个表面之后通过化学机械抛光工艺移除氮化物牺牲层图形，并予以平坦化。现在最顶层的二氧化硅分为三种区域：厚的场氧、浅槽隔离区和薄的晶体管栅氧。

347

下一步，整个硅片表面将生长一层厚的氮化硅层。之后的n阱掩模和光刻-蚀刻操作，将定义被砷原子注入形成n阱的区域。这一区域有暴露在表面的薄的晶体管栅氧。砷原子被注入到刚好在硅-二氧化硅界面处之下的位置，而注入的硼(B)原子可调节pMOS晶体管的阈值电压。

接下来的光刻胶-掩模-辐照-光刻胶显影过程将使多晶硅栅极的生长区域暴露出来。之前的氮化硅牺牲层已经用化学机械抛光操作除掉，现在我们有必要生长一层新的氮化硅层，作为注入形成p阱的前期工作。p阱的掩模和相应的光刻-蚀刻操作定义了将要用硼离子注入的区域，这些区域将形成p阱。在亚表面注入硼将形成n阱，接下来改变注入杂质的种类和注入硼的能量，以调整nMOS晶体管的阈值电压。化学机械抛光操作将牺牲层移除，并平整表面备用，下一步则是构造多晶硅栅。

构造多晶硅栅需要通过另一层氮化硅层，重复的光刻和去胶操作将暴露出那些生长多晶硅栅的区域。多晶硅能有效阻挡注入的砷和硼，它们会分别形成nMOS晶体管和pMOS

晶体管的漏或源。尽管多晶硅阻挡了大多数注入的离子，然而若要使 nMOS 晶体管和 pMOS 晶体管的多晶硅栅分别为 n 型和 p 型掺杂，则仍然要求这些离子足够多。这种掺杂是我们期望的，因为它减小了栅极的电阻率，继而也降低了信号的 RC 时间常数。干法蚀刻可以去除那些没有被多晶硅保护的薄氧化层，最后还要在整个硅片表面生长一层二氧化硅绝缘层。至此，晶体管的制作操作已经完成。后端工艺流程将从金属接触工艺开始，我们将在下一节中介绍。

12.8.2 后端工艺操作

使沉积阻挡层和硅之间形成表面化学键，可以降低晶体管中硅和接触孔之间的电阻。当这种硅化层在晶体管的扩散区和栅区形成时，它们可以显著降低接触电阻。

类似的光刻操作暴露出电介质中将要被蚀刻出孔的区域，以此定义晶体管的接触孔。栅、漏和源极的接触孔通过干法蚀刻形成，我们将其予以清洁后把钨(W)溅射到其中。铜技术的第一层互连线系统中的接触孔由钨制成。钨接触孔和第一层金属互连线实现了更高层的金属互连线中的铜和底层的晶体管间的物理隔离。我们需要这样的保护措施，因为铜会在二氧化硅和硅中扩散并污染晶体管。因钨的电阻率比铜的大得多，第一层金属中的信号线做得很短，使得信号的 RC 延时并不太严重。

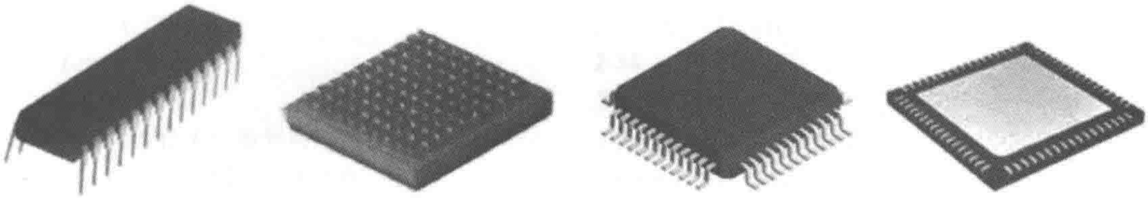
第一级金属钨的沟槽在定义和蚀刻之后通过溅射金属钨形成。之后的金属通孔和金属层都由铜制成。大马士革镶嵌工艺形成了这些更高层的金属互连线层。化学机械抛光工艺是必需的，它为每一步的聚焦和辐照掩模的工艺保持表面的平坦化。所有金属层制造完成后，最后一步是在整个硅片顶部覆盖绝缘保护层。保护层的材料通常是氮化硅，它既能为电路提供机械保护，又能防潮，并可使电路不受空气中污染物的影响。

348

12.9 芯片封装

制成的芯片通常被封入多种形态的机械封壳中。图 12-6 给出了四种封装形式。封装外壳的参量可能包括集成电路引脚数目(通常从 12 个到 600 个不等)、集成电路的产热和导热特性、防潮需要的保护措施和引脚布局结构。封壳很昂贵，为了保证其寿命可能还需要热力学和压力学分析。失效分析报告给出业内芯片有 90%的失效是由于封装问题导致的。

图 12-6a 所示的是双列直插封装(Dual-in-Line，DIP)。这是仍在使用的原始封装方式。不过许多芯片需要用更小的封壳提供更多的引脚，不断增长的芯片引脚数目需要不同的引脚结构。图 12-6b、c、d 所示的分别是覆盖整个封壳表面的引脚阵列封装(Pin Grid Array，PGA)，四面均带有引线的四方扁平封装(Quad Flat Package，QFP)和不带引线、焊料直接加在印制电路板的金属垫上的封装结构。



a) 双列直插封装(DIP)　b) 引脚阵列封装(PGA)　c) 四方扁平封装(QFP)　d) 四方无引线封装(TQFN)

图 12-6　四种封装形式(经 Silicon Far East 公司授权转载)

带有大型引脚的集成电路通常使用球栅阵列封装，引脚上小型的焊料球被熔到印制电

349

路板的连接处。栅阵列结构使得在芯片内部区域加入 V_{DD}、GND 线和时序信号有了更大的自由度。薄小型外观封装（Small and Thin Outline Package，或 Thin Small Outline Package，TSOP）在产品小型化中略有优势。

12.10 集成电路测试

最后的步骤之一是集成电路测试操作。我们通过小直径的接触探针在硅圆片的层级完成电路的测试。在封装之后还要重复测试。测试保证了电路能满足生产者要求的所有约束。它包括操作功能和引脚参数，以试图保证集成电路没有缺陷。这些测试操作复杂而耗费财力，其花销可达集成电路制造支出的 50%。

12.11 小结

芯片的制造是一个复杂的过程，每一个研究芯片的工程师都应当了解其基本操作过程。芯片制造的成败，关系到包括芯片设计师、测试工程师、可靠性工程师、失效分析员、管理者和质量控制人员在内的所有人。本章仅涉及其中的基本流程，希望这些能引导你修完涉及该专业的完整课程[1]。

参考文献

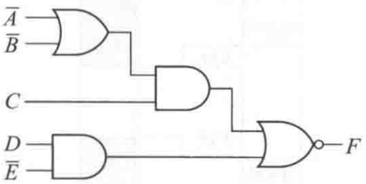
[1] Richard Jaeger, *Introduction to Microelectronic Fabrication, Volume V*, 2nd Ed., Prentice-Hall Pub., 2002.

章末偶数编号习题参考答案

第1章

1-2　利用德摩根律可得 $F=\overline{(\overline{W}+X)+(\overline{Y}\overline{Z})}$

1-4



1-6　$F=XYZ$

1-8　$F=X+Y$

1-10　$R_{eq}=R_1 \parallel R_2+[(R_3 \parallel R_4)] \parallel [(R_5 \parallel R_6)+R_7]$

1-12　(a) $V_o=\left[\dfrac{50}{100+50}\right]5\text{V}=1.667\text{V}$

(b) $V_o=\left[\dfrac{5\text{V}}{100\text{k}\Omega+50\text{k}\Omega}\right]50\text{k}\Omega=1.667\text{V}$

1-14　(a) $V_{o1}=0.6554\text{V}$

(b) $V_{o2}=1.663\text{V}$

1-16　$I_{300\Omega}=2\text{mA}$

$I_{400\Omega}=1.385\text{mA}$

$I_{900\Omega}=0.6154\text{mA}$

$I_{2\text{k}\Omega}=0.8571\text{mA}$

$I_{1.5\text{k}\Omega}=1.143\text{mA}$

1-18　(a) $V_o=0.692\text{V}$

(b) $I_{2\text{M}\Omega}=346\text{nA}$

1-20　$I_{2\text{k}\Omega}=72.5\mu\text{A}$

1-22　$I_{6\text{k}\Omega}=925.9\mu\text{A}$

1-24　$C_{eq}=60.87\text{pF}$

$W_{parallel}=35.3\text{pJ}$

1-26　$C_1=6.48\text{nF}$

$W=23.27\text{nJ}$

1-28　$V_o=-4.675\text{V}$

$I_1=14.675\text{mA}$

$I_3=2.208\text{mA}$

$I_2=16.88\text{mA}$

1-30　基于假设你可以得到两个解：$V_o=45.59\text{mV}$ 或 41.84mV，哪一个更准确一些？

1-32　$V_D=380.7\text{mV}$

1-34　$I_D=2.12\text{mA}$

$V_D=378.7\text{mV}$

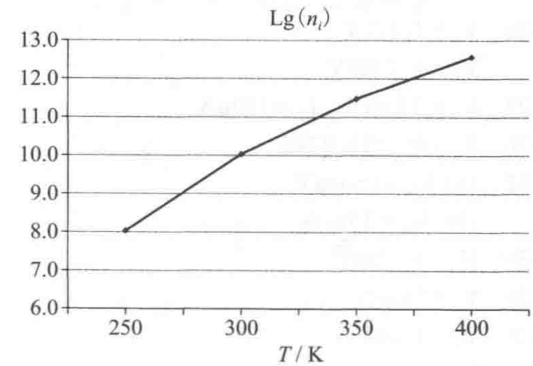
1-36　$I_D=451.5\mu\text{A}$

$V_D=141.0\text{mV}$

第2章

2-2　这个比例是每个硅原子 2.044×10^{-11} 个载流子，或者大约每489亿个硅原子中有一个自由电子。

2-4



2-6　$n_0=1.128\times10^3\text{cm}^{-3}$

2-8　$n_0=5.67\times10^5\text{cm}^{-3}$

2-10　$T\approx344.3\text{K}$

2-12　$p_0=8.824\times10^4\text{cm}^{-3}$

2-14　$N_A=4.34\times10^{16}\text{cm}^{-3}$

2-16　(a) $E=52.1\text{V/cm}$

(b) $d=384\mu\text{m}$

2-18　$N_D=2.315\times10^{15}\text{cm}^{-3}$

2-20　$\text{d}p_0/\text{d}x=8.013\times10^{14}\text{cm}^{-4}$，$\text{d}n_0/\text{d}x=2.404\times10^{15}\text{cm}^{-4}$

2-22　$J=541\text{A/cm}^2$

2-24　(a) $V_{bi}=0.835\text{V}$

(b) $V_{bi}=0.704\text{V}$

2-26　$N_A=1.45\times10^{15}\text{cm}^{-3}$

2-28　$I_D=275\text{mA}$

2-30　$\Delta V=119.7\text{mV}$

2-32　$C_j=17.5\text{fF}$

2-34　$C_j=49.2\text{pF}$

第3章

3-2　(a) $I_D=2.688\text{mA}$

(b) $R_D=260.4\Omega$

3-4　$V_G=2.507\text{V}$

3-6　$V_o=4.161\text{V}$

3-8　$V_o=0.602\text{V}$

$I_D=12\mu\text{A}$

3-10　$R_1=2.07\text{k}\Omega$

3-12　$R_o=326.8\Omega$

3-14　(a) $V_G<V_D+V_{tn}$，因此晶体管 M_1 饱和，并从漏极-沟道区发出可见光。

(b) $I_D=40.43\mu A$，$V_{GS}=1.119V$，$V_{DS}=3.119V$

3-16　$I_D=29.4\mu A$，$V_o=2.94V$

3-18　$V_o=1.446V$，$I_D=28.92\mu A$

3-20　$V_o=1.730V$，$I_D=10.27\mu A$

3-22　晶体管处于非饱和态，$I_D=2.88mA$

3-24　(a) $I_D=392\mu A$

(b) 非饱和，$W=24.3nJ$

3-26　$V_S=1.575V$

$V_D=0.7125V$

3-28　$V_G=100mV$，$I_D=180\mu A$

3-30　$R_1=R_2=20.83k\Omega$

3-32　(a) $V_G=-3.6V$

(b) $I_{Dp}=108\mu A$

3-34　$R=466.7k\Omega$

3-36　$I_D=140\mu A$

3-38　$V_o=1.26V$

第4章

4-2　(a) $RC=860fs$

(b) 并联后电阻减半，因此新的等效电阻是 $R'=R$。但等效电容因为金属板面积加倍也变为原来的2倍，因此总的时间常数保持不变，RC 没有增益。

4-4　$R=9.74\Omega$

4-6　$R(50℃)=38.46\Omega$

$R(150℃)=52.0\Omega$

4-8　$T=154.3℃$

4-10　(a) $R_{sheet}=43m\Omega$/正方形

(b) $R_{sheet}=22.9m\Omega$/正方形

4-12　$t=0.708\mu m$

4-14　$R_{Al}=143.6m\Omega$

$R_{Cu}=1.09\Omega$

4-16　$C_{SiOC}=20.52fF$

$C_{空气}=7.1fF$

4-18　$V_o=V_{in}e^{-\frac{t}{RC}}$

4-20　(a) $RC=2.02ns$

(b) $\tau=1.35ns$

4-22　$\frac{di}{dt}=2.605\times10^7 A/s$

4-24　$n=125$ 条线

第5章

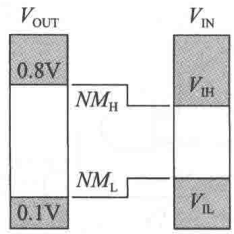
5-2　(a) $NM_H=(1.7-1.6)\Omega=100mV$

(b) $NM_L=(0.3-0.2)\Omega=100mV$

(c) 一个$-50mV$的毛刺电压不会导致错误的逻辑翻转。

(d) 一个$-150mV$的毛刺不能保证逻辑高电平输入被正确解读，因为$-150mV$的毛刺会将输入的栅极电压下拉到晶体管线性偏置区附近。

5-4　$NM_L=0.18mV$，$V_{IL}=280mV$



5-6　(a) $\frac{W_p}{W_n}=2.8$

(b) $W_p=W_n=6.3$

5-8　73.4%

5-10　$I_{Dn}=45.94\mu A$

5-12　$V_{tp}=-0.472V$

5-14　$V_i=0.947V$

5-16　102ps

5-18　34.5%

5-20　$F_{max}=347MHz$

5-22　(a) $I_D=42.2\mu A$

(b) $I_D=3.44\mu A$

5-24　$n=7$ 个反相器

5-26　(a) $C_L=7.4pF$

(b) $\frac{W_L}{W_{in}}=54.6$

第6章

6-2　$I_{DD}=89\mu A$

6-4　$I_{DD}=89\mu A$

6-6　结点 $A=1$，结点 $B=0$

6-8　$V_o=0.333V$，$V_{in}=0.833V$

6-10　$V_{in}=0.833V$，$V_o=1.333V$

6-12　(a) $AB\ CDE\ FG=11\ X11\ 00$

(b) $AB\ CDE\ FG=11\ 000\ 0X$

6-14　(a) $AB\ CD\ EF=00\ 0X\ 11$

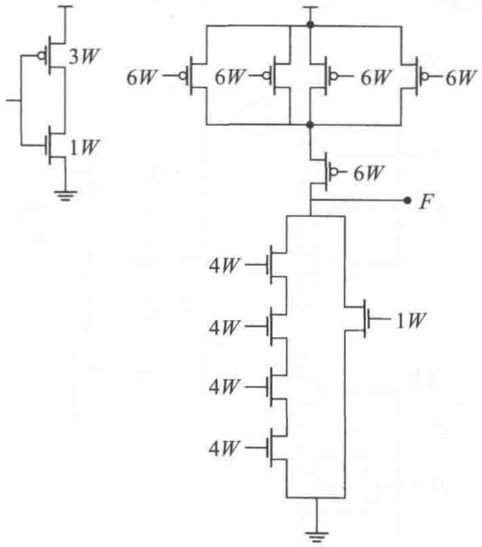
(b) $AB\ CD\ EF=00\ 00\ X0$

6-16　结点 $A=0$，结点 $B=1$

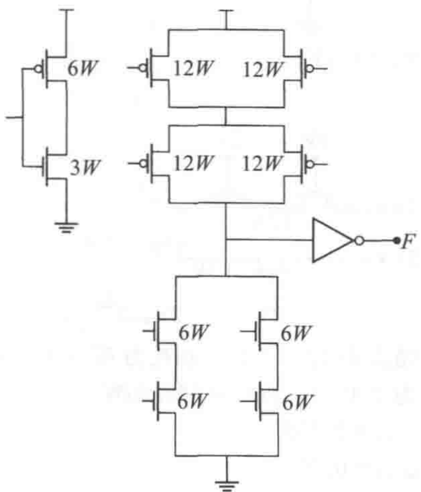
6-18　学生可自己得出答案

6-20　(a) $F=\overline{ABCD+E}$

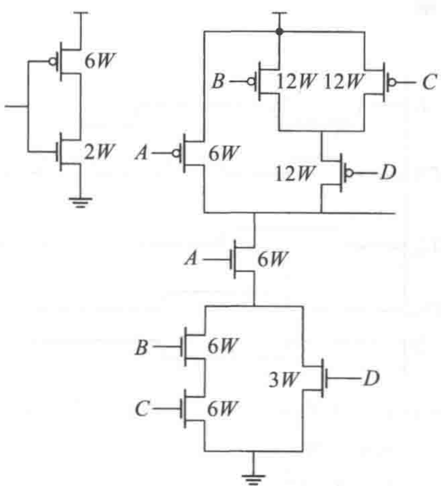
(b) 参见图中标注的尺寸



6-22



6-24

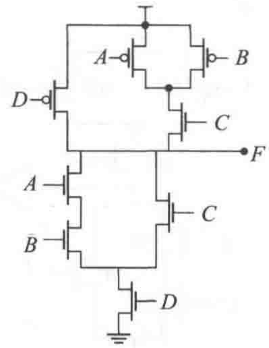


6-26 $V_S = 1.472\text{V}$，$V_{GS} = 0.528\text{V}$

第 7 章

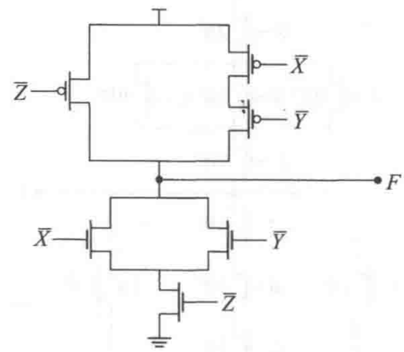
7-2 $F = \overline{A} + \overline{B} + ABC$

7-4

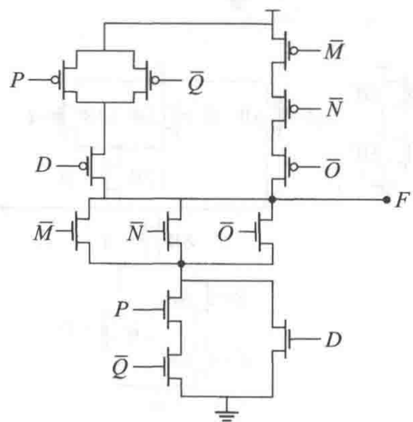


7-6 该电路是一个奇校验“异或”门。

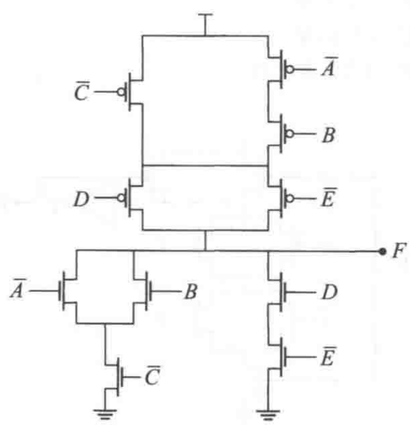
7-8



7-10

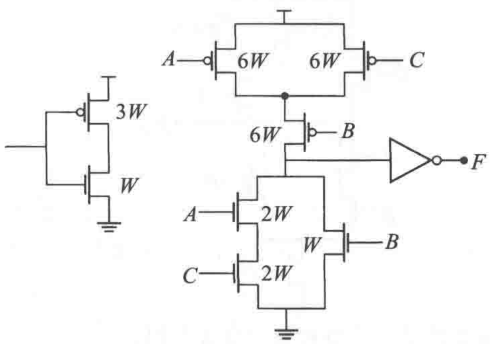


7-12

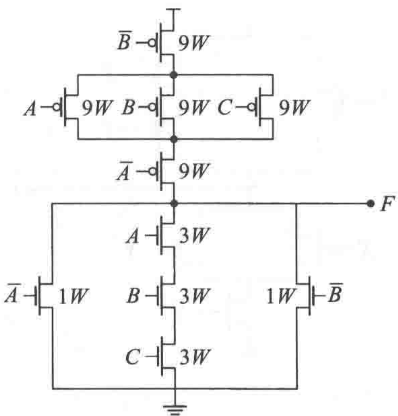


7-14 $F=\overline{(\overline{A}+\overline{B})(\overline{C}+\overline{D})\overline{E}}$

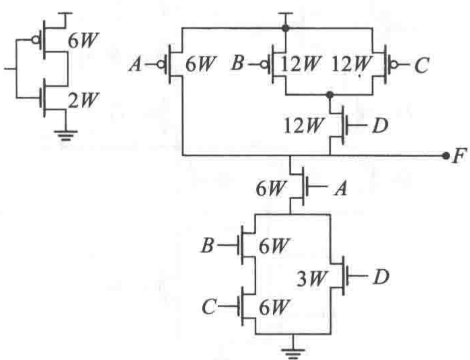
7-16 $F=B+AC$



7-18



7-20



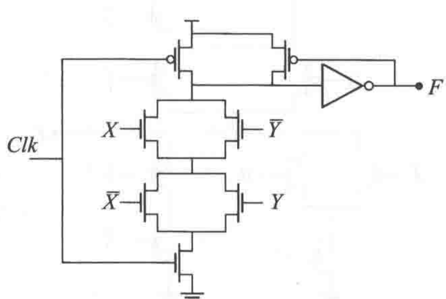
7-22 $V_{final}=1.0V$

7-24 $V_f=1.33V$

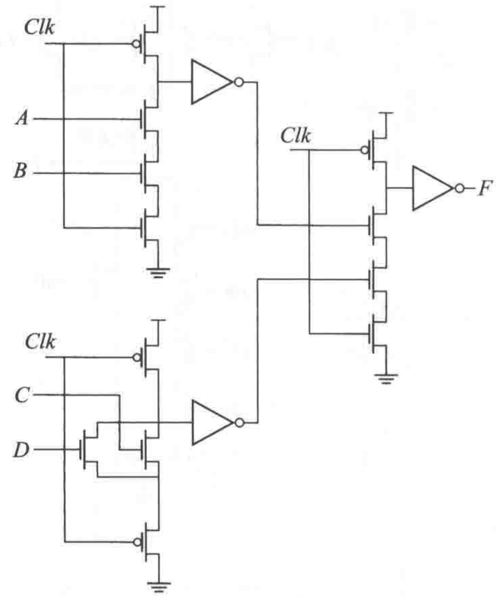
7-26 $V_f=1.84V$

7-28 $F=(A+B)CD$

7-30

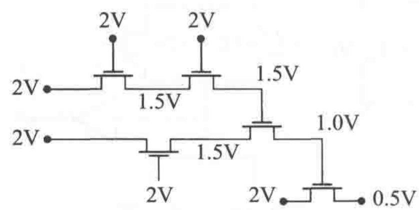


7-32



7-34 $V_o=1.5V$

7-36



7-38 结点 D 为 0.1875，功耗为 675nW；结点 F 为 0.1094，功耗为 590.6nW

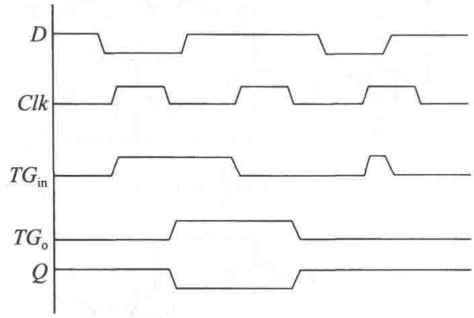
7-40 $\alpha_{0\to1}=0.152$

$\alpha_{1\to0}=0.152$

7-42 $P_{dyn}=468.75\mu W$

第 8 章

8-2



8-4 (a) $t_{su}=1.2ns$

$t_{hold}=0ns$

$t_{cq}=1.2ns$

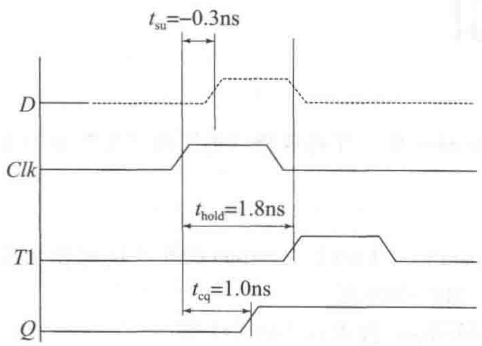
(b) CW(低)≥1.2ns

CW(高)≥1.2ns

(c) 没有影响

8-6 反相器为 1.5ns，传输门为 1.5ns

8-8



8-10 $t_{logic} \leqslant 376.7$ps

8-12 $\delta \geqslant 180$ps

8-13 $F_{max} = 1.087$GHz

8-14 $F_{max} = \frac{1}{780\text{ps}} = 1.282$GHz

8-16 $F_{max} = 1.136$GHz

8-18 $t_{logic} < 204.5$ps

8-20 $F_{max} = 1.24$GHz

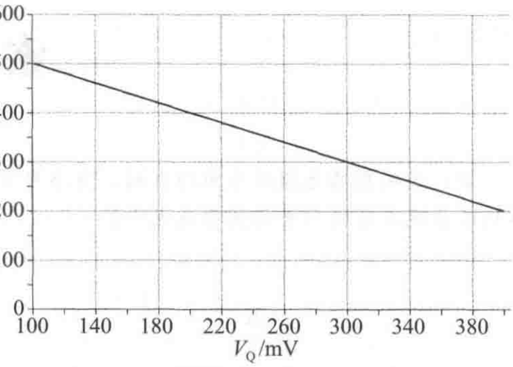
8-22 (a) $F_{max} = \frac{1}{1.905\text{ns}} = 525$MHz

(b) $t_{hold} < 575$ps

第 9 章

9-2 $\frac{\beta_1}{\beta_5} = \frac{\beta_2}{\beta_6} = 2.88$

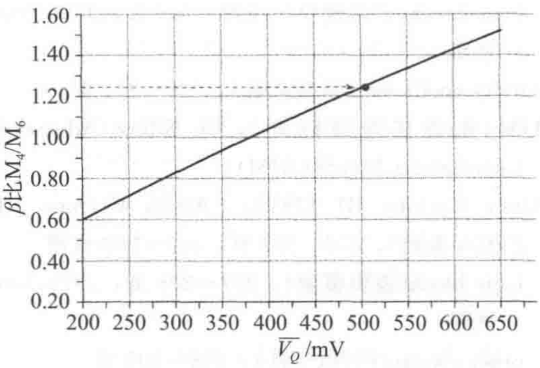
9-4



9-6 $V_{tn} = 0.528$V

9-8 $\left(\frac{\beta_4}{\beta_6}\right) = \left(\frac{\beta_3}{\beta_5}\right) = 1.24$

9-10



9-12 $W_4 = 0.264\mu$m

索　引

注：页码指的是原版书中的页码，与书中页边标注的页码一致。页码后的“图”或“表”分别表示该词汇出现在原版书中的图中或表中。

A

B

E

F

G

H

I

J

K

L

N

O

P

Q

R

S

T

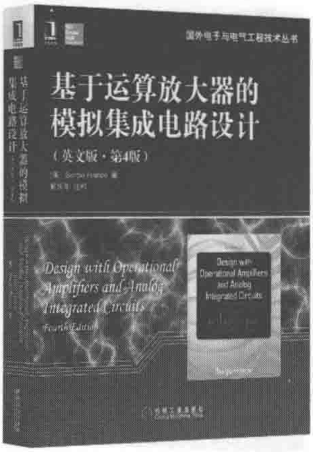
U

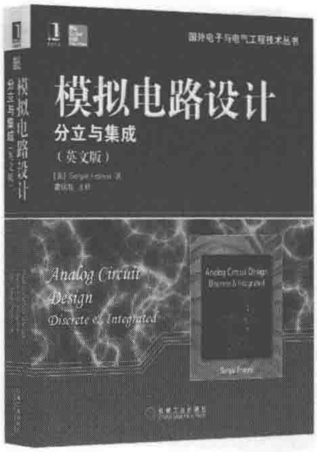
V

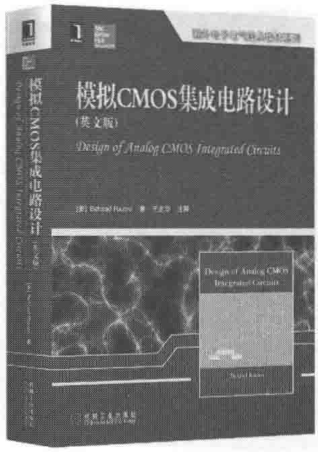
W

X

推荐阅读







基于运算放大器的模拟集成电路设计（英文版·第4版）

作者：Sergio Franco ISBN：978-7-111-48933-7 出版时间：2015年1月 定价：99.00元

本书着重理论和实际应用相结合，重点阐述模拟电路设计的原理和技术直观分析方法；主要包括运算放大器的基本原理和应用、涉及运算放大器的静态和动态限制、噪声及稳定性问题等诸多实际问题，以及面向各种应用的电路设计方法三大核心内容，强调物理思想，帮助读者建立电路设计关键的洞察力，可作为电子信息、通信、控制、仪器仪表等相关专业本科高年级及研究生有关课程的教材或主要参考书，对电子工程师也是一本实用的参考书。

模拟电路设计：分立与集成（英文版）

作者：Sergio Franco ISBN：978-7-111-48932-0 出版时间：2015年1月 定价：119.00元

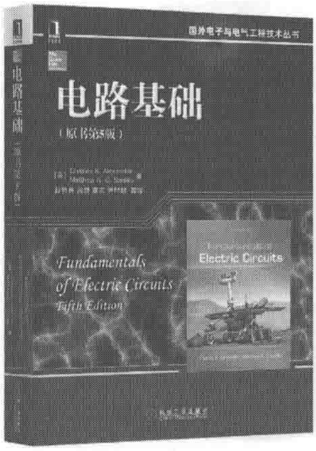
本书是针对电子工程专业且致力于将模拟电子学作为自身事业的学生和集成电路设计工程师而准备的，前三章介绍二极管、双极型晶体管和MOS场效应管，注重较为传统的分立电路设计方法，有助于学校通过物理洞察力来掌握电路基础技术；后续章节介绍模拟集成电路子模块、典型模拟集成电路、频率和时间响应、反馈、稳定性和噪声等集成电路内部工作原理（以优化其应用）。本书涵盖的分立与集成电路设计内容，有助于培养读者的芯片设计能力和电路板设计能力。

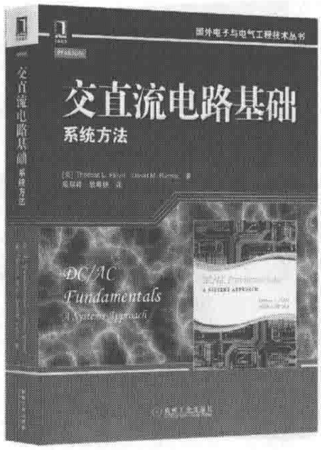
模拟CMOS集成电路设计（英文版）

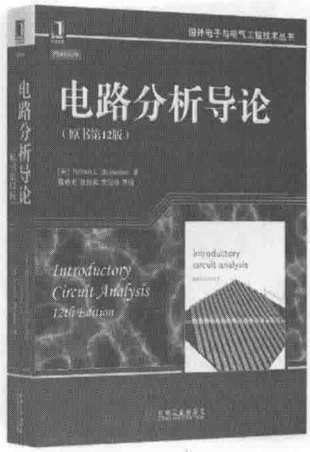
作者：Behzad Razavi ISBN：978-7-111-43027-8 出版时间：2013年8月 定价：79.00元

本书介绍模拟CMOS集成电路的分析与设计。从直观和严密的角度阐述了各种模拟电路的基本原理和概念，同时还阐述了在SOC中模拟电路设计遇到的新问题及电路技术的新发展。本书由浅入深，理论与实际结合，提供了大量现代工业中的设计实例。全书共18章。前10章介绍各种基本模块和运放及其频率响应和噪声。第11章至第13章介绍带隙基准、开关电容电路以及电路的非线性和失配的影响，第14、15章介绍振荡器和锁相环。第16章至18章介绍MOS器件的高阶效应及其模型、CMOS制造工艺和混合信号电路的版图与封装。本书可供与集成电路领域有关的各电类专业的高年级本科生和研究生使用，也可供从事这一领域的工程技术人员自学和参考。

推荐阅读







电路基础（原书第5版）

作者：（美）Charles K. Alexander 等 译者：段哲民 等 ISBN：978-7-111-47088-0 定价：129.00元

本书是电类各专业“电路”课程的一本经典教材，被美国众多名校采用，是美国最有影响力的“电路”课程教材之一。本书每章开始增加了中文“导读”，适合用做高校“电路”课程双语授课或英文授课的教材。本书前4版获得了极大的成功，第5版以更清晰、更容易理解的方式阐述了电路的基础知识和电路分析方法，并反映了电路领域的最新技术进展。全书总共包括2447道例题和各类习题，并在书后给出了部分习题答案。

交直流电路基础：系统方法

作者：（美）Thomas L. Floyd 译者：殷瑞祥 等 ISBN：978-7-111-45360-4 定价：99.00元

本书是知名作者Folyd的最新力作，在国外被广泛使用。本书系统介绍了直流和交流电路理论，强调直流/交流电路基本概念在实际系统中的应用。全书丰富的实例，有助于学生的理解系统模块、接口和输入/输出信号之间的关系。书中实例使用Multisim进行仿真，并提出在模拟电路与系统和排除故障中存在的问题及解决方法。本书可作为电子信息、电气工程、自动化等电类专业的电路课程教材。

电路分析导论（原书第12版）

作者：（美）Robert L. Boylestad 译者：陈希有 等 ISBN：978-7-111-45359-8 定价：135.00元

本书是一本在国际上有着持续而广泛影响的优秀教材，深入浅出、通俗易懂，理论分析与工程应用相结合，体现教材面向工程教育的特色。书中例题讲解步骤详细、过程清晰，主要内容包括：电流与电压、欧姆定律、直流电路、网络定理、磁路、正弦交流电路、谐振、分贝与滤波器、变压器、脉冲波形和RC电路的响应、多相电路、非正弦电流电路，以及系统的端口分析等。本书可作为高等院校电路课程教材或教学参考书，尤其适合案例教学和工程应用型教学。此外，对工程技术人员和电路爱好者也具有重要的参考价值。

{全文地址} http://202.206.108.43:8099/13/diskqro/qro46/12/

【作　者】（美）查尔斯·霍金斯，（西班牙）佐米·塞古拉，（美）雷曼·扎克斯哈著；王昱阳，尹说译；陈虹审校
【形态项】244
【出版项】北京：机械工业出版社，2016.04
【ISBN号】7-111-52933-2
【原书定价】69.00
【中图法分类号】TN432.02